

外 2-14

早稲田大学大学院理工学研究科

博 士 論 文 概 要

論 文 題 目

多結晶シリコン薄膜トランジスタの
高性能化に関する研究

申 請 者

関 俊 司
Seki Shunji

平成 2 年 7 月

理 1413 (1652)

近年の集積回路の高速化、高密度化に対する要請の増大、ならびに大面積の平面型表示素子やセンサーなどの進展とともに、絶縁基板上へのシリコン単結晶薄膜形成技術や3次元構造素子に対する関心が急速に高まりつつある。このような要請に対して、レーザビームや電子ビームなどを用いたシリコンの再結晶化技術が提案され、これらの技術を基盤として、絶縁基板上にトランジスタ等の能動素子を形成するSOI(Silicon on Insulator)構造に関する研究が精力的に進められている。SOI構造に関する研究は多岐にわたるが、この中で、多結晶シリコンを能動領域とする多結晶シリコン薄膜トランジスタに関する研究も急速に活発化している。多結晶シリコンは、任意の絶縁基板上への形成が可能であるとともに、非晶質シリコンに比べ大きな移動度を有する。しかしながら、単結晶シリコンに比較すると移動度は1/20以下であり、未だ改善の余地がある。また、多結晶シリコン薄膜トランジスタの高性能化、作製工程の低温化という観点からは、従来の熱酸化 SiO_2 に替わる高誘電率ゲート絶縁膜の必要性も高まっている。

本研究は、このような背景のもとに、能動領域である多結晶シリコン薄膜の高移動度化、高誘電率ゲート絶縁膜の高品質化を達成し、高性能の多結晶シリコン薄膜トランジスタの実現を目的として開始したものである。

本論文は、6章よりなり、各章の概要は以下の通りである。

第1章では、序論として、薄膜トランジスタに関する従来の研究を概観した。特に、本研究と密接な関連を持つシリコンの再結晶化技術、高誘電率ゲート絶縁膜形成技術とそのデバイスへの応用を中心に紹介するとともに、本研究の目的と意義、本論文の構成について述べた。

第2章では、まず、多結晶シリコン薄膜の電気特性に重要な影響を及ぼす結晶粒界の捕獲電荷密度について、多結晶シリコン薄膜作製時の結晶化過程との関連という観点から議論した。結晶粒界の捕獲電荷密度は、結晶粒界に形成される電位障壁の支配要因の一つであり、多結晶シリコン薄膜中の電荷輸送過程を議論する上で非常に重要な物理量であるが、結晶化過程との関連については、これまで検討された例はない。本研究では、結晶化過程として、レーザ再結晶化法、固相結晶化法、LPCVD(Low Pressure Chemical Vapor Deposition)法を取り上げ、これらの方で形成した多結晶シリコン薄膜の結晶粒界における捕獲電荷密度の比較を行った。その結果、レーザ再結晶化法によって形成した多結晶シリコン薄膜の捕獲電荷密度は $9 \times 10^{11} \text{ cm}^{-2}$ であるのに対し、固相結晶化法、LPCVD法によって形成した場合は $1.8 \times 10^{12} \text{ cm}^{-2}$ であり、結晶化過程に応じて捕獲電荷密度に大きな差異が生ずることが判明した。さらに、このような捕獲電荷密度の変化は、レーザ再結晶化法における溶融再結晶化過程に起因するものであり、結晶粒径には依存しないことを明らかにした。

次に、結晶粒界における捕獲電荷密度と多結晶シリコン薄膜トランジスタの電界効果移動度との関係について検討を進めた。特に、レーザ再結晶化法によって形成した多結晶シリコン薄膜の低捕獲電荷密度という特質に着目し、これに

水素プラズマ処理を組合せた結果、捕獲電荷密度が $4.2 \times 10^{11} \text{ cm}^{-2}$ という、従来報告例のない低捕獲電荷密度の多結晶シリコン薄膜を実現した。さらに、このような低捕獲電荷密度の多結晶シリコン薄膜では、結晶粒径が $0.5 \mu\text{m}$ であるにもかかわらず、 $185 \text{ cm}^2/\text{V}\cdot\text{s}$ という従来に比べ6倍程度高い電界効果移動度(単結晶の1/3から1/4の値)が得られることを明らかにした。

このような電界効果移動度の増大現象の要因を明確にするために、多結晶シリコン薄膜中の電荷輸送過程に関して、結晶粒界における電位障壁高さの観点から議論を進めた。その結果、結晶粒界における電位障壁が 0.0124 eV 以下の状態では、結晶粒界が存在するにもかかわらず、結晶粒内の電荷輸送が薄膜中の電荷輸送を支配し、チャネルに垂直な方向の電界強度が、多結晶シリコン薄膜トランジスタの電界効果移動度を決定することを明らかにするとともに、結晶粒界における捕獲電荷密度と電界効果移動度との関連を定式化した。これらの結果から、低捕獲電荷密度の多結晶シリコン薄膜における電界効果移動度の増大現象は、多結晶シリコン薄膜中の電荷輸送過程が、チャネルに垂直な方向の電界強度が低い状態で、結晶粒界律速から結晶粒内律速へと遷移することによると結論した。

第3章では、従来から多結晶シリコン薄膜トランジスタの問題点として指摘されてきたオフ時のソース・ドレイン間リーク電流について、それを低減し、トランジスタのオンオフ比(ON電流とOFF電流の比)を改善することを目的として、LDD(Lightly-Doped Drain and Source)構造を多結晶シリコン薄膜トランジスタに導入した結果を述べた。まず、 n^- 領域における不純物濃度を 1×10^{17} から $1 \times 10^{18} \text{ cm}^{-3}$ の範囲で変化させ、リーク電流との関連を調べた。その結果、不純物濃度の低下にともない、リーク電流が $1 \times 10^{-11} \text{ A}/\mu\text{m}$ から $2 \times 10^{-13} \text{ A}/\mu\text{m}$ (単位チャネル幅)まで減少することを明らかにした。さらに、リーク電流 I_L とドレイン端の電界強度 E_m との間に $I_L = I_0 \exp(q/kT\beta\sqrt{E_m})$ が成り立つことを示すとともに、リーク電流は、熱電子放出過程と結晶粒界における捕獲単位を介したトンネル過程の組合せによるキャリア放出過程により支配されていることを明らかにした。以上の結果から、ドレイン端の電界強度がリーク電流の支配要因の一つであることを示すと同時に、LDD構造を導入し、ドレイン端での電界集中の緩和を図ることにより、リーク電流の低減化が可能であることを明らかにした。

トランジスタの駆動能力の観点からは、 n^- 領域の導入は直列寄生抵抗を増大せしめ、駆動能力の低下を招く。このため、駆動能力の低下を最小限に抑えつつ、リーク電流を低減化できるよう n^- 領域の不純物濃度の最適化を図る必要がある。本研究では、結晶粒界の影響を考慮したLDD構造トランジスタのドレイン電流の定式化を行い、これに基づき不純物濃度の最適化を図った結果、リーク電流が $10^{-13} \text{ A}/\mu\text{m}$ 、オンオフ比が 10^8 という低リーク電流、高スイッチング比を有する高性能の多結晶シリコン薄膜トランジスタ(n チャネル)を実現した。

第4章では、高誘電率で室温形成が可能な Ta_2O_5 薄膜を多結晶シリコン薄膜トランジスタのゲート絶縁膜として用いることを目的として、スペッタリング法に

による Ta_2O_5 薄膜形成法について検討した結果を述べた。まず、多結晶シリコン薄膜トランジスタの動作安定性に影響を及ぼす薄膜中の捕獲準位密度について、スパッタリング時の圧力との関係を調べた結果、マグネットロンスパッタ法を用いて 2×10^{-3} Torr で形成することにより、従来報告されていた値に比べ $1/1000$ 以下の $4 \times 10^{15} \text{ cm}^{-3}$ にまで捕獲準位密度を低減化できることを示した。

次に、Si 上での Ta_2O_5 薄膜の形成機構に関して検討を進めた。その結果、 Ta_2O_5/Si 界面には、Si とスパッタリング粒子との反応により、Ta、Si、O から成る低誘電率の界面遷移領域が形成されることを明らかにした。さらに、この界面遷移領域形成の支配要因は、Si 表面の酸化膜厚ならびにスパッタリング初期過程における酸素分圧であることを示した。特に、プリスパッタリング過程における Si 表面の酸化を防止することにより、薄膜形成初期過程における Si とスパッタリング粒子との反応を促進し、高品質の界面遷移領域が形成できることを明らかにした。

第5章では、Si 上に形成した Ta_2O_5 薄膜の電気特性ならびに、素子応用上欠くことのできない Ta_2O_5 薄膜の微細加工法について述べるとともに、 Ta_2O_5 薄膜をゲート絶縁膜とした多結晶シリコン薄膜トランジスタの作製結果について記述した。 Ta_2O_5 薄膜をゲート絶縁膜に適用する上で、界面電気特性の向上、 Ta_2O_5 薄膜中のリーク電流の低減化が不可欠である。界面電気特性に関しては、Al/ Ta_2O_5/Si 構造の MIS キャパシタを作製して評価した。その結果、Al 電極形成後に 450°C の水素処理を施すことにより、界面電荷密度を $-1.5 \times 10^{11} \text{ cm}^{-2}$ 、界面準位密度を $1.4 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ と、従来の陽極酸化法によって形成した場合に比べ一桁以上低い値に低減できることを明らかにした。一方、リーク電流については、電極形成後の水素熱処理によってリーク電流が大幅に増大するという問題点が従来指摘されてきたが、本研究では、前章で明らかにした界面遷移領域に着目し、リーク電流との関連を検討した結果、薄膜形成初期過程における Si とスパッタリング粒子との反応を制御することにより、電極形成後の水素熱処理後においても、 1 MV/cm 印加時のリーク電流が 10^{-9} A/cm^2 、絶縁耐圧が $6 \times 10^6 \text{ V/cm}$ の高品質の Ta_2O_5 薄膜を実現できることを示した。

Ta_2O_5 薄膜の微細加工法としては、フッ酸水溶液を用いたウェット加工法が従来から知られていたが、微細加工用レジストがフッ酸水溶液に耐性を持たないため、素子作製工程に適用することができなかった。本研究では、フルオロカーボン系のガスを用いた反応性リアクティブイオンエッチング (RIE) 法により Ta_2O_5 薄膜のドライ加工が可能であることを示すとともに、素子作製工程に適合する Ta_2O_5 薄膜の微細加工法を確立した。これらの検討結果に基づき、 Ta_2O_5 薄膜をゲート絶縁膜とした素子を作製した結果、しきい値電圧 2.5 V 、オンオフ比 10^5 以上の高性能多結晶シリコン薄膜トランジスタ (p チャネル) を実現し、高誘電率 Ta_2O_5 ゲート絶縁膜形成技術を確立した。

第6章では、本論文を総括し、本研究で得られた結果をまとめて示した。