

内2-18

早稲田大学大学院理工学研究科

# 博 士 論 文 概 要

## 論 文 題 目

シリコンの固相エピタキシャル  
成長に関する研究

申 請 者

上野 智雄

T o m o U e n o

電気工学専攻電子工学研究

平成 2 年 12 月

シリコンのエピタキシャル成長技術は、今後の微細化および複雑化するデバイス構造作成のための必須の技術である。エピタキシャル成長を半導体デバイス作成のプロセスに組み入れる際に、原料を固相で供給する固相エピタキシャル成長を用いるのが最適であると考えられる。これは素子を形成した後結晶成長が必要な場合などに高温処理を用いると、不純物の拡散が起こり以前に形成されていた素子が破壊される恐れが大きいという理由による。この低温成長可能という利点を生かすことにより、固相エピタキシャル成長を用いて三次元回路を作成することが可能となる。素子が形成された基板の一部に種結晶となる部分をあらかじめ残しておき、絶縁膜上に非晶質Si( $\alpha$ -Si)膜を堆積し横方向固相エピタキシャル成長(L-SPE)をさせることにより、SOI(Silicon on Insulator)構造を形成し、この膜上に再び素子を作るというプロセスを繰り返す。このSOI技術はデバイスの3次元化を担う基礎技術として注目されており、さらにこのSOI構造自体が寄生容量低下によるMOSトランジスタの高速化およびCMOSのラッチアップ防止などの利点を有する。しかし固相エピタキシャル成長には、成長層内に双晶などの積層欠陥および転位が多数形成されるという問題点が残されている。また横方向成長の際には成長の先端部にファセットが形成され、その後の成長速度を大きく低下させる。

固相エピタキシャル成長を半導体デバイス作成のプロセスに組み入れられるか否かは、成長層内の結晶性に委ねられている。またL-SPEを用いた3次元デバイスの実用化にも、先端部のファセットの解消および成長距離の増加の必要がある。本研究ではこれらの問題の解決のための第1歩として縦方向固相エピタキシャル成長(V-SPE)層内およびL-SPE層内に発生する様々な結晶欠陥の発生のメカニズムを解明することを目的とする。

本論文は6章で構成されており、以下にその目次を示し、各章の内容についてその概要を述べる。

## 第1章 序論

## 第2章 研究の方法

## 第3章 横方向固相エピタキシャル成長距離を制限する要因

## 第4章 三相(結晶シリコン、非晶質シリコン、 $\text{SiO}_2$ )境界での双晶の形成

## 第5章 縦方向固相エピタキシャル成長における酸素の影響

## 第6章 結論

第1章では、エピタキシャル成長技術の必要性について論じている。特に半導体デバイス作成のプロセスに組み入れる際には、原料を固相で供給する固相エピタキシャル成長を用いるのが最適であるということを示した。

第2章では、本研究を遂行する上で用いた試料作成技術、および各評価技術について概説した。

第3章では、L-SPE成長距離を制限する要因を考察した。3.2節では、長時間の熱処理によって成長先端部に形成される、成長速度を低下させた積層欠陥等の結晶欠陥を誘発しやすい{111}ファセットの形成機構を明らかにした。まずV-SPE終了時点において成長先端部に形成される{110}ファセットは、その後の理想的な $\alpha$ -Si中でのL-SPE成長においてそのまま保持されることをモデルを用いて示した。さらにまた、仮に{111}ファセットが形成されたとしてもすぐに埋まってしまい、先端部には元通りの{110}ファセットが出現することを示した。従って、長時間の熱処理の後に{111}ファセット形成が形成されるという事実は、この時点での $\alpha$ -Si中になんらかの障害物が形成されているということを示している。断面TEMおよび平面TEM観察の結果から、この{111}ファセットを形成する障害物は $\alpha$ -Si中に発生する多結晶粒であることが示された。さらにこれらの観察結果より、{111}ファセット形成の後は結晶欠陥が多量に発生し、成長速度もかなり低下することも示された。3.3節では、この多結晶粒が $\alpha$ -Si/絶縁膜界面から発生することをふまえ、堆積した $\alpha$ -Si膜の膜厚によるL-SPE形態へ与える影響の差について考察した。 $\alpha$ -Si膜が厚い場合には、多結晶粒が表面に達する前にL-SPE領域がそこを乗り越えることが可能となり、結果として{111}ファセット形成が遅れることになる。しかしL-SPE領域内には多数の多結晶粒が埋め込まれていることが断面TEM観察の結果より明らかになった。3.4節では多結晶粒による影響も含めた、成長距離を制限する要因について考察した。 $\alpha$ -Siから結晶Si(c-Si)への相変化に伴う密度差によって、L-SPE領域に大きな引っ張り応力が蓄積されていく様子が顕微ラマン分光法によって明らかになった。また真空蒸着 $\alpha$ -Siでは、膜内の密度の不均一性からL-SPEが部分的に阻害され、{111}ファセットが形成されることがわかった。今後焼き締め等のプロセスを最適化するなどして均一な密度をもつ真空蒸着 $\alpha$ -Si膜が作成されれば、{111}ファセット形成までの時間をさらに先に伸ばすことも可能となると考えられる。またSiN膜を絶縁膜として用いた場合のような、大きな歪エネルギーを有する界面を形成することによってもL-SPEが阻害されることが明らかになった。

第4章では、固相成長中に三相(c-Si,  $\alpha$ -Si,  $\text{SiO}_2$ )境界で発生する双晶の成長の様子について考察した。4.2節では、L-SPE領域の断面TEM観察を行なうことにより、双晶が界面近傍に局在し表面までは達していないことを示した。また格子像観察から得られたモワレ縞より、双晶は観察方向にも局在していることがわかった。さらに弱位相物体近似の条件が成立するようなきわめて薄い試料を観察することによって、双晶領域周辺部での結晶構造像が得られた。これより双晶周辺部での原子配列を推定することができた。4.3節では、これらの微小双晶の界面局在化の機構を解明するために、{111}面上での双晶および母相の成長の様子をモデルを用いて考察した。その結果、非晶質絶縁膜との界面で発生した双晶は、その他の領域で発生する母相によって周りを取り囲まれることがわかり、双晶領域が表面ま

で広がることはまず不可能であることが示された。4.4節では、L-SPE領域内に形成される双晶近傍での歪の発生の様子をモデリングによって明らかにした。界面近傍に局在する双晶とその周りを取り囲む母相との境界には、必ず非整合双晶境界が形成され、ここでは大きな歪が発生している。また双晶の面数によっては周りを取り囲む母相の格子の位相差によってさらに大きな歪が発生することがわかった。

第5章では、V-SPEに及ぼす酸素の影響について考察した。5.2節では $\alpha$ -Si/Si基板界面に存在する酸化物によって、V-SPE領域に転位が形成されることを示した。断面TEM観察によって、転位の発生地点には何らかの不純物を示すものが確認され、この領域でのEDA(Energy Dispersive Analyzer)分析の結果、きわめて高い酸素原子の存在が確認された。 $\alpha$ -Si/Si基板界面に存在するこの酸化物によってV-SPE成長が部分的に阻害され、酸化物上部でそれぞれのV-SPE領域が衝突することによって転位が形成されることが明らかになった。5.3節では、原子レベルで清浄であるとされていたSi(111)-7x7構造上でのV-SPE成長を、TEM観察および低速電子線回折(LEED)強度測定によって評価した。V-SPEのための熱処理温度の増加とともに、(3/7,0)LEED強度が増加するという事実は、低温側と高温側での2つの理由によって説明される。まず低温の熱処理を施した試料では基板と非平行な双晶が多数形成されており、表面に{111}面以外の面が出現している。これによって7x7構造のできる領域がきわめて限定され、(3/7,0)LEED強度が低い値になる。これに対して高温側では、試料表面全面に{111}面が形成されているにもかかわらず、LEED強度が熱処理温度依存性をもつ。この現象を説明するためには、7x7構造は原子レベルで清浄であるという仮定をくつがえし、7x7構造形成には何らかの拡散種が関与していると考え必要がある。このような意味で、Si(111)-7x7構造のモデルとしてDASモデルに酸素を取り込んだ modified DAS model の妥当性が明らかとなった。

第6章では、本研究を総括し、本研究で得られた結果をまとめて示した。