

外95-50

早稲田大学大学院理工学研究科

博 士 論 文 概 要

論 文 題 目

U L S I 多層配線形成のための化学気相
成長を用いた銅成膜技術に関する研究

申 請 者

栗屋 信義

Nobuyoshi Awaya

1995年 12月

LSI技術の進展は極めて速く一つのシリコンチップの上にシステムを搭載する時代へと突入している。それにともないマイクロプロセッサ等の大規模論理LSIの性能を大きく左右する多層配線技術の重要性は急速に増している。スケールン則に従ってデバイスが高速化する対し、配線遅延はスケールン則に従わない。このためLSIの微細化にともない配線に起因する遅延時間が相対的に大きく影響するようになる。また配線幅の縮小により顕著になる抵抗の増大は、電源線の電位降下、クロック信号の遅延のばらつきを招き、誤動作の原因となる。さらに配線に流れる電流密度も増加し、エレクトロマイグレーションによる断線等信頼性への影響も深刻化する。アルミニウムはSi系LSI技術に於ける配線主材料として広く用いられてきた。しかしながら抵抗率、マイグレーション耐性等の材料そのものの持つ限界により、工程の複雑化、設計自由度への負荷の増大のような形で問題が顕在化しつつある。そこで既存アルミ配線技術を極限まで使いこなすことと平行して、材料の変革を伴う新技術を用意することがLSI製造に携わる技術者に要求されている。銅は、地球上に存在する元素の中で銀について低い電気抵抗率と高いエレクトロマイグレーション耐性を有し、資源的にも安価で豊富である。しかし銅はSiデバイスの特性を劣化させる金属汚染の最も代表的な物質でもあり、また加工も難しい。そのため素子の遅延時間に比べ配線遅延が無視できる従来の回路規模では銅がLSI配線に使用されることは無かった。

LSIに於ける配線の諸問題を研究者が意識して、LSI配線技術への銅の適用の検討がスタートしたのは、deep submicron ULSIが現実の射程に入り始めた80年代の後半からである。90年代になって膜形成、加工技術、銅汚染に対する対策等の多くの研究が発表され、また多層配線形成の試みや、実際のSiデバイスへの適用例も報告され始めている。

以上のような背景のなかで、銅配線形成のキープロセスである化学気相成長(CVD)による銅成膜技術の開発とこれを用いた銅配線技術を構築することが本研究の目的である。各章は以下のように構成されている。

第1章では、本研究の背景、目的、意義について延べ論文の構成を概観する。

第2章では、まず最も初期に行われた銅アセチルアセトナトを原料にした銅CVDの基本検討について述べる。これはその後の本格的銅成膜実験の予備実験と位置づけられ、当時最も安価に購入できた上記原料を用いて銅βケトナト系原料の基本的性質の把握、CVD装置の設計指針をたてることを目的とした。同原料から銅を分解析出させるためには水素による還元反応を用いた。熱反応によるCVDで析出した銅は島状成長になり良好な低抵抗膜を形成できなかったのに対し、水素雰囲気高周波プラズマ励起CVDを用いると平滑な低抵抗膜が形成できることが明らかになった。さらにLSIへの応用を視野に入れサブミクロン加工した試料への成膜も行った。

第3章では、銅ヘキサフロロアセチルアセトナトを原料とした熱CVDについて述べる。まず4インチウエハ対応のコールドウォール型熱CVD装置を設計し、LSI配線プロセスへの適用のための諸検討を行った。本CVD原料も第2章で述べた原料と同じく水素還元により銅を析出するが、熱反応のみで層状成長による低抵抗膜を形成できる。堆積速度は基板温度および原料供給量に依存し、ある原料濃度で最大値をとることから、反応は原料分子と水素の表面に於ける競合吸着を伴う表面反応(ラングミュアヒンシェルウッド型表面反応)であると推測される。また膜組成はAES分析の結果から純粋な金属銅であり、電気抵抗率 $1.9 \sim 2.0 \mu\Omega\text{cm}$ と銅バルク値に近い値を得ることができた。さらに本実験系での銅CVDは下地材料の違いによる反応の選択性を有することを新たに発見した。銅は SiO_2 、 SiN 等の絶縁膜上には堆積せず金属上にのみ銅膜形成がなされることから反応が進行するためには、下地表面と吸着分子の間での電荷のやりとりが不可欠と考えられる。絶縁膜をマスクにして金属上に選択的に銅を成長させることで、この現象を銅多層配線の層間接続ビア埋め込みに応用することを新たに考案し、銅2層配線の試作を行った。その中で特に層間のビア抵抗低減のため選択CVD前の試料表面処理法の最適化を検討した。XPSによる下地表面の分析結果を参照して表面汚染除去法を確立し、層間接続の抵抗値の低減を図ることができた。

第4章では、第1章及び第2章で述べた銅CVD技術の堆積速度についてその反応機構を理論的側面から議論する。分子レベルの考察にはab-initio分子軌道法を用い、原料分子の電子構造の解明とガスと固体表面の相互作用について考察した。これらの知見をもとに、反応速度論の立場から速度式を導出し、実験値と比較した。ab-initio法による分子軌道計算の結果は、第2章で述べた銅アセチルアセトナトに比べ銅ヘキサフロロアセチルアセトナトが強いルイス酸性を有することを示している。また吸着に関する荒いモデル実験の結果は、原料分子が下地の銅に吸着すると、表面から電子を吸引して分子中の銅とリガンドの結合が弱くなり、さらに下地の銅を取り込み2つの1価の反応中間体に解離していくことを示唆している。このことが銅アセチルアセトナトに比べて銅ヘキサフロロアセチルアセトナトが低温で良質な膜形成ができること、および選択成長が起きることの原因になっていると考えられる。さらにこの結果をもとにラングミュアヒンシェルウッド機構による速度式を導出し、吸着エネルギー、及び反応の活性化エネルギーを算出した。原料分子の解離吸着が見かけ上吸熱反応になるというモデルで第3章で示した反応速度の原料濃度及び基板温度依存性を良く説明できることを明らかにした。同時にその反応機構から本反応系では堆積速度の高速化が原理的に難しいこともあきらかになった。

第5章では、銅CVD反応系への添加ガス導入による性能向上について報告する。本章の目的は第3章で実験的、第4章で理論的に明らかにした、銅2価原料の水素

還元によるCVDの堆積速度の限界を打破しLSI製造技術としての生産性向上を実現することにある。高速堆積を行う方法として水蒸気添加法を考案した。銅ヘキサフロロアセチルアセトナトは水和物を形成すると分解が容易に進むことを見だし、水素キャリアガスに流量制御した水蒸気を添加することで*in situ*に水和物を形成し反応室に輸送した。これにより従来の堆積速度の10倍の高速成長を得ることができた。また本水蒸気添加法は、堆積した銅膜表面の平滑性を向上させることも明らかにした。

第6章では、近年米国で開発された銅1価錯体のCVD原料銅ヘキサフロロアセチルアセトナトトリメチルビニルシランを用いたCVD技術について述べる。従来の銅原料が室温で固体であるのに対し、上記原料は室温で液体であり生産技術に用いた際の制御性に優れることを特徴とする。本研究ではこの原料の特質を生かすため、液体マスフローコントローラを用いた原料供給の直接制御によるCVD装置を提案し、従来法に比べ原料供給制御が良好で、かつ原料の安定性を維持しつつ、高い原料分圧での堆積が可能であることを示した。また従来本原料による銅析出反応は水素還元ではなく不均化反応によるとされていたが、比較的水素分圧の高い領域では、水素還元も平行して進行し、原料の消費効率を向上させることを見いだした。さらに基板温度が200℃以下においては段差に於ける被覆形状はリフロー形状となり、高アスペクト比の微細溝を容易に充填できることを確認した。

第7章では、ヘキサフロロアセチルアセトン添加が1価及び2価の原料を用いたCVD反応系に及ぼす効果について論じる。2価原料を用いた選択CVDにおいて下地銅表面の自然酸化膜を除去するため水素還元を一定時間以上行くと、絶縁膜上での核生成による選択性の劣化がおきるが、反応の初期にヘキサフロロアセチルアセトンを添加することで核形成を抑止できることを見いだした。これに対し1価原料では逆に不均化反応の触媒となり核形成の促進の働きをすることが判明した。この核形成促進作用を利用してブランケットCVDと化学機械研磨により形成した微細配線の抵抗値のばらつきを低減させ、銅微細配線形成プロセスを安定化した。

第8章では、第6章、7章で示した銅CVD技術を現在の先端レベルのデバイスサイズであるゲート長0.25μmのCMOSの配線プロセスに応用した際のプロセスとデバイスの評価について述べる。まずプロセスに起因する銅汚染の除去法について全反射蛍光X線による定量的評価を行った。これを参照して銅CVD及びCMPの後洗浄を最適化し、ウエハ裏面等の銅汚染濃度を従来のアルミ合金配線プロセスでのレベルまで低減した。最適化したプロセスで形成したMOSFETの電気特性、及び温度処理に対する安定性を評価し、銅配線に起因する電気特性の劣化が無いことを確認した。さらに銅配線を用いた小規模回路の正常動作を得ることができた。第9章では、総括的結論を示す。