

外95-42

早稲田大学大学院理工学研究科

# 博士論文概要

## 論文題目

デジタル信号処理技術のISDNへの  
応用に関する研究

—同期化ならびに画像符号化への応用—

申請者

奥村 康行

Yasuyuki Okumura

1995 年 12 月

今日、企業活動や社会生活等あらゆる分野において情報の量の増大と内容の多様化が進み、情報の流通手段としての電気通信ネットワークの果たす役割は一段と重要度を増してきている。また、電話はもちろん、データ通信やファクシミリ、テレビ会議や映像分配等、電話以外の電気通信サービスに対する社会的要望が非常に強くなっている。これらの要求に早急に対応するため全国に普及しているアナログ電話網を使い、モデムと呼ばれる変復調装置を利用して10kbps程度のデジタル伝送サービスがまず提供された。しかし、アナログ電話網は帯域が3.1kHzに限定されているため、情報量の増大と多様化に対応することは不可能であり、この限界を打破するネットワークとしてサービス総合デジタル網(Integrated Services Digital Network; ISDN)が脚光を浴びている。

こうしたデジタル通信網では、すべての情報がデジタル化され、時分割多重ならびに時分割交換等の処理がなされるので、網内諸装置から端末に至るまですべての装置の周波数を一つに同期化する信号処理技術が必要となる。ISDNにおける同期化処理技術の課題として、ユーザ・網インタフェースに複数の端末を並列に同時接続する受動バス伝送における同期回路構成法を確立する必要がある。この受動バス伝送方式を用いたユーザ・網インタフェースは、さまざまなメディアによる多様な通信形態を実現するためにISDNで新たに検討されたものであり、このような伝送方式において同期回路構成法が検討された例はなかった。

次に、ISDNを広帯域化する研究が世界的に進展しているが、そこでの同期化処理技術の課題として、いわゆるスタフ同期技術を応用したポイント処理による同期伝送系における同期回路構成法を確立する必要がある。特に、広帯域ISDN(Broadband ISDN; B-ISDN)では将来のHigh Definition Television (HDTV)伝送も含め様々な品質のデジタル映像伝送がターゲットであるが、これらの品質を考慮して同期回路構成法を検討された例がなかった。

さらに、上述のようにB-ISDN時代の映像伝送における信号処理技術の課題として、様々な品質のデジタル映像伝送を実現するため、デジタル信号処理プロセッサ (Digital Signal Processor; DSP) を用いた汎用的な符号化装置の構成法を確立する必要がある。DSPを用いた汎用的な符号化装置として、画素数が少なく従って処理量も少ない場合に単一あるいは2～3個のDSPを用いた構成、ならびに多数のDSPのそれぞれに画面の一部分を割り当てて、そこに閉じた処理だけを行う構成が検討されてきた。しかし、今後のHDTVも含めた多様な画像伝送を考慮し、多数のDSPによる並列処理を行うとともに、領域分割された画面に閉じた処理ばかりでなく、動き補償のように全画面に及ぶ処理を効率的に行う方式を検討した例はなかった。

本論文はこのような背景のもとに著者が行ってきた研究成果をまとめたものであり、ISDNにおいて必要となる信号処理として同期化処理ならびに汎用画像符号化処理方式を提案するとともに、その結果を具体的なシステムに適用した場合の実験結果あるいはシミュレーション結果を示し、提案方式の実現性ならびに優位性を裏付けている。以下に論文の概要を述べる。

第一に、ISDNにおける同期化処理技術の課題として、ネットワークと網との接続点であるユーザ・網インタフェースに適用される受動バス構成における、異なる位相を有する複数の時間多重されたチャネルの信号からの最適な識別クロックの抽出を実現するための新しい多位相同期発振器を提案している。

インタフェース線数を削減し配線を容易にするためには、インタフェース信号の伝送において自己タイミング抽出を経済的に実現する必要がある、このためデジタルLSI化に適したデジタル位相同期ループ(Digital Phase Locked Loop; DPLL)の適用が検討されるようになった。ISDNの国際標準化に向け国際電気通信連盟(International Telecommunication Union; ITU)の中では、複数の端末を接続し同時に使用できる受動バス構成のユーザ・網インタフェースが検討され、ここでもDPLLの適用が想定されていた。受動バス構成のユーザ・網インタフェースでは、端末ごとに網終端装置との距離が異なるため、異なる位相を有する複数の時間多重されたチャネルの信号からの最適な識別クロック抽出という課題があり、これを解決するDPLLとして、本論文では新しい多位相同期発振器を提案している。

この同期発振器ではさらに、各チャネルの先頭ビットならびに最終ビットにおいて信号パルスの重複が生じるため、この同期発振器は当該ビットにおける識別クロックの位相をシフトして重複した領域の識別を回避している。多位相同期発振器の動作を解析するため、従来のマルコフ連鎖モデルを拡張した手法を提案している。この手法にもとづいたジッタ量と識別余裕量に関する解析結果は、実験結果と良く一致している。また、この位相同期発振器は、ITUで勧告されている基本インタフェースにおいて受動バス構成ならびにポイント・トゥ・ポイント構成にも適用可能であることが示されている。これによりインタフェース配線構成の変更、たとえば受動バス構成からポイント・トゥ・ポイント構成への変更も網終端装置を調整すること無く可能となった。

さらに、ISDNの網終端装置に適用するLSI化インタフェース回路を開発した結果について述べる。簡易化した多位相同期発振器によるクロック抽出を導入し、ポイントトゥーポイントならびに受動バス構成への応用を図った。この回路は配線構成に応じたマニュアル設定は不要であり、これらの機能はゲートアレイの4,000ゲート規模で実現した。このインタフェース回路の特性、特に伝送特性と電気的特性がITU勧告に適することを確認した。

第二に、B-ISDNにおける同期化処理技術の課題として、同期デジタルハイアラキー(Synchronous Digital Hierarchy; SDH)網におけるスタフ同期回路の設計について、特にスタフジッタの削減の観点から明らかにしている。

まず、スタフジッタは、異なる網同期装置からクロック供給を受ける複数のSDH網を經由してHDTV伝送を行う場合の最大の技術課題の一つであることを述べる。そして、SDH網のポイントメカニズムによるスタフジッタを定量化する。また、HDTV伝送品質の主観評価を行

い、試験画像としてカラーバーを用いたジッタ信号として正弦波を用いた場合に、ジッタ量の検知限は3.6nsecであることを示す。これらの結果からHDTV伝送の画質に対するスタッフジッタの影響を述べる。さらに、受信側において分散デスタッフを行うことを提案し、この方法により622Mbps伝送におけるジッタ量を約32dB削減できることを示す。最後にこれらの結果から、受信側で分散デスタッフを用いた場合のクロック抽出用PLLのカットオフ周波数が通常のデスタッフにおける場合の10倍大きな値に設定可能であり、PLLの引き込み時間を大幅に削減できることを示す。

第三に、B-ISDNの映像伝送における信号処理技術の課題として、様々な品質のデジタル映像伝送をDSPを用いた汎用的な符号化装置で実現するため、多段スイッチ回路網を有するマルチプロセッサDSPによる動的負荷分散方式を提案する。

画像符号化のような処理をDSPで行う場合、その所要処理能力は画面の画素数に応じて異なるが、B-ISDNの当面の提供サービスで最も画素数の多いものはHDTVと考えられる。HDTVでは10 Giga Operations per Second (GOPs)程度の処理能力が必要であり、現状ではマルチプロセッサ構成が不可欠となる。画像符号化をマルチプロセッサ型DSPで行う場合、時間的・空間的に所要処理能力が変動する情報源に対して、特定のDSPに負荷が片寄らないように均等化することにより処理能力を最大限に引き出すことが必要である。このような負荷分散はDSPばかりでなく、一般の並列処理コンピュータシステムにも共通する技術課題であるが、画像符号化の場合は処理単位が非常に細かい、各画素ごとに同一の処理を繰り返す場合が多い、符号化装置内の高速伝送がDSP間通信に利用できる、等の点で異なる。

まず、画像符号化に用いるマルチプロセッサDSPにおける最大の課題である、一部のプロセッサへの負荷の集中について述べる。たとえば、ベクトル量子化のようなアルゴリズムをテレビ会議画像に適用した場合、全画素のうちたかだか30%程度だけがベクトル量子化処理を必要とし、これが半数程度のDSPに集中する。この課題を解決するため、より負荷の少ないプロセッサに未処理の負荷を分散することにより、負荷の均一化をはかる方式を提案する。ここで、多段スイッチ回路網は網内の負荷量をスイッチ間で転送しあうことにより負荷分散を実現する。また、このマルチプロセッサDSPを用いた動画像符号化アルゴリズムにおけるスケジューリング方法を提案する。この方法は多段スイッチ回路網の負荷分散機能と処理結果のソーティング（整列）機能を活用している。計算機シミュレーションにより、テレビ会議用の画像符号化などを想定し、マルチプロセッサDSPの一部のDSPへの負荷の集中がある場合、従来のマルチプロセッサDSPに比して提案方法では約2倍の処理能力が得られることを示している。

本論文で詳述したこれらの研究成果はISDNの構築に対して大きな寄与を果たすとともに、将来のマルチメディアネットワークの開発に対して指針となることが期待される。