

外96-6

早稲田大学大学院理工学研究科

博士論文概要

論文題目

絶縁ゲート型パワーデバイス
の高性能化に関する研究

申請者

松本 聰

Satoshi Matsumoto

1996年5月

電力変換や電力制御を扱うパワーエレクトロニクスは、現代文明を支える基幹技術としてその重要性はますます高まりつつある。パワーエレクトロニクスでは、パワー半導体デバイス（パワーデバイス）がキーデバイスの一つとして不可欠であり、その適用分野は、情報・通信機器や家電製品から交通輸送分野までと多岐にわたっている。これらの分野では、近年、小型化・低損失化・高機能化等の高性能化に対する要求が高まっている。これらの要求に対応するためにはパワーデバイスの高性能化がきわめて重要になってきており、各種のパワーデバイスに対して高機能化、低損失化（低オン抵抗化）、高速化、大電流化（低オン抵抗化）、高耐圧化、高信頼化の要求が高まり、これらを目標とした研究が活発に進められ、着実にこれらの性能が向上してきた。特に、パワーデバイスの高機能化を目的とした研究は、比較的小容量のパワーデバイスを中心に検討が進められており、パワーデバイスとパワーデバイスを駆動・制御する駆動回路や制御回路、パワーデバイスを保護する各種保護回路等をワンチップに搭載し、パワーIC化することにより高機能化が図られてきている。パワーICは、パワーデバイスの高機能化を図るばかりでなく、配線長を短縮できることからシステムのオペレーション速度の高速化、部品点数やはんだづけ箇所の削減によるシステムの高信頼化にも貢献できるためその重要性は益々増加している。パワーデバイスの高機能化は、簡単な構成の駆動回路を用いて高速のスイッチングが可能な絶縁ゲート型のパワーデバイスを中心に研究が進められており、パワーICでは、絶縁ゲート型のパワーデバイスの高性能化が重要な課題となる。特に絶縁ゲート型のパワーデバイスでは、1～2世代前のVLSIに適用された微細加工技術ではあるが、その技術を適用することにより、性能は飛躍的に向上した。しかしながら最新のVLSI技術を用いた研究はほとんど行われていない。従って今後最新のVLSI技術を用いてパワーデバイスの高性能化を図ることが重要な課題となる。本研究では上述の背景のもと、最新のVLSI技術を適用してパワーデバイスの高性能化を図ることを目的として、著者は、絶縁ゲート型パワーデバイスの高性能化の研究を行ってきた。

絶縁ゲート型パワーデバイスにおける高性能化の課題の1つにオン抵抗の低減化があり、著者は、最先端の微細加工技術を導入してオン抵抗の低減に適した縦型パワーMOSFETの研究を行った。次に著者は、絶縁ゲート型パワーデバイスにおける高性能化の課題の1つに高機能化があげられるが、著者は高機能化に有望なパワーデバイス構造として将来のVLSI技術の基幹技術となる薄層SOI(Silicon on Insulator)技術を取り上げ、薄層SOI構造に適した絶縁ゲート型のパワーデバイスの研究を行った。第3章に著者は、薄層SOIパワーMOSFETの動作解析対して、発光現象を適用する研究を進めた。本論文はこれらの結果をまとめ、次世代パワーデバイスの高性能化に対する対応指針を示したものである。

本論文は第1章から第7章で構成されている。以下に各章の概要を述べる。

第1章は序論である。絶縁ゲート型パワーデバイスの高性能化の研究の背景、目的について述べた。

第2章では、パワーMOSFETの低オン抵抗化を目的として、VLSIの微細加工技術を適用してオン抵抗の低減が可能なUMOFET(U-grooved MOSFET)の構造とその製作方法を提案した。特にパワーICでは、チップサイズやパッケージの熱容量に制限があるため、パワーICに用いるパワーMOSFETに対してオン抵抗の低減が重要となる。低耐圧のパワーMOSFETでは、微細加工技術を導入してセルピッチを微細化してオン抵抗を低減してきたが、より微細化した領域で、オン抵抗の低減に適したデバイス構造の研究はなされていない。このため、

セルピッチのより微細な領域でオン抵抗の低減に適したデバイス構造の研究を行った。その結果、以下の結論を得た。(1)パワーMOSFETのオン抵抗の低減化を目的として、ソース・ボディコンタクトを自己整合技術により形成した溝により取る新構造UMOSFETとその製作方法を提案した。(2)従来構造のUMOSFETでは、セルピッチの微細化を進めていくと、コンタクト抵抗が増大してオン抵抗が増大するため、コンタクト抵抗を考慮に入れたデバイス設計が必要となることを明らかにした。(3)新構造UMOSFETでは、セルピッチの微細化してもコンタクト抵抗が一定に保たれるため、微細加工技術の導入によるオン抵抗の低減に適した構造であることを明らかにした。

パワーICでは要求特性の異なる素子を多数搭載するため、その信頼性を確保する観点からSOI技術が有望視されている。特に薄層SOI技術は、横方向素子間分離の容易なことや将来のVLSIの基幹技術となる薄層SOI・COMSデバイスの混載が可能なため最も期待の大きいパワーMOSFETの素子構造である。これまでに薄層SOIパワーMOSFETで報告された素子特性はTEG(Test Element Group)レベルのみであり、TEGでは、回路設計や素子性能を評価するために重要な各種寄生容量や熱による特性変動等を評価することが困難である。

第3章では、1000セル以上並列接続した薄層SOIパワーMOSFETをチップレベルで初めて試作し、評価した結果を述べる。その結果、以下の結論を得た。(1)ドレインフィールドプレートは耐圧とオン抵抗の改善に有効である。(2)n型高抵抗基板に比べp型高抵抗基板の方が、入力容量と出力容量が小さい。(3)薄層SOIパワーMOSFETの出力容量のドレインバイアス依存性は、バルク基板上に製作した横型パワーMOSFETの出力容量のドレインバイアス依存性に比べて小さい。(4)薄層SOIパワーMOSFETはバルク基板に形成したパワーMOSFETに比べ、高速化が可能であることを明らかにした。

第4章では、パワーデバイスの高機能化に適した横型パワーMOSFET／薄層SOI構造を取り上げ、オン抵抗の低減化とスイッチングスピードの高速化に適したデバイス構造を2次元デバイスシミュレーション結果をもとに提案した。パワーICでは、チップサイズやパッケージの熱容量に制限があるため低オン抵抗化を図ることやシステムのオペレーション速度を高速化するためパワーMOSFETの高速化が重要課題となる。しかしながら、低オン抵抗でかつ高速スイッチングに適した素子特性の検討は行われていない。本章では、低オン抵抗でかつ高速スイッチングに適した薄層SOIパワーMOSEFTの素子構造の研究を行った。その結果、以下の結論を得た。(1)耐圧は、埋め込み酸化膜の増加により増加するが、最大の耐圧を与える最適ドーズ量は埋め込み酸化膜厚の増加により減少するためオン抵抗は増加する。(2)p型高抵抗基板では、基板領域に空乏層が伸びるため、n型基板に比べフォールタイムが高速になる。(3)低オン抵抗でかつ高速の薄層SOIパワーMOSFET実現するためには、p型高抵抗基板を用いて耐圧を満足する範囲でできるだけ埋め込み酸化膜を薄くすれば良いことを明らかにした。

第5章では2次元デバイスシミュレーションと発光現象の解析により薄層SOIパワーMOSFETの動作解析とデバイス構造設計を行った結果について述べる。薄層SOIパワーMOSFETの構造設計を行う際、素子のどこでブレイクダウンするのか知ることが重要となるが、これまで実験的に薄層SOIパワーMOSFETのブレイクダウンを起こす場所は特定されていなかった。アバランシェブレイクダウンによる発光現象を用いて、薄層SOIパワーMOSFETのブレイクダウン箇所を特定し、その結果をもとに薄層SOIパワーMOSFETの高耐圧化を図る研究

を行った。その結果、以下の結論を得た。(1)リニアゲート型の素子では、ドレインオフセット領域のトータルチャージ量がLOCOSエッジで低くなるため、リニアゲート型のデバイスの耐圧はクローズドゲート型のデバイスの耐圧の約半分であった。(2)発光現象解析とデバイスシミュレーションにより、薄層SOIパワーMOSFETの故障解析と構造の改善が可能であることを明らかにした。(3)リニアゲート型の耐圧低下に対する対策として、ドレインオフセット領域のドレインエッジ側のLOCOSエッジに追加イオン注入する構造を提案し、本章で提案する構造が有効であることを明らかにした。

第6章では大電流化に適した横型絶縁ゲート型バイポーラトランジスタ(LIGBT)/SOI構造について述べる。

LIGBTは、高耐圧領域でMOSFETに比べ、そのオン抵抗が1桁以上小さくなる。LIGBT/SOIはLIGBT/バルクに比べ、素子間分離が容易なことから、パワーIC用のパワー素子として近年活発に検討が進められている。LIGBTでは、寄生サイリスタ構造を有しており、素子特性改善のための重要な課題の1つにラッチアップ電流の大電流化があげられる。LIGBT/SOIのラッチアップ電流を改善することを目的として、p型低抵抗基板を用い、チャネル領域下部の埋め込み酸化膜を除去し、低抵抗のp型基板とチャネル領域を接続するLIGBT/Quasi-SOIを提案するとともに、その素子特性をデバイスシミュレーションにより検討した。その結果、以下の結論を得た。(1)LIGBT/SOIに比べ、LIGBT/Quasi-SOIは、ラッチアップ電流が大きく、基板抵抗の減少により、ラッチアップ電流は増加し、基板抵抗 $20\text{m}\Omega \cdot \text{cm}$ でラッチアップフリーとなることを明らかにした。(2)LIGBT/Quasi-SOIでは、埋め込み酸化膜をソース領域下部まで除去することにより、ラッチアップ電流を増加することができる事を明らかにした。

第7章は、結論として以上のまとめを述べる。本研究は、次世代以降のVLSI技術を用いて絶縁ゲート型パワーデバイスの高性能化を実現することを主題とする。具体的には、微細加工技術を用いて低オン抵抗化に適した新しいパワーMOSFETの素子構造を提案するとともに、新構造のパワーMOSFETが微細加工技術の導入によるオン抵抗の低減に適した構造であることを明らかにした。パワーデバイスの高機能化が可能なパワーICの分離技術として、次世代VLSI技術の主流となりうる薄層SOI技術を取り上げ、この薄層SOI基板に搭載するパワーMOSFETの素子特性を初めてチップレベルで明らかにするとともに、デバイスシミュレーションにより低オン抵抗化と高速化に対する指針を示した。さらに、高耐圧の領域でMOSFETに比べてオン抵抗の小さいLIGBT/SOIを取り上げ、LIGBT/SOIで最も問題となるラッチアップ電流を改善するための新規な素子構造を提案した。

本研究の結果と近年研究の活発に行われている高性能な薄層SOI・CMOSデバイスとを融合したパワーICが実現できれば、高性能かつ高機能なパワーICが実現でき、さらに薄層SOI技術の適用領域の拡大を図ることができる。また、スイッチング周波数の高周波化による電源システムの小型化やパワーICのチップ面積削減による低価格化の実現も可能となる。

以上を総括すると、パワーデバイスの高性能化に対する最も重要な課題となるパワーデバイスの高機能化に対して有望なパワーIC取り上げ、パワーIC用のパワーデバイスとして絶縁ゲート型のパワーデバイスに着目し、次世代以降のVLSI技術を導入することにより、絶縁ゲート型パワーデバイスの高機能化、低オン抵抗化、高速化、大電流化を図れることを示すとともに、これらに適した素子構造を提案した。このように、次世代パワーデバイスに対する高機能化、高速化、低オン抵抗化を提案し、本論文としてまとめた。