

外 96-36

早稲田大学大学院理工学研究科

博士論文概要

論文題目

論理設計の CAD 手法に関する
研究

申請者

松永 裕介
Yusuke Matsunaga

1996 年 11 月

論理設計とは、論理的な仕様を満たすように、NANDゲートなどの組合せ論理素子やフリップフロップなどの記憶素子を組み合わせた回路を設計することであり、従来は設計者によって人手で行われていたものである。しかし、VLSI(超大規模集積回路)チップの集積度の向上とともに回路規模が増大し、また、1チップで実現する機能のレベルが一つの部品モジュールからシステム全体へと昇格するに従って、設計のための作業量とその複雑さは飛躍的に増している。また、回路の記述レベルが回路図レベルからより高いレジスタ転送レベルや動作レベルに移行しており、ハードウェア記述言語を用いた設計スタイルが主流になりつつある。そのため、もはや論理設計を人手のみで行うことはほとんど不可能であり、計算機支援による設計(computer-aided design:CAD)が不可欠のものとなってきている。

本論文はこのような背景のもとで、VLSIの論理設計のCAD手法—論理合成、論理検証、およびテストパターン生成—について取り上げ、実用的な論理設計CADシステムを構築するための技術およびアルゴリズムについて述べている。

まず、第1章では、本論文の背景と意義および概要について述べる。ここでは、論理設計CADシステムにおける従来技術を概観し、問題点や必要とされる機能などが論じられる。

第2章では、テクノロジ非依存なレベルの論理合成について取り上げる。テクノロジ非依存なレベルでの論理合成手法としては、論理式を代数式(多項式)とみなして式の分解、括り出しを行う手法(代数的手法)と、論理式中に生じる冗長性(ドントケア条件)を活かしてより強力な簡略化を行う論理式的な手法が提案されている。後者の手法は、場合によっては代数式的な手法のみを適用した結果の約十分の一の大きさの回路を合成できる程、強力な手法であるが、論理関数を効率良く扱うことが難しいという問題点があった。そこで、論理式的な手法を実用的な論理合成システムに適用できるようにするために、論理関数の表現方法として二分決定グラフを用いた手法を提案する。二分決定グラフは、他の表現方法に比べると論理関数をコンパクトに表現できることが多く、また、そのグラフの節点数に応じた手間で論理関数処理を行うことができるという特長を持つ。このデータ構造をトランスクション法と呼ばれる簡略化手法と組み合わせることで、従来は適用不可能であった千ゲート規模の回路に適用可能な簡略化手法を開発した。

次に、簡略化をより効率良く行う、ブール除算に基づいた手法を提案する。トランスクション法では回路の外部的な動作が異なる範囲で結線のつなぎ替えを繰り返し行うが、無駄な繰り返しも多く効率的ではない。そこで、論理式を簡単にする方向での結線のつなぎ替えのみを行うヒューリスティック(ブール除算)を考案した。計算機実験による性能評価を行った結果、このブール除算による簡略化手法はトランスクション法とほぼ同等かそれ以上の簡略化を、平均して3~4倍高速に行っている。

さらに、この組合せ回路を対象とした簡略化手法を記憶素子を含んだ順序回路に適用できるようにするための拡張について述べる。入力変数を時刻ごとに異なる変数と見なすことによって順序回路の動作を表現し、それを用いて上記の簡略化手法を適用している。また、時刻のみが異なっていて全く同形の論理関数を共有させて効率的な処理を行うための二分決定グラフの拡張を提案する。

第3章および第4章ではテクノロジに依存した処理(テクノロジマッピング)を取り上げる。現在用いられているテクノロジマッピング手法の多くはマッピング対象の回路を一旦、2入力NANDゲートのような小さなゲートで実現して、その部分回路に対して実際のセルを割り当てる、というアプローチをとっている。そこで、テクノロジマッピングの問題は、(1)2入力NANDゲートの部分回路にマッチするセルを列

挙する、(2)対象回路をカバーする最適なセルの組合せを求める、という二つの問題に細分化される。第3章ではこのうちの最初の問題—セルのマッチング問題—について取り上げ、第4章では2番目の問題に関連した位相最適化問題について述べる。セルのマッチングアルゴリズムは大別するとグラフによるパターンマッチングと論理関数の一致判定を用いたブーリアンマッチングに分けられる。前者は非常に高速であるが、一つの論理関数(セル)に対して複数のパターングラフを必要とするなどの問題点がある。一方、後者はパターングラフが不要であり、強力なマッチング処理が行えるという特長を持つ。しかし、ブーリアンマッチングでは2つの論理関数が入力変数の位相反転および変数順序の入れ換えによって等しくなるかを確かめる必要があり、単純な方法では、 $O(2^n \cdot n!)$ 通りの位相反転/変数順序変換を試さなければならぬ。そのため、効率よくブーリアンマッチングを行うためには効果的な枝刈りの手法が必要となる。そこで、二分決定グラフの構造に着目して、部分的な変数順のみが割り当てられた状態で、可能性のないマッチングの枝刈りを行うアルゴリズムを提案する。また、回路の構造から真理値表密度の範囲を計算することによって、ブーリアンマッチングを適用する候補を絞るトポロジカルフィルタについても述べる。テクノロジマッピングのためにブーリアンマッチングを用いる場合、実際に与えられたセルライブラリのいづれかのセルにマッチする論理関数はほんのわずかで、残りの大部分の関数はマッチングを持たない。そこで、前述のトポロジカルフィルタを用いればマッチングを持たない関数をその二分決定グラフを作ることなく判定することが出来、処理の高速化を図ることができる。実験結果によれば、ブーリアンマッチングに要する計算時間は二分決定グラフを構築する時間に比べて無視できるほど短く、マッチングアルゴリズムの効率の良さが実証された。また、トポロジカルフィルタを用いることによって大半の不要なマッチング処理を削減することができ、全体の処理時間を約半分に短縮できることを確認した。以上の結果から、テクノロジマッピングのマッチング処理の手法として、提案手法が極めて効率的であると言える。

第4章ではテクノロジマッピングにおける位相最適化問題について取り上げる。Keutzerは実用的なテクノロジマッピングのヒューリスティックとして、対象回路を木状に分割するtree coveringを提案している。木状回路に対しては、動的計画法によって最適なマッピングを行うことができるが、分割された範囲内ののみの最適化しか行えないという本質的な問題も生じる。しかし、木状回路への分割を行わないとマッピング問題はNP完全問題となってしまい、現実的な計算機資源のもとでは解くことは難しい。その中間的な定式化として、木状回路への分割は行うが、その分割された境界での極性を適宜選択することでよりよいマッピングを求めるという位相最適化を伴ったテクノロジマッピングについて取り上げる。この位相最適化問題自体も考慮すべき境界点の指標に応じた解空間を持ち、単純には解けない問題である。位相が固定された状態ではスカラ値となる面積コストが、各々の位相割り当てに応じた値をとる関数で表されるからである。そこで、このようなブール空間を定義域とし整数値を値域とする関数を効率良く表現するためのデータ構造として、枝に値を持たせた二分決定グラフを提案し、さらにこのデータ構造とtree coveringアルゴリズムを組み合わせることによって、位相最適化問題を解くヒューリスティックの開発を行った。ベンチマーク回路を用いて性能評価を行った結果、従来のgreedyなヒューリスティックに比べて10%程面積の小さな回路を合成することに成功している。

第5章では与えられた2つの組合せ論理回路が機能的に等価かどうかを検証する問題について論じる。たとえ、論理合成システムを用いて自動的に回路を生成したとしても、タイミングなどの制約を満たすために人手で修正する場合があり、その修正によって回路の機能が変わっていないかを保証するために等価

性の検証を行う必要がある。一方、組み合わせ回路の等価検証問題は co-NP 完全問題であることが知られており、いかなる問題に対しても効率良く判定できるアルゴリズムは見付かっていないし、将来も見付からないであろうと予想される。そこで、実用的な多くの問題を効率良く判定できるような等価検証手法を開発することが必要とされている。実際的な検証問題の多くは、回路規模は大きいが、比較する回路間に構造／機能的な類似性がある場合が多い。このような傾向に適した検証方法は、回路を部分回路に分割して対応する各々の部分回路の間で検証を行う分割統治法であるが、部分回路に対する検証が失敗しても回路全体では等価となる場合 (false negative と呼ばれる) があるため特別な注意が必要となる。そこで、この false negative が起こった場合に検証を行うための手法として閑数的含意に基づく検証手法を提案する。また、false negative を起こしにくい回路分割方法として、回路構造とその依存関係に基づくヒューリスティックを提案する。数千ゲート規模のベンチマーク回路を用いた実験では従来手法に対して最大 100 倍程度の高速化が達成されており、本手法の有効性が確認できる。

第 6 章および第 7 章ではテストパターン生成問題について取り上げる。このうち第 6 章では、大規模な回路に対しても適用可能な実用的なテストパターン生成システムについて述べる。このようなシステムで必要とされることは、できるだけ問題の計算複雑度を下げて効率的に処理することと、検出しにくい故障や冗長故障の特定を効果的に行うことである。前者に関しては、ある故障に対するテストパターン生成問題に対して関係のある部分回路をもとめ、処理対象をその部分回路に狭めることで見かけ上の回路サイズの縮小をはかっている。ただし、一つの故障毎に部分回路の切りだしを行うのでは効率が悪いので、ある故障に対して部分回路の切りだしを行った後に、その部分回路を用いてテストパターン生成を行うことのできる故障を列挙する手法を用いている。後者に関しては、故障の影響を外部出力に伝播させるために必要となる値の割り当てを求める単一経路活性化法に対して大幅な改良を加えて、従来手法よりも高速な処理を実現している。これは対象回路の段数の情報を利用したもので、いかなる場合でも従来手法が探索していた領域の部分集合を探索するだけで同等の判定を行える。この改良された単一経路活性化法によって無駄な探索を省くことができるので、従来手法では難しいとされた冗長故障の特定も極めて高速に処理している。数万ゲート規模のベンチマーク回路に対する実験では、そのすべての故障に対するテストパターンの生成、および冗長故障の判定を通常のワークステーションを用いて数十秒で行っており、その実用性を確認した。

第 7 章では、与えられた回路のすべての故障を検出できる最小のテストパターンセットを求める問題 (最小テストセット問題) に対する厳密解法について述べる。このアルゴリズムの特長は、テストパターンを明示的には列挙せずに、同一のパターンで検出することのできる故障集合 (極大両立故障集合と呼ぶ) を用いて非明示的に列挙するところにある。この極大両立故障集合を用いた非明示的列挙手法を用いることによって考慮すべきパターンの数を大幅に減らすことができる。さらに、同一のパターンでは検出することのできない故障集合 (独立故障集合と呼ぶ) のなかで、極大なものもとめて、その集合の要素数を最小テストセットの下限とすることによって、効果的な枝刈りを行って、探索空間を狭めている。このアルゴリズムをベンチマーク回路に適用した結果、従来は不可能とされていた数百ゲート規模の回路の厳密な最小テストセットを求める成功に成功した。また、独立故障集合を用いた下限はテストセットの最小解に対する極めて良い近似であることを実証した。

第 8 章で結論を述べる。