

外96-25

早稲田大学大学院理工学研究科

## 博士論文概要

## 論文題目

高密度ダイナミック・ランダム・アクセス・メモリ  
(DRAM) のメモリセル技術に関する研究

申請者

浜本 豊司

TAKESHI HAMAMOTO

1996年10月

本論文は、ダイナミック・ランダム・アクセス・メモリ (Dynamic Random Access Memory、以下DRAMと略す) のメモリセル技術に関する研究成果をまとめたものである。以下に概要を記す。

第1章では、DRAMメモリセルの基本動作について説明した後、高集積化および高密度化で生ずる問題点について論じる。DRAMは電荷を蓄えるキャパシタと、それを読み出しおよび書き込みを行うためのセルトランジスタからなるメモリセルを有する。メモリセルの構成要素が少ないため、他の半導体メモリに比較して高集積化に適する点がDRAMの特徴である。DRAMメモリセルを特徴づける特徴のうち最も重要なのは、ポーズ時間とソフトエラー耐性である。(1) ポーズ時間：キャパシタに蓄えられた蓄積電荷は種々のリーク電流メカニズムにより失われていく。このリーク電流の影響で、蓄積電極の電位が低下し、読み出せなくなるまでの時間をポーズ時間と呼ぶ。(2) ソフトエラー耐性：パッケージなどに極微量含まれるウラン、トリウムなどの放射性元素から放出される $\alpha$ 粒子によって記憶内容が破壊される現象をソフトエラーと呼ぶ。このソフトエラーに対する耐性は、メモリセル構造および蓄積容量に依存する。拡散層面積が大きいメモリセル構造ほど電子を吸収し易くソフトエラー耐性は低い。また、蓄積容量が大きく蓄えている信号電荷が多いほどソフトエラー耐性は高い。このソフトエラー耐性を維持するために、メモリセルの蓄積容量はDRAMの世代が進みメモリセル面積が縮小されても一定の値を保つ必要がある。このような観点からセル構造の3次元化がなされてきた。

本研究の目的を以下に記す。DRAMの高集積化、すなわちビット数の増加を実現する上で最も重要であるメモリセルのポーズ時間に関して、その支配要因の明確化およびその制御が本論文の第一の目的である。DRAMの高密度化、すなわちメモリセル面積を縮小するにはメモリセル構造の3次元化が必要である。この3次元構造導入に対する制限要因の明確化およびその解決が本論文の第二の目的である。さらに、メモリセル縮小に伴って増大する寄生抵抗の支配要因の明確化およびその制御が本論文の第三の目的である。

第2章では、DRAMを高集積化する上で重要なポーズ時間の支配要因について議論する。トレンチ型メモリセルにおいては、トレンチ側面に存在するダメージ層がpn接合のリーク電流特性さらにはポーズ時間に影響を与える可能性がある。そこで、反応性イオンエッティング (Reactive Ion Etching、以下RIEと記す) 技術を用いてトレンチを形成する時に導入されるダメージ層に関して最初に議論する。トレンチ側面のダメージ層をDeep Level Transient Spectroscopy(以下DLTSと記す)を用いることにより深い準位として評価した。トレンチ側面には3種類の深い準位が形成される。そのうちの一つは生成・再結合中心である。これらの深い準位の濃度関係は、トレンチ形成後の熱処理温度に依存する。950°Cから1000°Cの間において生成・再結合中心はDLTSの検出感度以下に減少するのに対して、他の深い準位の濃度は増加する。また、トレンチ側面に空乏層が接するpn接合の

リーク電流特性にも、熱処理温度依存性が観察される。950°C以下においてはトンネル電流および生成・再結合電流が見られるが、1000°Cで熱処理を行うことによりトンネル電流は消失する。しかし、生成・再結合電流には熱処理による変化は見られない。このことは、トレンチをRIE技術を用いて形成する場合、ダメージ層が残存することを示唆する。

ポーズ時間にはメモリセル間で揺らぎが存在し、DRAMチップ全体として見ると特有の分布形状を示す。本章の後半部分においては、このポーズ時間の分布の支配要因について論じる。ポーズ時間の分布は"Main Distribution"および"Tail Distribution"と呼ぶ2種類の分布が重なったものと理解することができる。DRAMのリフレッシュ時間に影響を与える"Tail Distribution"はメモリセル領域のBoron濃度に依存する。この"Tail Distribution"は、メモリセル領域のpn接合を流れる熱電子電界放出 (Thermionic Field Emission、以下TFEと記す) 電流によるもので、この電流をもたらす深い準位のバンドギャップ中の位置がメモリセル間で正規分布をしている、というモデルを提案した。この"Tail Distribution"を減らすには、ウェルの不純物濃度を減少させることにより空乏層に印可する電界を弱めるか、TFE電流の原因となる深い準位を減らす必要があることを示した。

第3章では、トレンチ型メモリセルの高密度化および高集積化に対する諸問題を解決するために、スタック・トレンチ・キャパシタ・セル (STTセル) を提案し、トレンチトレンチ間リーク電流およびトレンチ側面に残存するダメージ層の影響について以下の知見を得た。

トレンチトレンチ間リーク電流、特に、トレンチ型メモリセルの高密度化の制限要因である表面リーク電流 (Surface Leakage) はSTTセルではトレンチ型メモリセルに比較して流れにくい。このため、トレンチ型メモリセルよりも高密度化が可能である。表面リーク電流が流れにくい原因是STTセル構造そのものに由来する。プレート電極に発する電気力線は、素子分離絶縁膜の側壁部に形成された蓄積電極に終端する成分が支配的である。そのため、素子分離下のシリコン基板表面の電位に対するプレート電圧の影響がトレンチ型メモリセルに比較して少ないのが原因である。

STTセルのトレンチ側面に形成したpn接合のリーク電流機構は拡散電流であり、その電流値はシリコン基板表面に形成したpn接合のリーク電流値と等しい。これは、トレンチ側面に残存するダメージ層は、トレンチ内面に形成するn型拡散層に取り込まれpn接合の空乏層中には存在せずリーク電流には影響を与えないためである。STTセルのリーク電流は選択酸化法による素子分離 (Local Oxidation of Silicon、以下LOCOS分離と略す) の端部でのpn接合のリーク電流が支配的である。そのため、トレンチ深さを増すことにより、メモリセルからのリーク電流を維持したまま蓄積容量を増加させ、ポーズ時間を長くすることが可能であることが判明した。

第4章では、DRAMを高密度化する一つの方法としてNAND型メモリセルを採用したDRAMを提案する。NAND型メモリセルはDRAMメモリセルを複数個縦列接続することにより、同一のデザインルールを保ちながらメモリセル面積を従来のメモリセルに比較して56%に縮小することが可能となる。基板プレート型トレンチセルを適応したNAND型メモリセルに関して以下の知見を得た。

NAND型メモリセルの高密度化の制限要因である素子分離特性に関して論じた。ユニットセルのビット線に平行方向の素子分離に関しては、ワード線を用いたフィールドシールド分離を採用することにより、 $0.3\mu m$ 幅の分離を実現した。また、ユニットセルのワード線に平行方向の素子分離に関しては、LOCOS分離とトレンチ分離を併用することにより、 $0.35\mu m$ の素子分離幅を実現した。これらの素子分離特性は、256MビットDRAMを実現可能とする特性である。

基板プレート型トレンチキャパシタのリーク電流機構はトレンチ側面のSi/SiO<sub>2</sub>界面からの表面発生電流が支配的である。しかし、実際に求めた表面発生電流はシリコン基板表面に形成したSi/SiO<sub>2</sub>界面から発生する表面発生電流と等しく、トレンチを形成する時に導入されるダメージ層の影響による表面発生電流の増加は認められない。また、実際のNAND型メモリセルのリーク電流は基板プレート型トレンチキャパシタのリーク電流よりもLOCOS分離端部からのリーク電流が支配的である。

NAND型メモリセルを用いた256MビットDRAMを試作した。NAND型メモリセルと時分割多重センスアンプを組み合わせることにより、64MビットDRAMのデザインルールである $0.4\mu m$ ルールにより256MビットDRAMを実現した。

第5章においては、メモリセルからの信号読み出しの律速要因と成りうる寄生抵抗をもたらす構成要素としてビット線コンタクトをとりあげ、抵抗値およびその分散の支配要因に関して議論する。

ビット線コンタクトの抵抗値およびその分散を $3\sigma$ まで求めることが可能なテスト構造を新たに考案した。ケルビンパターンによる4端子構造および選択トランジスタからなる基本構造を4096個格子状に配置し、それらをカウンタおよびデコーダからなる制御回路を用いて順次選択するものである。

このテスト構造を用いてビット線コンタクトの抵抗値およびその揺らぎを求め、以下の知見を得た。ビット線コンタクトの抵抗値の揺らぎは正規分布をしている。この揺らぎをもたらす要因は、コンタクト径の揺らぎおよび界面抵抗の揺らぎである。メモリセル面積の縮小に伴い、コンタクト径の揺らぎのビット線コンタクト抵抗の分散に与える影響が増加する。メモリセルからの信号読み出しに対してビット線コンタクト抵抗が影響を与えないようにするには、コンタクト径の揺らぎをデザインルールと共に縮小する必要があることが判明した。

第6章では、結論を述べる。