

外96-67

早稲田大学大学院理工学研究科

博士論文概要

論文題目

微細MOSFETの製造技術と
デバイス特性の研究

申請者

小林 敏夫

Toshio Kobayashi

1997年2月

第1章 はじめに

現在、半導体産業は、世界経済を支える重要な産業へと成長しており、その世界市場規模は1000億ドル（10兆円）を越えている。その中でも大規模集積回路（LSI）は最も重要な半導体製品と位置付けられている。このLSI技術の進展は1960年のplanar technologyの発明から始まり、その成功はMOSFETというデバイスと微細化技術の進歩によってもたらされた。DRAMを例に取ると、トランジスタの集積度は、過去20年以上にわたって3年で約4倍という驚異的な向上を達成している。性能を記憶容量で評価するならば、3年で4倍の性能改善に相当する。コストの改善を見るならば、3年でトランジスタ1個当たりの価格が1/4になったことを意味している。

この様に、素子を微細化する技術あるいはLSIをさらに高集積化する技術は、LSI性能の改善と低コスト化をもたらす重要な技術である。本論文は、将来の微細かつ高集積化されたLSIを製造する上で基本となる幾つかの技術についての研究成果をまとめたものである。取り上げられている内容は、(1)半導体基板上にLSIパターンを生成させるリソグラフィ技術、なかでも微細デバイスの研究開発に最も適した電子ビーム直接描画技術と(2)多数の素子を同一シリコン基板（チップ）上に集積するための基礎技術である素子間分離技術、そして(3)来世紀に実用化が期待されている、ゲート長が0.1μm程度に微細化されたMOSFETの動作特性の3点である。

第2章 電子ビーム直接描画技術

LSIを製造する上で最も基本となるのは、半導体基板上に種々のトランジスタおよび回路のパターンを作る技術である。リソグラフィ技術と言われるこの技術には、紫外光、X線、そしてさらに“波長の短い”荷電粒子である電子ビームを用いる技術がある。これらの技術の内、光とX線はレチクルあるいはマスクと呼ばれる原板上のLSIパターンを半導体基板上へ転写する技術であるのに対して、電子ビームを用いる技術は自らパターンを発生させることができる。電子ビーム露光による半導体基板上への直接のパターン生成は、精度の向上とレチクルあるいはマスク製造工程が省略できるという利点があり、少量多品種を前提とする研究開発において特に有利となる。そこで、研究開発用のリソグラフィ技術として、電子ビーム直接描画技術を取り上げ、微細パターン形成の研究を行った。技術的な限界を知るために電子ビーム描画のシミュレーションプログラムを作成し、レジストの現像過程を含めて検討した。

電子ビーム描画には、ポジ型とネガ型の2種類のレジストが必要である。ポジ型あるいはネガ型レジストのみで、必要とされる層全てを描画しようとすると、層によっては殆ど全面を描画することになり、描画時間が極端に長くなり現実的でない。ポジ型についてはPMMAという比較的高解像度のレジストが知られているのに対して、ネガ型レジストについては十分な高解像度が得られるものがな

く、さらにどの様な方針でレジストの設計を行えば良いのかが明らかでない。

本研究は、高分子の架橋反応理論を用いて、どの様な高分子が架橋型のネガ型レジストとして適しているのかを明らかにしたものである。まず、Charlesbyのゲル化理論式を一般化し、電子線レジストのゲル化理論式を導いた。次にレジスト材料に関する3つの材料因子（レジストの連鎖反応性、数平均分子量、分散）と2つのレジスト性能指標（感度、解像度）との関係を明らかにした。すなわち、感度は分子量に逆比例し、連鎖反応性が低い程小さくなる。解像度は分子量と分散に依存し、分子量が同じなら分散が1のとき最も良くなる。また、分子量が極端に小さくなると解像度は急激に良くなるが、通常使用されている分子量の領域では分子量に依存せず、ほぼ一定である。これらの理論検討の結果、架橋型のネガ型電子線レジストとしてはクロルメチル化ポリスチレン(CMS)型の電子線レジストが最も優れていることを示した。

第3章 素子間分離技術

半導体チップ上に複数の素子を集積するLSIにおいて、素子間の電気的な絶縁分離を行う技術（素子間分離技術）は必要不可欠な重要基礎技術である。

1970年にJ.A.Appels、E.Kooi等によって開発されたLOCOS(LOCAL OXIDATION OF SILICON)法という素子間分離技術は、素子領域と分離領域の境界に存在する段差を低減できるという特徴があり、境界上を走る配線の信頼性を大きく向上させた。そのため、LSIの素子間分離の主力技術となつた。しかしながら、その後のLSIの微細化の進展に伴い、微細な分離領域を形成する能力の不足が指摘され、多くの改良技術、新技術が提案された。

その後の技術の流れは従来LOCOSの改良と溝分離技術の開発の2つに分れた。溝分離は、分離の形態としては最も理想的な構造をしているが、現状の技術では工程数が多くなる、素子特性が不安定になるなどの問題点が有り実用的でない。一方、改良LOCOSの方も、工程数を増やす方向での改良が殆どである。その中で、唯一実用になると考えられているのが、Yu-Pin等が1984年のECS(SPRING MEETING)で、またR.H.Havemann等が1985年に米国特許を成立させたポリバッファLOCOS(PBL)技術である。この技術は、従来LOCOS法と比較してポリシリコン層を一層余分に作る工程が増えるだけである。しかしながら、このPBL技術にも、分離端の形状が凸凹になる、時として基板にマイクロトレーナーと呼ばれる穴が形成される等の問題がある。

本研究では、この欠点を工程数を増やす事無く解決するNPBL(Nitrogen in-situ doped PBL)技術をとり上げ、その開発について述べる。本技術は、バッファ層に堆積時に窒素をドープしたa-Siを用いることを特徴としている。このことにより、従来PBLの欠点を工程数を増やすことなく解決するとともに、パターン変換差も小さくできた。また、形状、電気的な評価の結果、Siバッファ層にドープする窒素濃度の範囲が $2 \sim 3 \times 10^{21} \text{ cm}^{-3}$ であれば問題ないこ

とも確認された。本技術は、極めて安定な技術であるとともに、パターン変換差、分離特性の面でも従来PBL技術と比較して勝れており、実用的価値は高い。

第4章 微細MOSトランジスタ特性の研究

LSIを構成する上で最も基本となるのはトランジスタである。現在のLSI用のトランジスタとしては、SiMOSFETが主流である。Siバイポーラ、GaAsFET等は、一部の超高速用ICに使われているのみである。MOSFETは、微細化を進めればスケーリング理論によって性能の向上が期待（保証）されるため、微細化の研究が精力的に行われている。しかし、微細化が進みゲート長が $0.1\mu m$ 程度あるいはそれ以下になると、スケーリング理論の根拠となっているMOSFETの電流・電圧式そのものを見直す必要が生じる。すなわち、素子を微細化したために半導体内部に加わる電界が高くなり、“非平衡な”輸送現象、高電界効果等、当初考慮されなかた現象が、MOSFETの特性に影響する可能性が出てくるためである。これらの現象の多くが微細化を制限する要因と考えられる中にあって、速度オーバーシュートという“非平衡な”輸送現象は、デバイスの性能向上につながると考えられ、注目されている。

本研究では、この速度オーバーシュート現象が生じた場合、MOSFETの電流・電圧特性にどの様な影響が出るかを調べた。そのために、移動度モデルに速度オーバーシュートが生じるモデルを用いた2次元デバイスシミュレーターを開発した。電子の移動度を電子温度の関数として取り扱う移動度モデルを用い、電子の温度はエネルギー保存の条件から算出した。オーバーシュート効果に対しては、低電界移動度と電界強度が重要なパラメータとなる。シミュレーションによる解析の結果、速度オーバーシュートはドレイン端の近くで生じ、その領域の電子密度はオーバーシュートが生じた場合小さくなる。このため、チャネル長が十分に短いと、ソース端のポテンシャルの障壁の高さに影響が出る。ソース端のポテンシャル障壁が下がると、ソースから注入される電子数が増えドレイン電流が増加する。チャネル長が長くなると、ドレイン端付近で生じているオーバーシュートの効果がソース端に及ばなくなる。この場合、ソースから注入される電子数に変化は生じず、ドレイン電流に変化は生じない。チャネル長が $1\mu m$ 程度まで長くなるとオーバーシュートの効果はドレイン電流に全く現れなくなる。

第5章 まとめ

LSI技術は、材料、リソグラフィ、プロセス、デバイス、配線、回路設計、そしてシステム設計技術からなる総合技術である。本論文が対象とした内容は何れもLSI技術、とりわけ主流となっているMOSFETを用いたLSI技術にとって重要な部分であり、今後のLSI技術の発展に寄与するものと考える。