

外97-43

早稲田大学大学院理工学研究科

早稲田大学審査学位論文(博士)の要旨

2620

博士論文概要

論文題目

MOS型パワーデバイスの
低損失・高破壊耐量化に関する研究

申請者

岩室 憲幸

Noriyuki Iwamuro

1997年12月

第1章 序論

21世紀の高度情報化社会の到来に向けてめまぐるしく技術革新が行われるなかで、パワー半導体デバイス（以下、パワーデバイスと略す）の役割はますます重要性を増している。そして、パワーデバイスの更なる高性能化の創造・実現に向けて、大学・企業等の研究開発機関が凌ぎを削っている。この高性能化を実現する技術革新のうち、本論文では特に重要である3つの項目、すなわち①パワーデバイス用デバイスシミュレータ、②インテリジェント化によるIGBTのトレードオフ特性のブレークスルー、③新コンセプト・新構造デバイス、に焦点を絞り、実際にシミュレータを作製・開発し、また新構造素子試作・評価を通してこれら項目を詳細に解析したので、その結果について報告する。

第2章 デバイスシミュレーション技術の開発

高耐圧パワーデバイスに対応したシミュレータの開発はLSIに比べ大きく遅れをとった。これは、パワーデバイスは高耐圧で大電流・高注入レベルを扱うため、基本変数である電子濃度、正孔濃度、ポテンシャル間の相互作用が極めて強く、半導体基本方程式を連立して一括に解くために、Coup1e法を用いて解く必要がある。さらに、実際のパワーデバイスには、複数の抵抗、インダクタンス、キャパシタンスが接続され、それらと複雑な相互作用を及ぼしながらスイッチングを行う。したがって、デバイスそのものだけでなく接続される外部回路網も一緒に取り込んで計算する必要があり、このことが計算をさらに複雑にしている。そこで、高耐圧・大電流でも安定に計算でき、なおかつ任意の外部回路網との接続が可能な積分型外部回路計算法を取り込んだ、独自の2次元デバイスシミュレータFBIDESを開発した。

デバイスシミュレーションの計算時間の大部分はその行列計算が占めており、その計算の高速化が重要な課題となる。半導体方程式において、ポアソンの方程式の離散化によって得られる係数マトリックスは対称であるが、電子・正孔の電流連続方程式のマトリックスは非対称になる。特に高耐圧・大電流領域ではドリフト項が極めて大きくなり、非対称性が強くなるので強力な前処理を施さなければ解は発散してしまう。前処理としては不完全LUを施し、かつそのLU分解の近似度を上げるために非零対角要素を追加したILUCGS法を適用した。

また特に外部回路に誘導負荷（L負荷）がある場合、そこで発生する電圧 $L \cdot dJ/dt$ （J：電流密度）も安定に計算しなければならない。しかし半導体基本方程式を解いて得られる電流密度Jは誤差を含んでいるため、過渡解析において時間間隔 δt を小さくしなければならない時、 $L \cdot dJ/dt$ に含まれる誤差は、分母に $d t$ があるために非常に大きくなる。この誤差が特に高注入状態における電流変動を引き起こし、ついには計算の収束性が失われる。そこで積分型に外部回路方程式を変換することで、L負荷だけでなく、キャパシタンス（C）や

抵抗（R）を含んだ複雑なスナバ回路でも、高速かつ安定に解を得ることができた。この方法を用いてIGBTのターンオフ過程の計算を行ったところ、実測に非常に近い波形を得ることができ、その時のCPU時間も約1時間（FACOM M360使用時）と高速に解くことができた。さらに高耐圧・大電流解析が必要不可欠なIGBTの負荷短絡耐量の特性解析を行った結果、pチャネル素子とnチャネル素子の破壊メカニズムをはじめて明らかにし、かつその耐量向上策についても示唆を与えた。

第3章 IGBTのインテリジェント化技術の開発

一般にインバータ回路、特にモーター駆動用に応用されるパワーデバイスは、何らかの事故で負荷が短絡状態になった時でも、 $10 \sim 20 \mu s$ 以上の耐量が要求される。この場合高電圧・大電流が同時にIGBTに印加されるが、インバータ回路におけるこの異常時には、その異常発生から $10 \sim 20 \mu s$ 以内にIGBTが破壊することは許されない。このIGBTの破壊耐量は、オン電圧ならびにターンオフタイム（ターンオフ損失）とトレードオフの関係にある。そのため実際の素子設計においては、素子が破壊しない安全動作領域を確保した上で、IGBTオン電圧、ターンオフタイムの限界性能を達成する必要がある。IGBTの破壊原因には、電流に起因する寄生サイリスタのラッチアップ、電圧に起因するアバランシェ増倍、そして素子内の発熱に起因する熱暴走があり、そのそれぞれに対して、異常を検知・保護する機能を付加すれば、十分広い安全動作領域を確保した上で、オン電圧-ターンオフタイム（ターンオフ損失）のトレードオフ特性を限界にまで近づけられると考えた。

そこで、過電流ならびに過電圧検知・保護回路ならびに過熱検知回路を内蔵した600V耐圧の新型IGBTを設計・試作した。それぞれの検知・保護回路は、ポリシリコンダイオードや曲率半径の小さなp+層をアバランシェダイオードとして利用する等、従来の作製プロセスを変更することなく素子内に作り込むことができる。そしてこれら過電流、過電圧検知・保護回路は素子中心部のゲートパッド周辺部に設け、また過熱検知回路は、外部電流源との接続の必要性から素子周辺部に配置した。各種検知・保護回路が正常に動作することを確認しその結果、IGBTのトレードオフ特性はオン電圧1.40V、ターンオフタイム150nsという、600V素子として限界特性に近い値を得ることに成功した。

第4章 新構造デバイスの設計と開発

IGBTは基本的にトランジスタ構造を有するため、高耐圧になればなるほどオン電圧が上昇してしまうという欠点がある。そこで、高耐圧でも低オン電圧化が可能なサイリスタ構造を有し、かつIGBT同様の易制御性を持った電圧駆動型サイリスタの開発が急務となつた。現在用いられている電力変換技術はソフ

トスイッチング方式とハードスイッチング方式に大別することができ、そのそれぞれの方式に適した新構造電圧駆動型サイリスタを開発した。

ソフトスイッチング方式適用素子には負荷短絡耐量が不要のため、オン電圧とスイッチング損失の向上のみに主眼を置いた素子設計を行った。その結果提案したのが、オン時にはサイリスタ動作をしオフ時にはIGBT動作をさせることで、トレードオフ特性を格段に向上させた独自のダブルゲート素子、DGMO�である。今回は900V耐圧の素子を実際に設計・試作した。2次元デバイスシミュレータFBIDESを駆使し、例えばn+エミッタ層深さの制御など素子構造の最適化を行った結果、オン電圧1.30V、スイッチング損失 $114\mu J$ と、同一損失のIGBTに対して約0.8Vもオン電圧を低減することができた。また、最大ターンオフ電流特性についても、その改善には素子間の不均一動作による電流集中の低減とターンオフMOSFETの低オン抵抗化が重要であることを見出し、その値も $500A/cm^2$ と、IGBT並の特性を得ることができた。

一方ハードスイッチング方式適用素子は、ある程度オン電圧ースイッチング損失トレードオフ特性を犠牲にしてでも負荷短絡耐量を確保する必要がある。したがって、高電圧が印加された場合でも、アノード電流を素子自身で制限する電流飽和特性が必要不可欠となる。そこで、サイリスタ構造にもかかわらず電流飽和特性を示すESTを基に改良・設計した、独自構造のM CCTを開発した。M CCT, ESTともサイリスタにMOSFETが直列接続した構造であるが、この両者の決定的な違いは、そのサイリスタ構造にある。ESTのサイリスタ部pベース層はカソード電極に接続されているのに対し、M CCTのそれは電位的に完全に浮いた状態になっている。またサイリスタ部のn+エミッタ層も深く形成されていることから、ESTに比べn-p-nトランジスタの電流増幅率が大きくなり、よって低オン電圧化が可能となる。またM CCTはIGBT同様の3端子デバイスであるため、IGBTに用いられているゲート駆動回路をそのまま適用できるという特徴を併せて持つ。今回1200V耐圧の素子を設計・試作したところ、オン電圧がIGBTに対し0.4V以上も低減できることを確認した。また高電圧印加時の飽和電流値がIGBTに比べ非常に小さいというM CCTの大きな特徴から、負荷短絡耐量も高温 $125^\circ C$ において、 $20\mu s$ 以上というIGBTにも優る高破壊耐量を実現できた。

第5章 結論

今回開発した素子、およびシミュレーション技術は今後10年のシリコンパワーデバイスのトレンドである新コンセプトデバイス、ならびにセンサー技術とパワーデバイス技術の融合、を先取りしたものである。そして特に新構造デバイスでは、DGMO�とM CCTが次世代パワーデバイスとして有望であることを示した。今後ともさらに究極のデバイスを求め創造的な研究をしていきたい。