

外97-10

早稲田大学大学院理工学研究科

# 博士論文概要

## 論文題目

Ion Beam Applications to High-Speed Si VLSI's  
-Structure Analysis and Phase Transformation-  
高速 Si VLSI のためのイオンビーム応用に関する研究  
(構造解析と相変換)

申請者

西山 彰

Akira Nishiyama

1997年11月

Si MOSトランジスタの大規模集積回路(VLSI)が開発されて以来、素子の微細化はスケーリング則に沿って進められてきた。この法則によれば理想的にはトランジスタの大きさ(一辺の長さ)がk分の1になると素子の演算スピードがk倍になり、1素子あたりの消費電力はkの2乗分の1になる。しかしながら、素子の微細化がディープサブミクロン領域になるにあたって、スケーリングによらない寄生成分(寄生抵抗と寄生容量)が素子の特性に無視できない程大きな影響を与えてきている。寄生抵抗は素子がオン状態になったときの駆動力の低下を招き、寄生容量はドレインやゲート電極の充電に要する時間を長引かせる。その結果、素子が微細化により期待される程高速化されなくなる。MOSトランジスタの寄生抵抗の成分の中で、今後もっとも大きな影響を及ぼすのはソース/ドレイン電極のシート抵抗と、配線金属とソース/ドレイン拡散層(Si)間のコンタクト抵抗である。ソース/ドレイン電極シート抵抗を低減する有効な方法として、その上に低抵抗のシリサイド層を形成するシリサイド法が挙げられるが、LSI工程中シリサイド形成後の熱処理によりシリサイドが凝集しソース/ドレインのシート抵抗が上昇するという問題に直面しており、その回避法の開発が望まれている。またシリサイド法はソース/ドレイン拡散層表面全体を配線金属／シリコン間のコンタクトに用いることによりコンタクト抵抗を低減させるが、この構造を用いても近い将来 $10^{-9} \Omega \text{ cm}^{-2}$ 台のコンタクト比抵抗が必要になる。そのような低抵抗コンタクトを実現するには、その抵抗を支配している要因を明らかにすることが重要になってくる。一方、寄生容量に関してはSOI(Silicon On Insulator)のようなソース/ドレインの直下に低誘電率の $\text{SiO}_2$ を持つ構造をとることにより低減できるが、この構造の大きな欠点の一つはチャネル部が電気的に絶縁され、浮遊状態になることにより生じる素子特性の不安定性(基板浮遊効果)である。それゆえ、この構造の実用化にあたってはこの問題を解決することが不可欠である。

本論文は、以上述べたような今後の極微細Si MOS-VLSI実現の障壁である寄生抵抗、寄生容量の問題にあたって、これらの直接的な低減、あるいはこれらの低減のより副次的に現れてくる問題に対しイオンビームを用いて対処する方法を提案するものであり、今後のLSI工程の指針を示すものである。

本論文の第2章、第3章では、Si表面やSi/金属の界面の構造解析へのイオンビーム応用を述べている。Si/金属間のコンタクト抵抗を十分低くすることは前述のように今後のLSI開発にとって不可欠の問題である。しかしながら、依然この界面に形成されるショットキー障壁の大きさを支配するものが何なのか、明確な答えが得られていない。それは具体的には、表面の未結合手による界面準位をなくせばフェルミ準位のピン止めがなくなり、ショットキーリミットで表現される金属の仕事関数依存性が表れるのかといった、基本的な問題である。近年、HF処理を用いた簡単な化学処理により未結合手のないSi表面を作れることが発表され注目されている。本研究ではまずこの表面(水素終端表面と呼称する)自体の構造解析から出発し、さらにその表面上に金属を堆積し、最終的に界面準位の無い理想的なショットキー接合を形成することを試みている。構造解析手法

としてはMedium Energy Ion Scattering(MEIS)法を用いる。99 keVのHのイオンビームを水素終端Si(111):H表面に入射し、表層部分からの散乱スペクトル中の粒子数(散乱収率)の散乱角依存性を詳細に調べる。表層の2層目、3層目から散乱されたHイオンは最表層の原子により遮られるため、ある特定の散乱角に極小値を示す。またこの極小値以外の角度の散乱収率は表層原子の熱振動の大きさに影響される。これら原子位置と熱振動の大きさを取り込めるモンテカルロシミュレーションと実験のフィッティングを行うことにより表面構造を詳細に解析できる。Hイオンは室温で3つの方位([111]、[001]、[111])から入射した。その結果、Si(111):H表面は今まで調べられてきた他の清浄表面(Si(111)7x7, Si(111)2x1)とは異なり表面再配列の無い構造であることが分かった。さらに詳しい解析は表面の第2層目と3層目の原子間隔が $0.04 \pm 0.04 \text{ \AA}$ 縮んでいることを示した。最表面の2層の原子はバルク中よりも大きい振幅( $0.11 \pm 0.01 \text{ \AA}$ )で室温で振動していることも明らかとなった。

以上の結果から水素終端により表面に未結合手の無いバルクに非常に近い表面が得られていることを確認できたので、その上にAgを堆積し、構造解析をMEISで行った。AgはVolmer-Weber(3次元)成長を起こしていること、Agの表面に対する垂直方位は[111]であることが明らかになった。Si/Agの界面におけるSiの再配列は起こらず、Si(111):H表面の構造がそのまま残されていることが確認された。しかしながらこのSi/Ag界面のショットキー障壁をIV法とCV法で独立に測定したところ、それぞれ0.77, 0.79 eVとなり多くの未結合手が存在すると考えられるSi(111)7x7やSi(111)2x1上にAgを堆積した時のショットキー障壁とほとんど変わらない結果となった。2MeVのHeをこのAg/Si(111):Hに照射し、反跳される水素の収率のエネルギー分布を調べるElastic Recoil Detection Analysis(ERDA法)は界面に確かに水素が残存していること、しかしながらその量はAg堆積前の1MLよりも少なく40%以上の水素がAg堆積により脱離してしまうことを示した。その水素の脱離により界面に未結合手が形成されたことで上の電気的測定結果が理解された。以上のことから界面準位の無い理想的なショットキー接合を形成する試みは結果的にうまく行かなかったわけであるが、以上のようなイオンビーム応用により金属/半導体界面現象の理解を深めることができることを本論文は示している。

一方、近年開発された高電流(1mA以上)のイオン注入装置は短時間に大量の元素をターゲット内に導入することを可能にし、ターゲット組成を変化させることも可能にしてきた。第4章と第5章ではその組成変化をLSIの製造に役立てる手法について述べている。

第4章では前述のシリサイドの凝集の問題を窒素のイオン注入を用いて低減するプロセスが提案されている。チタンシリサイド(TiSi<sub>2</sub>)は抵抗率が最も低いシリサイドの一つで、SiとTiの界面に多少の自然酸化膜が存在しても良好に形成できるために現在シリサイドの材料として最も広く用いられている物質であるが、形成後の熱処理により自身の固相拡散による凝集がおき、ソース/ドレインのシート抵抗が上昇する。そこに窒素を適量イオン注入することにより高融点材料

である TiN を形成し、膜の耐熱性をあげることを試みた。 TiSi<sub>2</sub> は表面からの窒化が遅い材料であるため、イオン注入は膜中へ制御された量の窒素の導入に適した手段である。窒素は N<sub>2</sub> 分子の形で 30 keV で 1 から  $10 \times 10^{16} \text{ cm}^{-2}$  の量、室温でイオン注入される。900°C 60 分の Ar 雰囲気中熱処理後の膜の形態を観察すると窒素のドーズ量が上昇するほど膜の凝集が抑制されていて  $5 \times 10^{16} \text{ cm}^{-2}$  以上で完全に平坦な膜形状が保持されていることが分かった。しかしながら、膜のシート抵抗はむしろ  $1 \times 10^{16} \text{ cm}^{-2}$  で最小値を持つ結果となった。TiN は TiSi<sub>2</sub> に比べ比抵抗が 5 倍ほど高いが、膜の XRD 測定は  $5 \times 10^{16} \text{ cm}^{-2}$  以上のドーズで膜が完全に TiN に変化していること、さらにこの TiN 中に Si の微結晶が含有されていることを示しており、このことにより電気的に最適なドーズ量が存在することが理解された。またこの最適条件を用いて Ti シリサイドを有する MOS トランジスタを形成し熱処理後も寄生抵抗の低いことが確認されたことも述べられている。

第 5 章では前述の SOI 素子の基板浮遊効果を抑制する手段として、ソース電極を Si よりもバンドギャップの狭い材料 (SiGe) で形成するために Ge のイオン注入を用いる方法を提案している。この構造をとることにより、チャネル部からソース部への正孔の流れが促進され、基板浮遊効果を抑制できる。Ge のイオン注入は、従来行われてきた選択 CVD による SiGe の形成に比べ、Ge の深さの制御性が良いこと、パーティクルの発生による歩留まり低下の心配が無いことから、LSI 工程に適した Ge 導入方法である。Ge のイオン注入は 25 から 50 keV でドーズを 0.5 から  $3 \times 10^{16} \text{ cm}^{-2}$  に変化させて行われた。その後窒素中で熱処理すると、700°C で既に結晶性の良い SiGe が形成されたことが RBS 測定で確認できた。またフォトルミネッセンス測定は  $1 \times 10^{16} \text{ cm}^{-2}$  以上で確かにバンドギャップが狭まっていることを示した。この方法を完全空乏型、部分空乏型の N チャネル MOS トランジスタに適用すると、Ge の注入量が増加とともに基板浮遊効果の諸現象（ドレイン耐圧の劣化、S 係数の異常な低下、静特性中のキンク）が抑制できることが確認された。この SOI 中の MOS トランジスタのソース/チャネル/ドレインをエミッタ/ベース/コレクタとする横方向バイポーラトランジスタのゲインは Ge の注入量の増加とともに減少し、この事が SOI MOS トランジスタの基板浮遊効果抑制の直接の原因であることが示された。この横方向バイポーラトランジスタのベース電流の温度依存性から求めたソース部 N<sup>+</sup>—SiGe のバンドギャップは N<sup>+</sup>—Si に比べ最大 0.05 eV 減少しており、これが主にバイポーラゲインを減少させていることが定量的に確認できた。

以上のように本論文は今後の高速 Si VLSI の開発、実現における、構造解析から相変換に至る多様なイオンビーム応用の方法について示し、今後の LSI 開発の方向性について論じている