

外97-31

早稲田大学大学院理工学研究科

博 士 論 文 概 要

論 文 題 目

酸化物バッファ膜のMFS-FETへの
応用に関する研究

申 請 者

平井 匡彦

Tadahiko HIRAI

1997 年 11 月

20世紀は、様々な科学技術が発展し、科学の世紀とも言われるほどの進歩を遂げた。中でも電子技術の進歩は、シリコン集積技術の開花をきっかけに他の科学技術に比べてもけた違いの成長を達成している。最近、電子技術のソフト化傾向が取りざたされているが、ハード面の進歩がもたらした高集積化・高速度化により、安価な高性能電子機器が世界に普及、大衆化したことが、電子技術に決定的なインパクトを与えたことは重要である。その中で、Metal/Oxide/Semiconductor (MOS) 技術をベースとした、シリコン系デバイスの進歩が最も大きな比重を占めた。

MOS技術は、デバイスの高集積化、小電力化に適しており、Dynamic Random Access Memory (DRAM) やフラッシュメモリ、マイクロプロセッサ (MPU) の高集積化、低価格化の技術的ベースとなるとともに、電子機器の小型化、パーソナル化の要求に応えてきた。これまで、このMOS技術は、DRAMの高集積化技術の開発に伴って進歩を遂げており、おおよそ4年周期で4倍の集積度を達成する、いわゆるシリコンサイクルに従って進歩してきた。ところが最近では、その開発スピードが鈍っており、シリコンサイクルが崩れ始めてきたとする意見も多い。その原因としては、微細化が進むにつれ製造プロセスの開発費が急増してきたこと、DRAM市場の変動が大きいために投資時期、投資回収期間の見極めが難しくなっていることなどがある。しかし、根底には、DRAMがスケーリング則に従っておらず、微細化を進めるにつれ相対的にキャパシタ面積が大きくなり、製造プロセスを開発することが技術的に困難になるという問題がある。現状でも、キャパシタ構造を立体的にしたり、キャパシタ絶縁膜を高誘電率化する等の対策が検討されている。

DRAMは、電源を切ると記憶が消えてしまう揮発性のメモリで、構造が簡単で高速動作が可能であることから、微細化技術のトップを走り続けてきた。一方、電源を切っても記憶情報を保持できる不揮発性メモリの一種であるフラッシュメモリは、携帯機器などへの応用が広がり、DRAM同様急速に高集積化、低価格化が進んできた。ただ、フラッシュメモリは、その構造的特徴から、駆動電圧として12V程度以上の電圧と、書き換え時間として1ms程度を要する。現在、トンネル酸化膜を極薄膜化し、駆動電圧の低電圧化、書き換え時間の短縮を目指す試みがなされているが、構造上劇的な低電圧化、高速化は困難と考えられている。また、書き換え寿命が 10^5 回程度と短いため、メインメモリなどの書き換え回数が大きい用途には適さない。現在、様々な用途に対して、一種類のメモリデバイスでは応えることが出来ず、何種類ものメモリを組み合わせ使用しているのが実状である。

本研究は、このような背景の中で行われたものであり、強誘電体を用いて、高速かつ不揮発で、スケーリング則に従い面積縮小化に適した、いわゆるユニバーサルメモリといえるメモリ構造を提案し、その実証を図ることが、最終的な目標となる。本論文では、その核心的技術である、高誘電率酸化物バッファ膜を強誘電体/シリコン基板界面に適用し、その素子構造の実現性を証明する議論を行った。MOSトランジスタのゲート部分に配置する、Metal/Ferroelectric/Semiconductor (MFS) -Field Effect Transistor (FET) に高誘電率酸化物バッファを適用することを提案し、実証したのは筆者らが初めてである。

第1章では、序論として、上記のような本研究の背景、研究の目的について述べた。

第2章では、強誘電体材料の種類・特徴について述べ、強誘電体メモリの構造・動作原理について説明を行ったうえで、本研究の目的である、MFS構造をもったFETの優位性について議論する。その概略は以下の通りである。

強誘電体は、外部から印加される電界に対し、内部分極が非線形に変化し、外部電界を取り去っても内部分極が残留する（残留分極：Pr）特性を持っている。この特性を利用した、不揮発性メモリ、または不揮発性可変抵抗器は、1960年前後から提案されてきたものである。1957年の米国特許にその原型を見ることが出来る一方、1963年、J.L.Moll、垂井らは、

強誘電体と半導体の接合構造が記憶保持特性を有する可変抵抗器として機能することを初めて発案し、その動作を実証した。彼らは、TGS(Trigucine Sulfate) 強誘電体結晶上に半導体膜としてCdSを形成し、薄膜トランジスタを作製、可変抵抗器として機能させ、そのソース、ドレイン間抵抗の変化を観測した。当時としては、主に界面制御の難しさ、薄膜技術の未熟さから、安定に動作する強誘電体メモリーを得ることは出来なかった。

一方、1987年に米Krysalis社のW.I.Kinneyらが、1988に米Ramtron社のS.S.Eatonらが発表した強誘電体メモリーは、DRAMのキャパシタ部分を、強誘電体PZT($\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$)と白金電極構成した強誘電体キャパシタに置き換えることで、強誘電体メモリーを得ようとするものである (FRAM、Fe-RAMなどと称される。「FRAM」は米Ramtron Corp.の商標)。この素子は、製造が比較的容易と見られたため脚光を浴び、今日最も量産化に近いものである。しかしながら、この素子は、パルス印加により強誘電体が分極反転する際に発生する電流量を測定する動作をするため、書き込み時だけでなく読み出し時にも強誘電体の分極が反転し（破壊読み出し）、読み出しが頻繁な用途に適していないという問題がある。さらに、前述のスケーリング則に従わないため、面積縮小化については、DRAMと同様の困難を持つ。これらのことは、今後の困難な問題となるであろう。

一方、強誘電体の残留分極を用いて、直接MOSトランジスタのゲートをコントロールする、ゲインセル型（シングルトランジスタ型）は、前述のJ.L.Moll、垂井らの試みをシリコン基板上で行うものである。この素子は、DRAMよりセル面積を小さくできること、書き換え・読み出し動作を極めて高速に出来ること、読み出し動作時に強誘電体の分極反転を伴わない（非破壊読み出しできる）ことなど、優れた特徴を持つと考えられる。そのため、強誘電体の薄膜形成技術が進歩すると同時に試みがなされてきた。1974年、S.Y.Wuらは、シリコン基板上にチタン酸ビスマス ($\text{Bi}_4\text{Ti}_3\text{O}_{12}$) を形成し、Metal/Ferroelectric/Semiconductor (MFS) 構造を作製して評価したが、半導体基板側からキャリアが注入されて動作しなかった。また、米Westinghouse社のS.Sinharoyらは、シリコン基板上にフッ化物強誘電体 BaMgF_4 を形成してMFS-FETを作製したが、フッ素イオン等がゲート界面付近で移動し、安定的に動作することはなかった。これらの報告が示すことは、強誘電体とシリコン基板との界面制御が難しく、この問題を解決することが素子開発の核心的な要因である、ということである。

筆者らは、シリコン基板上に、配向した高誘電率の酸化膜を形成し、これをゲート酸化膜を兼ねたバッファ膜として用いることで、シリコン基板と強誘電体との界面制御を行うMetal/Ferroelectric/Insulator/Semiconductor (MFIS) 構造をはじめて提案し、その優れた可能性を示した。この界面制御に配向酸化膜のバッファ層を用いる試みは、我々の発表以降、いくつかの研究機関で試みられ、1つの研究分野となっている。また、これに対し、ロームの中尾らは、通常シリコン酸化膜をゲート絶縁膜とし、その上にフローティングゲートを介して強誘電体キャパシタを積層する、Metal/Ferroelectric/Metal/Insulator/Semiconductor (MFMS) 構造を提案、試作している。この方法は、製作は比較的容易だが、強誘電体とシリコン酸化膜の比誘電率差が大きいため、強誘電体に分極反転に十分な電界がかからず、書き込みが困難であることが判っている。これらの試みは、いずれもトランジスタ1個でメモリーセルを構成するシングルトランジスタ型を目指す点で一致している。

第3章では、MFIS-FETを実現するために、バッファ層の選択・評価を行った。

まず、バッファ膜となる材料の選択検討を行い、 CeO_2 の他、YSZ、 $\text{Ce} \cdot \text{ZrO}_2$ について成膜し、膜特性の評価を行った。 CeO_2 膜は、Siとの格子ミスマッチはわずか0.2%程度で良質なエピタキシャル膜が得られることが期待できた。 ZrO_2 系膜であるYSZ、 $\text{Ce} \cdot \text{ZrO}_2$ 膜は、格子ミスマッチはやや大きいものの、 CeO_2 膜について良好な結晶性が得られることが期待で

きた。実際に成膜事件を試みた結果、 CeO_2 膜は $\text{Si}(100)$ 基板上に (110) 配向し、 (100) エピタキシャル成長することはなかった。 ZrO_2 系膜であるYSZ、 $\text{Ce}\cdot\text{ZrO}_2$ 膜は、酸素分圧が大きい条件でエピタキシャル膜が得られた。本論文では、初めての試みとして、この成膜過程の違いについて、 $\text{Si}(100)$ 表面の超構造と膜の生成エンタルピーから解釈を行った。

CeO_2 、YSZ、 $\text{Ce}\cdot\text{ZrO}_2$ の3種類の膜について、電気的特性評価を行うことによって、ゲート酸化膜としての機能について評価した。この結果、YSZは可動イオンが発生し、ゲート酸化膜としては不適當であることが明らかとなった。界面準位の評価から、 CeO_2 、 $\text{Ce}\cdot\text{ZrO}_2$ 膜について良好な特性を得た。耐圧の評価からは、 CeO_2 膜が最も良好な特性を示した。よって、ゲート酸化膜としては、 CeO_2 、 $\text{Ce}\cdot\text{ZrO}_2$ 膜がその機能を持つことが判った。

膜のバリア性については、 Si と強誘電体の構成物質が相互に拡散するのをどの程度阻止するかについて評価した。この結果、 CeO_2 膜は、 100 \AA 以上の厚さで拡散を阻止することが判った。また、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT) 薄膜のように、焼成温度 800°C 程度となると、相互の拡散を阻止できなくなり、およそ 700°C 以下の焼成温度にとどめる必要があることが判った。

第4章では、MFIS構造を実現するため、強誘電体薄膜の成膜法について検討を行い、さらに強誘電体を形成した上でMFIS構造の評価を行った。

強誘電体としては、比誘電率が比較的小さく、強誘電体に電圧がかかるような材料として、 PbTiO_3 、SBTを選択した。成膜方法としては、基板と強誘電体が相互に反応するのを抑えるため、低温による成膜を検討する必要があった。まず、CVD法を改良し、酸素原料と金属原料を交互に供給することで、気相反応を低減し、成膜温度を低下させる試みを行った。この結果、約 500°C という低温（通常は 600°C 以上）において結晶化させることに成功した。この試みは、筆者らが初めてである。次に、SBT膜のMOD成膜において、減圧加熱を用いることにより、 650°C で（通常 800°C 程度）結晶化させることができた。

前述の酸化物バッファ膜を用い、その上に上記の方法で作成した強誘電体膜を設け、MFISキャパシタとして評価した。 PbTiO_3 、SBTどちらの材料を用いたMFISキャパシタとも、メモリウインドウと呼ばれる、閾値電圧のヒステリシスを観測し、記憶保持機能を有することが判った。このような酸化物バッファを用い、MFISキャパシタを構成し、メモリウインドウを確認したのは、筆者らが初めてである。これらの動作については、理論的な計算値との比較検討を行い、その妥当性を確認する作業を行っている。

第5章では、前述の技術を用いて、実際にMFIS-FETを試作し、基本的な動作確認を行うことにした。

この結果、 Al/CeO_2 膜をゲートにもつMIS-FETは良好な、通常のFET特性を示し、 CeO_2 膜がゲート酸化膜として正常に機能することを証明することが出来た。 Al/PbTiO_3 、 Al/SBT をゲートにもつMFIS-FETについては、書き込み電圧をプラスとするかマイナスとするかで、ソース/ドレイン間がオン、オフとなる、記憶動作を行うことを確認し、MFIS-FETを構成した上で、バッファ層の機能を証明することが出来た。

以上述べたように、高誘電率の酸化物バッファを用いたMFIS-FETを筆者らが初めて提案したのに始まり、バッファ膜の材料、特性の検討、強誘電体薄膜の成膜法の検討、MFIS-FETの試作に至るまでの試みを実施し、酸化物バッファを応用することがシングルトランジスタ型強誘電体メモリ実現に向けて、最も適したアプローチであることを証明出来た。

我々の試みをスタートとして、現在では、いくつかの研究期間が同様の検討を行い、一つの研究分野を形成するまでになっているのは、我々の試み、提案に対する評価の現れの一つであると考えている。

最後に、我々の研究が、この究極のメモリの実現委向けて少しでも貢献できることを願うものである。