

外
78-28

早稲田大学大学院理工学研究科

博 士 論 文 概 要

論 文 題 目

**Design of optimized high performance
interconnect schemes for ULSI devices**

U L S I のための高性能多層配線技術
に関する研究

申 請 者

アナンド M. B.

Minakshisundaran B. Anand

1998 年 11 月
(西暦)

近年のULSIデバイスでは、多層配線がチップサイズ、性能、消費電力に大きく影響を与えるようになってきた。この原因は、各世代のLSI開発において、以前の世代に比較して集積度向上及び性能改善を同時に達成しなければならないことにある。集積度向上を達成するためには、配線の微細化が必須であるが、微細化に伴う配線抵抗及び容量の増加が性能向上を妨げる要因になり、将来のLSI性能の限界はMOSFETではなく配線で決まるとまで言われている。

配線の寄生抵抗及び容量による性能劣化を軽減するためには、通常二つの対策が行われている：1) 配線層数を増やし、下層では最小ピッチを使い、上層ではピッチを緩和させる。下層の最小ピッチの配線で集積度向上を図るが、下層では配線が比較的短いため、性能への影響は小さい。一方、上層の長距離配線に関しては、ピッチの緩和及び配線の厚膜化を行って性能劣化を防ぐ。2) 層間絶縁材料及び金属材料を変え、容量及び抵抗の低減化を図る。これらの対策は定性的にはよく知られており、現在製造中のLSIに適用され始めている。しかし、上記対策を行う上での様々な問題に対しては、具体的な答えを得る手法はない。例えば、チップの性能とサイズの目標値を達成するためには、最低限何層の配線が必要か、各層でのピッチ及び膜厚をどう設定すべきかなどの問題に関しては現在は設計者の経験と直感に頼るしかない。しかし、このような手法では結果が目標から大きく外れることが多い。従って、LSI設計面からは、チップ設計が始まる前の時点で、チップサイズ、性能などの目標を達成するための最適な配線構成を定量的に予測することが強く望まれている。一方、多層配線に用いるプロセスも年々複雑になってきており、新規プロセスの開発には数年以上必要とされている。従って、プロセス開発者としても、実LSIへの適用の数年前に各プロセス技術の必要性とターゲット構造を正確に予測することが重要になってきた。また、昨今の高性能LSIでは既に5層以上の配線構造が用いられており、将来は配線層数はさらに増加する。配線層数の選択が、チップサイズ及び設備投資に大きく影響を及ぼすため、チップ仕様を達成するために必要な最低限の配線層数を予測することが製造コスト面では非常に重要視される。従って、LSI設計が始まる前から多層配線構成を最適化する手法が、チップ設計、プロセス開発、製造全ての面から強く望まれる。

本研究では、まず、様々なプロセス制約条件下で、目標とされるチップサイズ、動作周波数並びに消費電力を達成するための多層配線パラメータ最適化手法を開発した。この手法によれば、各層での配線幅及び間隔、配線膜厚、層間絶縁膜厚、比抵抗、誘電率など多層配線パラメータ全てを変数とし、配線層数、チップサイズ、動作周波数並びに消費電力を目的関数にして最適化計算を行うことができる。従って、チップ仕様を達成するための最適な配線構成を一括して算出することができ、上記LSI設計面及び製造面からのニーズに対応できる。また、最大コンタクトホールアスペクト比、最大絶縁膜厚、比抵抗及び誘電率などのプ

ロセス制約条件の影響を実LSIが存在する前から定量的に検討することができ、将来のプロセス開発の指針を作成することも可能になる。

この最適化計算には、LSIのチップサイズ、動作周波数並びに消費電力を配線及びMOSFETパラメータの関数として現わすモデルを用いた。このモデル自体は常に報告されているが、本研究では現実のチップ設計を反映した改良を行った。特に、長距離配線に対する最適ナリピーター及びドライバーの考慮、多層に渡る配線の分割などが改善点である。さらに、既存のモデルでは配線層数も変数であるが、本研究では配線層数を最適化の目的関数にできるようにした。

この手法を用いて0.10 μ mまでの将来の4世代に渡る高性能マイクロプロセッサについて最適化計算を行い、各世代での最適な多層配線構成を予測した。さらに、様々なプロセス制約条件の影響を検討し、多くの知見を得た。層間絶縁膜厚に関しては、上層では益々厚膜が必要となり、0.10 μ m世代では6.0 μ m以上の絶縁膜厚が必要であることが判明した。このような超厚膜の堆積技術、エッチング技術は現在全く開発されておらず、将来重要な開発課題になるだろう。しかし、従来は、世代と共に増加すると思われるコンタクトホールアスペクト比は、約3.0程度で固定しても特に性能への影響はなく、ホール埋め込み技術への要求は現在と比較して特に変化しないことも判明した。一方、配線膜厚は、上層では最大で2 μ mまで必要だが、下層では、配線間容量低減のために0.10 μ m以下の膜厚も必要になってくる。前者に関しては従来技術で十分だが、後者は配線形成に用いられる化学機械的研磨(CMP)工程の均一性、エレクトロマイグレーション耐性などの面から従来技術では実現することが非常に困難である。このような極薄膜配線形成技術も従来殆ど注目されておらず、今後新規技術開発が必要であることが今回の最適化計算結果で明らかになった。尚、銅配線の導入による配線抵抗の低減は最近注目されているが、本研究の結果によれば配線容量低減が最も重要であることが明白であり、現在報告されている銅配線構造におけるシリコン窒化膜バリアー層による配線間容量増加が、将来のデバイスでは著しい性能劣化を引き起こすといえる。また、層間絶縁膜の誘電率の低減が極めて重要であり、0.10 μ m世代の高性能LSIでは比誘電率の1.5までの低減が必須であることが判明した。

このような低誘電率化を実現するために、本研究では物理限界である1.0の比誘電率を達成できる空中配線プロセスを提案した。このプロセスでは、炭素膜で多層構造を形成した後に、配線上に堆積された多孔質の絶縁膜を介して炭素膜を気化することによって空中配線構造を実現している。これにより配線間に空洞を形成すると同時に空洞上の柱も形成され、多層配線構造が実現できる。本研究ではこのプロセス概念を実験で検証した。具体的には、炭素膜に溝を形成し、この溝に金属を埋め込んで配線を形成し、50nm程度の薄い絶縁膜を堆積した後に酸素雰囲気中で熱処理を行うことで配線間の炭素膜が完全に気化され、空洞に

なることを確認した。また、このように形成した配線間のリーク電流を測定し、従来と同程度の絶縁特性が得られることや配線間の比誘電率が実際に1.0であることなど電気的特性も確認し、上記空中配線プロセスが原理的には実現可能であることを示した。

さらに、このプロセスを実LSIの製造プロセスとしてインテグレーションを行う際に問題になり得る二つの大きな課題について検討した。まず、空中配線構造では、配線間の領域が熱伝導率の低い空気からなるため、従来の構造に比較して配線温度の上昇が懸念される。配線温度上昇を見積もるためには配線に流れる電流密度を知ることが必要であり、将来のLSIの配線電流密度を予測する手法を開発した。具体的には、実LSIでは各配線での電流密度が許容電圧降下で制限されることに基づいて、各世代での最大許容配線電流密度を計算した。その結果を取り込み、かつ様々な配線形状パラメータの配線温度への影響を有限要素法を用いたシミュレーションで調べた結果、従来のシリコン酸化膜を絶縁膜として用いた場合に比べて空中配線構造での配線温度上昇が僅か3℃程度と、問題にならないことが判明した。次に、多層の空中配線構造における機械的安定性について調べた結果、配線金属のもつ引っ張り応力が最も大きな影響を及ぼすことが判明した。通常LSIの配線に用いられる金属に存在する200MPa付近の引っ張り応力が、炭素膜を気化して空中構造を形成した際にコンタクトプラグの曲げ応力として働く。この曲げ応力の配線断面積、配線長さ、コンタクトサイズなどの依存性を詳細にシミュレーションした結果、コンタクトプラグの底に1GPa以上の曲げ応力が発生する可能性があることが判明した。この極めて高い応力によりコンタクトプラグが折れることを実験でも確認した。従って、配線内の引っ張り応力の低減化が空中配線構造での機械的安定性を確保するために必要不可欠であることが明確になった。

最後に、上記容量低減と共にLSI性能向上に必須である配線抵抗低減に関しても研究を行った。ここでは、チタニウムをライナー材として用いる従来のアルミニウムリフロープロセスに比較して、ニオブをライナーとして用いることにより配線抵抗を低減化できることを確認した。この原因は、ニオブがチタニウムに比べてアルミニウムとの反応速度が遅いことにある。さらに、ニオブを用いたアルミニウムリフローの低抵抗ダマシン配線プロセスとしてのインテグレーションを示した。特に、従来のダマシンプロセスでは、コンタクトホール及び配線溝のエッチングレートの変動の影響を防ぐためにシリコン窒化膜のストッパーを用いることが多いが、シリコン窒化膜の比誘電率が7程度と大きいと、配線間容量が増大する。この問題を解決するために、配線の角からストッパー膜を離す新規プロセスを提案した。このプロセスによれば、配線間容量の増大を3%程度に抑えることができる。この新規プロセスを用いた集積化検討を行い、良好なコンタクト電気的特性を検証した。