

外 3 - 5

早稲田大学大学院理工学研究科

博士論文概要

論文題目

CVD の基礎過程とその応用に関する研究

申請者

鈴木 播

Setsu Suzuki

平成 3 年 5 月

理 1499 (1760)

本研究の目的は、Mono-Silane, SiH₄ の CVD (Chemical Vapor Deposition) 過程を通じて、半導体結晶である Si の低温でのエピタキシャル成長を達成することにある。そのため、SiH₄ を原料ガスとして用いた場合の CVD の基礎反応の過程を考察し、高周波放電によって予め SiH₄ を放電分解し、成長に直接関与する SiH_{2,3} を結晶基板表面に供給する、プラズマ CVD (Plasma CVD) によるエピタキシャル成長法を考案した。プラズマ CVD 法を用いることによって、原料ガスの分解過程と、結晶基板上での堆積・再配置の過程とを分離して制御することが可能となり、400 °C 以下の基板温度での Si の堆積が可能となる。600 °C 以上の基板温度で Si はエピタキシャルに成長し単結晶成長層を得ることができた。

通常の熱 CVD の過程では、i) SiH₄ は SiH₃ と H とに熱的に解離し、ii) SiH₃ が Si の結晶格子位置に吸着し、iii) 表面で Si と H とに解離して結晶成長が進むと考えられている。この時、表面結晶格子位置を占める SiH₃, H の分子・原子は、生成した Si 原子の表面移動を制限しエピタキシャル成長を妨げる要因と考えられる。減圧 CVD の過程の中で、気相雰囲気中の H₂ 分圧を減少させ、表面に吸着した H 原子の H₂ 分子としての合体・離脱を促進することにより、Si 原子の表面移動度を増しエピタキシャル成長の低温化が図られた。

このことを考察し、プラズマ CVD 法による Si エピタキシャル成長では、積極的に SiH_{2,3} 分子を放電中で生成し、SiH₄ と H₂ 分子の分圧を非常に小さくしている。Si 結晶上で比較的熱的に安定で、格子位置での滞留時間の長い SiH₄ 分子の吸着を防ぎ、SiH₂ から速やかに生成した Si 原子の表面移動を増速することにより、Si のエピタキシャル成長の低温化を実現しようとした。このような、エピタキシャル成長へのプラズマ CVD 法の応用は本研究が初めてであると考える。

本論文は 7 章より構成され、以下にその概略を記す。

第 1 章は「序説」であり、プラズマ CVD 法について概説しエピタキシャル成長への応用に対する位置付けを行なっている。

第 2 章「誘導結合型プラズマ CVD 法による Si のエピタキシャル成長」では、プラズマ CVD 法による Si エピタキシャル成長の原理的な実証を行なっている。誘導結合型プラズマ CVD 装置の予備装置とその後試作した大型化装置の構成を示し、プラズマ CVD の原理となる SiH₄ の高周波放電分解特性を示す。200 W の高周波電力 (13.56 MHz) により、 1×10^{-2} Torr の分圧に導入した SiH₄ は、その 90 % 以上が放電解離し、750 °C 以下の低温域での Si のエピタキシャル成長が可能であることを示す。高周波電力を供給せず SiH₄ の熱分解のみを用いた減圧 CVD の実験を、同装置内で併せて行いプラズマ CVD 法との比較を行った。プラズマ CVD 法では、減圧 CVD 法より高い成長速度を示すにもかかわらず、常に結晶欠陥の少ない高品位の成長層を得た。これは、成長に関与する中間分子を積極的に供給し、成長を増速するプラズマ CVD 法の効果であると考えられる。これらのプラズマ CVD 法によ

る Si 低温成長層は、結晶欠陥密度が小さくバルク Si に匹敵する電気的伝導特性を示した。

第 3 章「静電結合型プラズマ CVD 法による Si のエピタキシャル成長」は、プラズマ CVD 法による Si エピタキシャル成長に関して主要な成果と問題点を述べている。誘導結合型プラズマ CVD 装置では、プラズマ分解室の全長が長いため、プラズマ中で加速された電子・イオンによる放射損傷を結晶中に導入すること、プラズマ分解室と基板との距離が大きく、高い成長速度を得ることができない等の欠点がある。本章では、これらを改良した静電結合型のプラズマ CVD 装置を示し、これを用いた Si のエピタキシャル成長の結果を示す。成長速度に関して、誘導結合型プラズマ CVD 装置を用いた場合の約 3 Å/sec から、ほぼ 10 倍の 33 Å/sec (0.2 μm/min) の実用的な成長速度を、成長温度 750 °C で得ることができた。成長速度と基板温度との間の活性化エネルギーは、プラズマ CVD 法では 0.25 eV であり、通常の熱 CVD 法に見られる 1.6 eV と比較して極めて小さい値が得られた。これはプラズマ CVD 法が SiH₄ の熱分解、水素の表面離脱などの、表面反応から自由であることを示している。しかし、このような低温域での高い成長速度での Si エピタキシャル成長では、転位・点欠陥クラスターなどの結晶欠陥の発生が認められる。これらの結晶欠陥の要因として、本研究で対象とする 10^{-7} Torr の中真空域での、結晶基板表面の熱過程による表面汚染が、引続くエピタキシャル成長に与える問題点について指摘している。PH₃ を用いて広範囲な不純物導入を行ない、結晶欠陥の電子移動度に与える影響を評価し、さらに Si 低温エピタキシャル成長層中に導入された不純物の電気的活性化プロセスを考察する。

第 4 章「Si-Ge 混晶のエピタキシャル成長」では、複数の原料ガスの供給による Si_{1-x}Ge_x 混晶のエピタキシャル成長について述べている。プラズマ CVD 法の持つ他の特長として、導入されたガス分子を高周波放電中で加速された電子で衝撃して解離するため、ガス種に対する選択性が小さいことがあげられる。SiH₄, GeH₄ を同等に放電分解し、中間生成分子 SiH_{2,3}, GeH_{2,3} を供給することによって、高い Ge 組成をもつ均一な Si-Ge 混晶薄膜を得た。光学的禁制帯幅、結晶面間隔を測定することにより、得られた成長層が Ge 組成によって連続的にそれらが変化する混晶であることを確認した。Si-Ge 混晶層の結晶欠陥を観察し、高い成長速度であるにもかかわらず、純粋 Si の成長時に見られた転位・点欠陥クラスターの発生が認められないと見出した。混晶比 x が 0.6 % と微量の場合でも同様であり、Ge 添加量と共に積層欠陥の密度も低下した。これは、Ge 原子の持つ大きな表面移動度により、空格子点を埋め転位・点欠陥クラスターの発生を防いだこと、Ge の酸化物である GeO は 750 °C 周辺で 1 Torr と高い蒸気圧を持つため、金属 Ge による Si 酸化物の還元反応 $SiO_2 + 2Ge = Si + 2GeO \uparrow$ が効果的に進行したためと考えられる。結晶基板表面の自然酸化膜の還元除去が行なわれたため、成長開始直後の良好な結晶核形成

が容易になり、転位あるいは点欠陥クラスタの発生が防止されたものと考える。

第5章「Si-Ge緩衝層上のSiエピタキシャル成長」では、Siのホモ・エピタキシャル成長を行なう際に、Si-Ge混晶を基板との緩衝層として用い、引き続き成長したSi層の結晶性を評価している。Si-Ge緩衝層の効果は成長初期の表面清浄化プロセスと位置付けられる。Geの濃度が0.6から3%、混晶層の厚さが300ないし1000ÅのSi-Ge緩衝層の上に、引き続き純粋Si層を高い成長速度でエピタキシャル成長した。緩衝層を設けることにより、Si層中の転位・点欠陥クラスタの密度は劇的に減少し、積層欠陥のみが観察される。Hall電子移動度の室温での値、あるいは移動度の測定温度依存性などの電気的特性もバルクSiと遜色ないまでに改善され、 $10^{15}/\text{cm}^3$ の低キャリア密度領域でもバルクSiに匹敵する電子移動度を得た。Si成長層中にGe原子を含まないこと、緩衝層のGe組成が0.6%，厚み300Åで十分な効果が認められることから、成長初期に基板結晶表面の自然酸化層をGe原子により効率的に還元除去したことによると考える。

すなわち、プラズマCVDを用いたSiエピタキシャル成長法は、結晶表面にSiH₄ではなくSiH_{2,3}を供給するため、表面格子位置での滞留時間が短く速やかにSiに解離する。したがって、Si原子の表面移動をSiH₄に阻害されることはないと結論される。このため、750°Cの低基板温度で33Å/secの高い成長速度での高品位の結晶成長が可能となった。さらに、 $10^{-7}\sim10^{-6}$ Torr程度の中真空中、かつ750°Cの低温域では、HClエッティング法・酸化膜揮発法などの通常の方法はSiの表面清浄化法として有効ではない。Ge還元法によるSiの表面清浄化法は、中真空域での低温清浄化法として有用であると結論される。

第6章「プラズマCVD法による多結晶Si成長」では、プラズマCVD法によるSi層の結晶性の高さを多結晶Si層の形成に適用している。高温時(800°C)での多結晶粒径は通常の方法の3倍の大きさである5000Åを得、通常の方法では非晶質化する400°Cの基板温度で200Åの平均粒径を持つ多結晶層が得られた。これは、エピタキシャル成長の場合と同様に、Si原子の表面移動、再配置を妨げるSiH₄分子の結晶格子位置の占有の割合が小さいためと考える。基板温度が450°C、PH₃のSiH₄に対する添加量が2500ppmの極めて限定された成長条件で、多結晶Si層のHall電子移動度が著しく増大することを見出した。400°Cから500°Cの基板温度で多結晶層を形成し、これらを活性層とする電界効果トランジスタを試作して、極めて低温でのSi多結晶成長層のデバイス応用への実用性を実証した。この薄膜FETはデバイスとして動作し、ドレイン耐圧は50V以上、相互コンダクタンスの値は15μS、 $1.1\text{ cm}^2/\text{Vsec}$ の活性層の電子移動度が得られた。これらの値は、通常の熱CVD法による高温での多結晶堆積層を用いた場合と同等な性能値である。

第7章は「結論」であり、各章の結果を要約して本研究の結論を述べている。