

外20-4

早稲田大学大学院理工学研究科

博 士 論 文 概 要

論 文 題 目

Study of Sub-0.1- μ m Gate InP-Based High
Electron Mobility Transistors

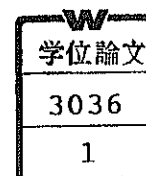
~~サブ0.1- μ m~~^{1 μ m} 極短ゲート InP 系高電子
移動度トランジスタの研究

申 請 者

末光 哲也

Tetsuya Suemitsu

2000 年 6 月



理 2512 (3036)

近年の情報通信技術の革新は、データ通信の大容量化によって支えられている。光ファイバ通信における通信容量の拡大は通信速度の高速化によって達成される。現在基幹伝送システムでは伝送速度 40Gbit/s を実現させるべく研究されており、そのためには電流遮断周波数(f_T)が200GHzを越えるような高速電子デバイスが必要となる。InP を基板に用いた化合物半導体材料系は、InGaAs と InAlAs でヘテロ構造を形成することにより高い電子移動度、電子濃度を形成することができ、高速特性の優れた高電子移動度トランジスタ(HEMT)を実現できる材料系として注目されており、実際これまでもあらゆるトランジスタの中で最も高い f_T が報告されている。反面、InGaAs のバンドギャップエネルギーが小さいため、衝突イオン化の影響が顕著となり、ユニポーラデバイスである FET でも電子、ホール両方の挙動に着目する必要がある。本研究では、InP 系 HEMT における電流 - 電圧特性上の異常であるキンク現象をホールの蓄積による電位変調によってモデル化し、ゲートに隣接するリセス領域におけるキャリア濃度を高く保つことがキンク現象を抑制する上で有効であることを提示した。また、それを実現する手段として 2 段階リセスゲート構造を提案し、試作によってその効果を確認した。更に電子線描画技術を最適化することによってゲート長を 30nm まで短縮し、高周波特性の向上を図ると共に、ゲートリセス領域の大きさが高周波特性に及ぼす影響を明らかにした。また、本研究によってトランジスタの f_T は 368GHz まで向上させることができた。

本論文の第 1 章では本研究の背景となる高速デバイスの研究の経緯及び InP 系材料の特色について述べる。続いて第 2 章では本研究を進める上での予備知識として、HEMT の基本動作の簡単なモデルを与えると共にその作製工程を解説する。

第 3 章では、キンク現象の解析とその抑制手法を議論する。2 次元デバイスシミュレーションにより HEMT の電流 - 電圧特性を数値計算する過程において、衝突イオン化のモデルがキンク現象の再現にとって重要であることを指摘した。最も単純で一般的なモデルでは衝突イオン化係数を局所的な電界強度の関数として計算するが、FET における電界分布のように高電界領域が電子のエネルギー緩和距離に匹敵するほど小さな領域に集中している場合はこのモデルの前提となる仮定が破綻する。より詳細なモデルとしては、キャリアのエネルギーを求め、イオン化係数をキャリアエネルギーの関数として求める手法がある。この 2 つのモデルによって計算した FET 特性を比較し、キンク現象の再現には後者のモデルが必要であることを指摘した。キンク現象が再現された解析結果よりデバイス内部におけるホール濃度の分布を調べ、ソース・ゲート間のゲ-

トリセス領域におけるホール濃度がドレイン電流の変化に関係していることが分かった。この結果を基に、キンク現象を衝突イオン化により発生したホールの蓄積によるゲートリセス領域の寄生抵抗の変化によってモデル化した。このモデルによると、寄生抵抗の変化は、ホールの蓄積が大きいほど、そして平衡状態でゲートリセス領域のキャリア濃度が小さいほど顕著になる。従って、キンク現象を抑制するためにはホールの蓄積を抑えるか、ゲートリセス領域のキャリア濃度を高く保つようなデバイス構造とする事が有効であることが明らかとなった。前者は p 型オーミック電極であるボディコンタクトを設けた HEMT を試作し、ホール引抜き効果によるキンク現象の抑制を確認した。後者を実現するための構造としては、ゲートリセス領域において表面空乏領域の影響を抑えるために表面とチャネルとの距離を大きくすることが有効であり、これを実現させるために次章で述べる 2 段階リセスゲート構造を提案した。

第 4 章では、2 段階リセスゲート構造の原理と作製方法について議論する。ゲートリセスは HEMT 用のエピタキシャル成長層表面のオーミック接合用の高濃度 n 型ドーパ層をエッチングし、ショットキー接合であるゲート電極を形成する工程で同時に形成される。そのエッチング深さは HEMT のしきい値電圧によって決定される。しきい値電圧が大きくなる程ゲートリセスは空乏化しやすくなり、そのためしきい値電圧が正となる、いわゆるエンハンスメント型 HEMT の作製を困難とする理由となっている。本研究では、リセス領域のキャリア濃度を制御することを可能とする構造として、エッチング停止層とウェット及びドライの選択エッチングを組み合わせた 2 段階リセスゲート構造を提案した。この構造の実現には低ダメージで選択エッチングを可能とするドライエッチングが必要となる。今回、低電力の Ar プラズマエッチングによる選択エッチング効果を初めて確認し、エッチング表面の平坦性を原子間力顕微鏡によって調べ、ゲート形成工程に適用可能であることを確認した。ゲート長 100nm の HEMT を試作し、2 段階リセスゲート構造が従来ゲート構造に比べ寄生抵抗が小さく、リセス領域のキャリア濃度が高いことを確認すると共に、しきい値電圧のウェハ面内分布が従来に匹敵しており、Ar プラズマによる選択エッチング効果を確認した。

第 5 章では、2 段階リセスゲート構造によるエンハンスメント型 HEMT (E-HEMT) を議論する。E-HEMT はデジタル集積回路において回路構成を簡素化し、消費電力を抑えることができる等の利点があるが、前述のようにゲートリセス領域におけるキャリアの空乏化を起こしやすく、作製が困難であった。ゲートリセス領域の最適化を目的とした 2 段階リセスゲート構造は、その意味では E-HEMT へのアプローチとして最適とい

える。試作したゲート長 100nm の E-HEMT はしきい値電圧が 0V でその面内分散が 13.3mV とデジタル集積回路を設計するのに十分な均一性を確保できた。また高周波特性も f_T が 208GHz を達成し、E-HEMT で報告されている値を更新した。

第 6 章では、ゲート長短縮と高周波特性の関係及びゲートリセスの影響を議論する。高周波特性、特に f_T の向上にはゲート長の短縮が有効であるが、短ゲート化によるゲート抵抗増加を抑えるため、T 型ゲート構造を形成する必要がある。このため電子線描画技術を用いてもこれまでに高周波特性が報告されている HEMT のゲート長は 50nm が最小であった。本研究では、更なる微細化を実現するため電子線レジストに着目し、解像度・エッチング耐性を向上させるためにフラーレンをドーブした電子線レジストを用いたゲート形成法を検討し、ゲート長を 30nm まで短縮することに成功した。試作した HEMT の f_T は最高 368GHz でこれまで報告されているあらゆるトランジスタの最高値を達成した。また、 f_T のゲート長依存性から、これまで f_T は主としてゲート下のキャリアの走行による遅延（真性遅延）によって決定されると考えられてきたが、ゲート長の短縮に伴い、真性遅延が相対的に小さくなったことにより、寄生的な遅延時間の影響が無視できないことを指摘した。それを確認するためにゲートリセス領域の大きさの異なる 30nm ゲート HEMT の特性を比較し、同じゲート長でも f_T が 200 から 368GHz まで変化することを確認し、ゲートリセス領域の寄生抵抗と寄生容量が f_T に影響する様子を明らかにした。

第 7 章では、本研究をまとめると共に、InP 系 HEMT の今後の展望と残された課題を明らかにした。第 6 章で議論した高周波特性の極限追求は、今後の f_T の向上にはゲート長短縮のみならず、ゲートリセス領域を含めた寄生抵抗、寄生容量の低減が不可欠であることを指摘した。また、高速性能以外の特性を考えたとき、まず耐圧が低い点が実用上で問題になりそうといえる。第 3 章で議論した衝突イオン化に伴うホールの蓄積は耐圧を低くしている要因の一つと考えられる。また、実用を考えると特性の向上もさることながらその安定性を確保しなければならない。本研究で作製した HEMT では長期の通電によりドレイン抵抗が増加する傾向が見られる。この原因を明らかにして解決することによって InP 系 HEMT を更に実用化へ一歩近づけることができる。