

早稲田大学大学院情報生産システム研究科

# 博 士 論 文 概 要

## 論 文 題 目

先端 LSI 極微細 MOSFET  
における  
回路シミュレーション用  
リーク電流モデルに関する研究

申 請 者

稲垣 亮介

情報生産システム工学専攻  
回路検証技術研究

2008 年 12 月

近年，大規模集積回路における MOSFET(Metal-Oxide-Semiconductor Field Effect Transistor)製造技術の発展は著しく，先端 LSI プロセスにおける極微細デバイスの先進的なスケリングが日々行われている．研究レベルでは最小ゲート長が10nm以下，量産レベルでも45nmが実現されている．集積化される MOSFET の素子数も10億個を超える製品も量産化されている．半導体素子の電気的特性を向上させる為に，MOSFET 素子の集積度を高くする為に，微細化の追求や様々な新構造・新材料素子が，次々と開発されている．これら半導体素子の微細化，新構造化，高集積化の実現により，大規模・多機能・高性能な半導体集積回路を設計することが出来る．

半導体集積回路の設計では，半導体素子の特性を数式(モデル式)で近似したコンパクト・モデルを使って回路シミュレーションを繰り返し行う．使用するモデル式には，モデル・パラメータと呼ばれるモデル式の特性を決める数値係数が必要となる．そのモデル・パラメータには，デバイス・パラメータと呼ばれる製造プロセス側で決まるゲート酸化膜厚や基板不純物濃度などのパラメータも含まれる．また，モデル・パラメータを測定値から求めることをパラメータ抽出という．計算精度の良い結果を得る為には，モデルとモデル・パラメータの両方が良くなければならない．従来の BSIM3や BSIM4モデルでは，ゲート寸法の群毎にモデル・パラメータを用意し，回路シミュレータは計算の際にそれらを個別に読み込み計算する．モデル式のゲート寸法依存性を補う為に，複数組のパラメータ抽出を行い，それぞれの精度を良くして回路シミュレーションの計算精度を向上させる手法である．ここで，ゲート寸法の群毎にパラメータ抽出を行い，モデル・パラメータの数値を決める操作をビニングと呼ぶ．従来モデルでは，ごく一般的な通常の手法であった．

一方，半導体素子の微細化は，集積回路の設計をより困難なものにしている．先端プロセス微細化の影響で，ビニングを必要とするコンパクト・モデルの計算値は，測定値を再現できず誤差が生じ始めた．従来のコンパクト・モデルに記述されているモデル式では，計算誤差を小さくすることが出来なくなり，半導体素子の微細化に追従できなくなった．回路シミュレーションで最も重要である回路の計算精度は，コンパクト・モデルの計算精度で決まってしまうのである．MOSFET 素子のドレイン電流やゲート入力容量等の重要な項目では計算精度はとても重要である．しかし消費電力の見積もりなどでは，微細化により特に顕著となったリーク電流の計算精度の確保が，現在極めて大きな問題となっている．計算精度が良く計算時間の短い，極微細先端素子に向けたリーク電流モデルの開発が急務である．また従来モデルのリーク電流については，モデル式を開発する為のデバイス・モデリング技術の十分な研究も行われていないのが現状である．

本論文では，極微細先端バルク MOSFET 素子の，コンパクト・モデルに関わる課題である，全てのリーク電流モデルを提案する．ゲート・リーク電流，基板・リーク電流，GIDL・リーク電流，PN 接合・リーク電流の各デバイス・モデリング技術について研究する．提案するリーク電流モデルは，ドリフト・拡散近似に基く，完全表面ポテンシャルを用いて記述する．その結果，回路シミュレーションにおいて提案するリーク電流モデルが，物理的で計算精度の良いことを示す．それらリーク電流モデルを HiSIM2モデルに記述する．特徴としては，各バイアス印加電圧依存性に対して，ゲート寸法依存性に対して，1組のモデル・パラメータで測定値を精度良く正確に計算でき，ビニングを必要としないことを示す．さらに

広く産業界や教育、研究に使われることを目標とする。

本論文は、7章から構成しており、各章を要約すると以下ようになる。

第1章の「序論」では、本研究の背景、目的、および本論文の構成について述べる。先端極微細 MOSFET 素子の ITRS による技術動向と、デバイス・モデリング技術におけるリーク電流の重要性について、この章で概観する。

第2章の「従来のリーク電流モデルと問題点」では、従来モデルである BSIM3モデル、BSIM4モデル、PSPモデル、HiSIM1モデルの概要とその問題点について概観する。これらのモデルを概観することにより、リーク電流モデルを開発する際の糧とする。BSIM3モデルではゲート・リーク電流と GIDL・リーク電流のモデル化が行われていない。BSIM4モデルでは GIDL 電流に数式処理が使われおり、PN 接合・リーク電流では逆方向バイアス領域が定数近似されている。PSP モデルでは、各リーク電流モデルに数式上の不連続点があり、PN 接合・リーク電流の計算時間もとても長い。また、BSIM モデルと PSP モデルでは素子寸法の群毎にモデル・パラメータを用意しなければ、計算結果に誤差が発生する。さらに HiSIM1モデルでは、ゲート・リーク電流と基板・リーク電流で全ての種類のリーク電流がモデル化されておらず、PN 接合・リーク電流では温度依存性に改善が必要である。各モデル様々なモデル化が行われているが、極微細先端素子のリーク電流のモデリング技術として満足するモデルは存在していないことを示し、本研究の目的を明確にする。

第3章の「ゲート電流モデリング技術」では、ドリフト・拡散近似に基く完全表面ポテンシャルを使ったゲート・リーク電流の新しいモデル式を提案する。従来モデルと比較して計算精度が良いことを特徴とする。先端プロセスの測定値が正確に計算できることの検証を行い、そのモデル式を使った回路検証でその有効性を示す。ゲート電流を構成する、ゲート・チャネル間電流  $I_{gate}$ 、ゲート・ドレイン間電流  $I_{gd}$ 、ゲート・ソース間電流  $I_{gs}$ 、ゲート・バルク間電流  $I_{gb}$  の4種類の電流について、個々の電流の物理的なモデル化を行う。モデル式にはデバイス・パラメータ等を使用し、1組のパラメータ・セットで全ての素子寸法の計算ができるビンニング不要のモデル式を提案する。また、先端プロセス90nm 素子の測定値がドレイン電極、ゲート電極、バルク電極の各印加電圧による依存性が十分な精度で計算できることを示す。提案するモデル式の精度については、最大誤差指数が強反転領域で0.24から0.19へ、弱反転領域で-15.9から0.51へと、従来モデルと比較して弱反転領域で大幅に改善されていることを示す。さらに、回路への適用例として、ディスチャージ回路、リング・オシレータ回路、電流制御可変利得増幅器でゲート・リーク電流が及ぼす影響を検証し、DC オフセット電圧の発生等を示す。本提案モデルは市販の業界標準回路シミュレータに組み込まれ、産業界や研究に使用できる。

第4章の「基板電流モデリング技術」では、ドリフト・拡散近似に基く完全表面ポテンシャルを使った基板・リーク電流の新しいモデル式を提案する。従来モデルと比較して計算精度が良いことを特徴とする。先端プロセスの測定値が正確に計算できることの検証を行い、そのモデル式を使った回路検証でその有効性を示す。基板電流を構成する、サブストレート電流  $I_{sub}$ 、ファウラ・ノードハイム電流  $I_{fn}$  の2種類の電流について、個々の電流の物理的なモデル化を行う。モデル式にはデバイス・パラメータ等を使用し、1組のパラメータ・セットで全ての素子寸法の計算ができるビンニング不要のモデル式を提案する。また、先

端プロセス90nm 素子の測定値がドレイン電極，ゲート電極，バルク電極の各印加電圧による依存性が十分な精度で計算できることを示す．提案するモデル式の精度については，最大抽出誤差が強反転領域で $-2.9$ から $0.2$ へ，トラップ領域で $3.4$ から $-2.8$ （測定誤差含む）へと，従来モデルと比較して強反転領域で改善されていることを示す．また，ゲート電流と基板電流の比較では，短チャネル素子で，ゲート電流よりも基板電流が支配的となる．さらに，回路への適用例として，静特性回路による基板バイアス効果，カレント・ミラー回路，コンパレータ回路で基板・リーク電流が及ぼす影響を検証し，ミスマッチや DC オフセット電圧の発生等を示す．本提案モデルは，市販の業界標準回路シミュレータに組み込まれ，産業界や研究に使用できる．

第5章の「GIDL 電流モデリング技術」では，ドリフト・拡散近似に基く完全表面ポテンシャルを使い，2種類の GIDL 電流を統合した新しいモデル式を提案する．従来モデルと比較して計算精度が良いことを特徴とする．先端プロセスの測定値が正確に計算できることの検証を行い，そのモデル式を使った回路検証でその有効性を示す．GIDL 電流を構成する，BTBT 電流，TAT 電流の2種類の電流について，両電流を統合した物理的なモデル化を行う．モデル式にはデバイス・パラメータ等を使用し，1組のパラメータ・セットで全ての素子寸法の計算ができるビンニング不要のモデル式を提案する．また，先端プロセス90nm 素子の測定値がドレイン電極，ゲート電極の各印加電圧による依存性が十分な精度で計算できることを示す．提案するモデル式の精度については，NMOS 素子の最大誤差指数が蓄積領域で $-0.45$ から $0.24$ へと，従来モデルと比較して改善されていることを示す．さらに，回路への適用例として，抵抗負荷反転回路，差動演算増幅器で GIDL 電流が及ぼす影響を検証し，回路の伝達特性等を示す．本提案モデルは，市販の業界標準回路シミュレータに組み込まれ，産業界や研究に使用できる．

第6章の「PN 接合電流モデリング技術」では，PN 接合・リーク電流の新しいモデル式を提案する．従来モデルと比較して計算精度が良いことを特徴とする．先端プロセスの測定値が正確に計算できることの検証を行い，そのモデル式を使った回路検証でその有効性を示す．PN 接合・リーク電流を構成する，順方向バイアス電流，逆方向バイアス電流の2種類の電流について，個々の電流の物理的なモデル化を行う．モデル式には底面接合飽和電流密度，側壁接合飽和電流密度，底面接合放出係数，側壁接合放出係数等を使用し，1組のパラメータ・セットで全ての素子寸法の計算ができるビンニング不要のモデル式を提案する．また，先端プロセス90nm 素子の測定値がバルク・ドレイン間電圧，バルク・ソース間電圧の各印加電圧による依存性が十分な精度で計算できることを示す．提案するモデル式の精度については，N 拡散 P ウェル素子の最大誤差指数が順方向バイアス領域で $-2.1$ から $-1.4$ へ，逆方向バイアス領域で $2.2$ から $-1.4$ へと，従来モデルと比較して改善されていることを示す．さらに，回路への適用例として，ディスチャージ回路で PN 接合・リーク電流が及ぼす影響を検証し，DC オフセット電圧の発生を示す．本提案モデルは，市販の業界標準回路シミュレータに組み込まれ，産業界や研究に使用できる．

第7章では，本論文を纏め，本研究により得られた成果を総括する．