

博士論文概要

論文題目

メタル/High-k 積層ゲートを用いた
MOSFET 高性能化に関する研究

Study on High-Performance MOSFETs
Using Metal/High-k Gate Stacks

申請者

松木	武雄
Takeo	Matsuki

--

2008 年 12 月

MOSFETの性能向上を目的としたスケーリング側に沿ったデバイスの微細化は、ゲート絶縁膜にも薄膜化を要求した。その結果、ゲート絶縁膜を介してゲート電極と半導体基板間に流れる漏れ電流（ゲートリーク電流）が増大した。ゲートリーク電流を抑制するには、ゲート絶縁膜を従来の SiO_2 または SiON より高い誘電率材料（High-k）をゲート絶縁膜に適用することが提案され、ここ十年の最大の課題として研究されてきた。研究初期には、耐熱性が高い HfAlOx や HfSiON が、従来のpoly-Si電極のCMOSプロセスへの適用が可能な材料として検討された。しかし、poly-Siのゲート電極の場合、Siであるが故のゲート電極電荷空乏化は不可避である。ゲート電極空乏化は、電流駆動能力を低減させるため、更なるMOSFET性能向上には、ゲート電極のメタル化が必須となる。すなわち、High-kゲート絶縁膜とメタルゲート電極を組み合わせたメタル/High-k積層ゲートMOSFET実現が、更なる、MOSFETの性能向上に不可欠なテーマとなった。しかし、その実現には、新規材料導入による開発ライン汚染、プロセス起因のMOS界面反応、メタル電極膜応力のMOSFETチャネル歪への影響、等の課題がある。

以上の背景のもと、本研究は、メタル/High-k積層ゲートMOSFETの実現を目指して、以下の3つの目的を持って行われた。第1に、デバイス研究開発を行う試作ラインへの新規材料導入を原因とするライン汚染を防ぎ、かつ新規材料を効率よくデバイス試作に導入することが可能な評価デバイス及びプロセスを、新たに構築することで、本研究及び今後の研究活動に寄与する。第2に、MOSFETプロセス中のMOS界面反応とMOS電気特性との関係を解明することにより、メタル/High-k積層ゲートMOSFETの性能・信頼性を確保の一助とする。更に、得られたMOS界面反応の知見から最適なMOSFETプロセスを提案・性能実証する。第3に、メタルゲート電極膜の応力とMOSFET電流駆動能力との関係を系統的に調べることで、メタルゲート電極膜応力が、メタル/High-k積層ゲートMOSFET設計の重要な要素であることを明らかにすることである。

本研究の第2章では、新規材料を導入することによる開発ラインの汚染、開発効率低下を回避するために新たに提案・構築した評価デバイスの性能が議論される。新規ゲート電極、絶縁膜がウェハー上に形成された後に使用される装置数の低減と、ゲート電極加工容易性確保のためにソース・ドレイン（SD）をゲート電極より先に形成する“ゲートラストプロセス”（GLプロセス）が採用された。尚、プロセスの簡便化のため、犠牲ゲート電極を用いない、SDとゲート電極との相対的位置関係が一意でないGLプロセスとした。また、SD及びウェルとの導通を確保するためpoly-Si局所配線が、プローブパッドを兼ねることで、金属配線プロセスが無い場合でも各種MOSFET特性取得可能な評価デバイスとした。しかし、poly-Si局所配線の寄生抵抗やプロセス簡便性から、電気特性評価精度が不明であった。本研究では、寄生抵抗成分が異なる構造比較により精度よい容量特取得が可能であることが実証された。また、本デバイスは、ゲート電極長を決定する犠

性ゲート電極を用いないため、移動度評価、界面準位評価等に不可欠である MOSFET の実効チャネル長の見積もりにも精度検証が必要であった。複数の実効長見積もり手法を比較することで、サブミクロン程度の実効チャネル長での評価が可能なことを実証した。これらの性能実証から、新規材料導入と開発効率化を向上させるゲートラスト評価デバイス及びプロセスが構築された。

第 3,4,5 章では、メタル/High-k 積層 MOSFET プロセス候補としての 2 種類の MOSFET プロセス中での MOS 界面反応と MOS 電気特性との関係が議論される。更に、その議論に基づき新たな MOSFET プロセスの提案と実験的性能実証を行った結果が議論される。候補プロセスには、SD 形成をゲート電極形成後に行う“ゲートファースト”(GF)プロセスと、前に行う GL プロセスとがある。しかし、両者共に、次の課題が解決される必要がある。前者の課題は、メタル/High-k 積層構造が SD 不純物活性化を目的とした 1000℃ 程度の高温アニール曝露による界面反応である。後者の課題は、High-k 膜質向上を目的としたアニール (Postdeposition Annealing, PDA) 温度と SD 表面に形成するシリサイド耐熱性との両立である。

第 3 章では、GF プロセス実現を目指して、アニール温度、アニール雰囲気、更には TiN 成膜手法の TiN/HfSiON/SiO₂/Si 積層ゲート界面反応に対する影響を研究した。酸素濃度制御不能なアニール炉の場合、アニール温度上昇に伴い SiO₂ 換算膜厚 (Equivalent oxide thickness, EOT) が増加すること、Hf、N、Si が HfSiON 膜から遊離し TiN に拡散すること、かつその拡散が炉中の残留酸化雰囲気依存することを見出した。更に、アニール雰囲気の影響を調べるために雰囲気酸素濃度を制御した実験を行った。TiN/HfSiON 界面領域に Ti 酸窒化物層が存在すること、HfSiON の HfO₂ と SiO₂ への相分離、及び HfSiON/Si 基板間に事前に成膜した SiO₂ 界面膜の増膜が観察された。既に、Si 基板上膜堆積 HfSiO を酸素含有雰囲気アニールした場合、相分離が観察された報告がある。本研究では、アニール雰囲気中酸素が HfSiON 上の TiN 中を拡散し、上記の相分離反応及び物質移動経路を明らかにした。更に、この相分離反応の過程で遊離した Hf、N、Si が TiN 中に拡散すると結論する。TiN 成膜手法として、TiCl₄ を原料とした CVD (Chemical Vapor Deposition) とスパッタ法とを比較した。CVD 法は、スパッタ成膜で懸念される基板表面へのプラズマダメージが無いことためメタルゲート電極形成手法として期待された。しかし、高温アニールによる EOT 増加は、スパッタ法に比べ CVD の方が著しいことを見出した。この原因は、TiN 膜中の残留 Cl がアニール中に HfSiON/SiO₂ に拡散することで、増速酸化反応が起きることだと考える。すなわち、実用化想定製品プロセスにおいて、GF プロセスのメタルゲート電極形成に CVD 法を適用するには、アニール雰囲気からメタル/High-k 積層構造への酸素やハロゲンなど酸化雰囲気の拡散を抑制することが必須であること明らかにした。

第 4 章では、HfSiON は、HfO₂ と SiO₂ との混合した膜であることを基に、TiN スパッタ成膜温度が TiN/HfSiON/SiO₂/Si 積層ゲート MOSFET 電気特性に及ぼす影

響を知るために、TiN/SiO₂/Si 積層構造のトラップ及び界面反応について陽電子消滅を用いて評価した。陽電子の固体中での電子との消滅時に発生するガンマ線ドップラー効果を見積もることで消滅電子の運動量等情報を得ることができる。300 °C 程度の TiN 成膜温度は、高温アニール時に TiN/SiO₂ 界面にトラップ生成する原因となると本研究は結論する。

第 5 章では、GL プロセス実現を目指して、SD 表面に形成される NiSi の低い耐熱性と High-k 絶縁膜形成プロセスとの両立を MOS 界面反応に注目しつつ検討した結果が議論される。その両立の手法として、Xe フラッシュランプを用いたミリ秒という短時間の光照射を用いた PDA (FL-PDA) プロセスが提案された。HfAlO_x/SiO₂/Si 積層構造に FL-PDA を行うと、HfAlO_x/SiO₂ ゲート絶縁膜中のトラップが、従来の PDA に比べ低減することが見出された。HfAlO_x は FL 光吸収量が少ないことから基板 Si による間接アニールであるため、HfAlO_x と SiO₂ との反応を抑制することがトラップ低減の原因であると考えられる。更に、FL-PDA では、NiSi 耐熱温度を超えたアニールとなることがシート抵抗、接合リーク特性劣化から明らかにされた。この問題を解決する新たなプロセスとして、FL-PDA とフラッシュランプ光を吸収する非晶質 Si 膜とを組み合わせた選択 PDA プロセスが提案された。HfAlO_x/SiO₂ 上に非晶質 Si 膜を形成し、FL-PDA を行う。層間絶縁膜を介して NiSi 上方の非晶質 Si は、FL-PDA 光エネルギーを吸収し、NiSi への熱エネルギー伝播を緩和する。HfAlO_x は Si 層から伝播する熱によりアニールされる。Si 層を Ni シリサイドゲート化することで Ni シリサイド/HfAlO_x/SiO₂ 積層 MOSFET の実現、NiSi 性能劣化の抑制及び HfAlO_x/SiO₂ ゲート絶縁膜中トラップの低減が、同時に達成された。

第 6 章では、メタルゲート電極膜応力が MOSFET 性能に与える影響の検討した結果を議論する。TiN/W/TiN 積層ゲート電極における W 膜応力を変化させる系統的な実験を行うことで、ゲート電極応力が MOSFET の電流駆動能力に対して大きな影響を及ぼすことを明らかにした。CVD で成膜し引っ張り応力を持つ W 膜は、その膜厚増加に従い、pMOSFET の性能を向上させ、nMOSFET の性能を劣化させる。一方、スパッタ法で成膜し圧縮応力を持つ W 膜は、膜厚増加に従い、nMOSFET の性能を向上させ、pMOSFET の性能を劣化させる。顕微ラマン分光によるゲート端部の Si 基板内にかかる応力を調べた結果、MOSFET の性能向上と劣化は、応力を持つ W 膜がチャネル上に積層された効果のみではなく、ゲートラスト構造に特有な側壁にある W 膜による応力の効果との相乗効果であることを明らかにした。

本研究では、実験に必要な評価デバイスを構築・利用して、メタル/High-k 積層ゲート MOSFET 形成プロセスの観点から、MOS 界面反応と MOSFET 性能との関係、更に材料の持つ応力と MOSFET 性能との関係を研究することで、メタル/High-k 積層ゲートのデバイス応用に対する課題が解決された。閾値電圧制御等検討すべき、まだ多くの課題を残されているが、解決の糸口を示すことができた。