

# 博士論文概要

## 論文題目

システム LSI メモリの高性能化/高機能化  
及び不揮発化に関する研究

High Performance, Multi-Function, and Non-Volatile Technology  
for System LSI Memory

申請者

氏名

大石

司

Tsukasa

Ooishi

専攻・研究指導  
(課程内のみ)

システム L S I 分野 回路構成技術

2004 年 11 月

本論文システム LSI メモリの高性能化 / 高機能化 / 不揮発性化に関する研究成果をまとめたもので、本文は6章より構成されている。

21 世紀を迎え、ビジネス / 技術分野にとどまらずインターネットを中心とするデジタル情報技術の進歩が引き起こす IT 革命は、社会のあらゆる分野に影響を及ぼしており、システム LSI はこれらを支える重要なデバイスとなっている。本研究は、先端システム LSI に使用されるメモリモジュールを高性能化 / 高機能化する為、微細化、低電圧化、低消費電力化等の課題解決の提案を行い、試作評価によりその効果を検証したものである。

具体的には、システム LSI に用いられるダイナミック RAM (DRAM) の微細化に伴い増大するリーク電流回避や低電圧動作でのセンスアンプの高速化技術、ノイズの低減化技術、信頼性確保のために必要とされる電源の安定化技術、待機時電流を低減する技術、歩留まり向上やソフトエラー対策を含む信頼性向上、テスト効率向上回路技術を提案した。また不揮発であり RAM である新機能メモリに統合される将来像としての MRAM についての研究を通じて、システム LSI メモリのポテンシャルを高度化する為の技術指針を得ることができた。

## 第1章 序論

本研究分野であるシステム LSI メモリの背景について述べ、本研究目的を明らかにした。

## 第2章 システム LSI メモリの高性能化

システム LSI として用いられる DRAM の高性能化の技術として、大容量化に伴うトランジスタ微細化起因のリーク問題回避回路技術、低電圧動作にて低消費電力且つ高速化アレイ回路技術を提案した。またキーとなる新型センスアンプ回路とメモリアレイ分割動作を提案した。さらに、低電圧動作に対し障壁の高い周辺回路に対して、提案した新型レベル変換回路により高レシオレベル変換を可能にし、内部電源電位降下回路技術により安定高速化を得る等以下の結果を得た。

- 1) DRAMでのビット線振幅の低電位レベルを通常のGNDレベルより高いレベルに制御し、メモリセルトランジスタのリーク電流を抑制する昇圧センスグラウンド方式を提案し、従来より1.2ns高速のデータ読み出しを確認した。さらには、データリテンション特性を従来の3倍以上にできることを256Mbitの実チップにて試作確認した。さらに提案した分散型昇圧センスグラウンド方式により、センスグラウンドのインピーダンスを低減し、高速性能を維持することができた。
- 2) コラムデコードセンス方式を提案し、コラムアクセス時においても、電源バウンスを低減、また、ウェルドライブセンス手法を提案し、デバイス構造設計の容易化を図った。同時に基板電位を制御することにより、低電圧条件下で動作時には高速動作を可能とし、保持時には低リーク電流という相反する事象を同時に満足させる結果を得た。可変型メモリマトリクスとI/O分離構成との併用により、大規模メモリアレイ構成における多分割動作を可能とし、動作時におけるピーク電流を軽減し高速化を図ることができた。
- 3) 低電圧の周辺回路から高電圧のアレイ駆動回路への高レベル変換レシオを可能にする新型レベル変換回路を提案し、レベル変換時の信号遅延を27%、消費電流は40%削減でき

た。ミックスドモード型VDC回路の提案により、低電圧で且つ高速動作を行うシステムLSIに安定して電位供給ができる内部電源電位降下回路を得た。広範囲での負荷動作周波数に対して安定的な内部電源レベル制御を行い、10%以内でレベルの制御が行われることを確認、さらに瞬時大電流供給用として、ワード線と同期してセンス開始前に電荷充電するプリブーストVDC回路を提案し、従来のセンス速度に比べ25%高速化を図ることができた。

### 第3章 システムLSIメモリの高機能化

システムLSIメモリの微細化、高集積化は、システムLSI全体の信頼性保証と歩留まりに直接影響を及ぼすようになり、コスト低減の要求も複雑に絡む。本研究は、高集積状態でも効率的に歩留まりの向上が可能であるフレキシブル冗長とシフト冗長を提案し、ソフトエラーの発生率低減の為、レトログレードウェル構造の適用による効果の実証やECC搭載の有効性を確認し、大規模メモリアレイ超細分化技術とラインモードテストによるテスト時間短縮を提案し、オートバーンイン、SCANテスト、ダイレクトAC測定、リペアアナライザ等のロジックテストへのメモリテストの集約によるテストコスト低減を検討し次のような結果を得た。

- 1) フレキシブル冗長回路を提案し、複数のサブブロックで構成する大容量化されたシステムLSIメモリにおいても、冗長面積の増大を抑えながら、高歩留まりを得ることを確認した。また冗長判定にかかる時間をセットアップ時間中に実施することで、アクセス遅延を抑えることができ、シフト冗長の適用により、多数IO構成のシステムLSIメモリにおいてもアクセスの遅延が増大することなく、冗長救済を行うことができた。
- 2) 高エネルギーイオン注入により形成されたレトログレードウェル構造が、ソフトエラー率を大幅に改善し、DRAMにおいて、ソフトエラー率が約1/20になることを確認した。さらに発生したソフトエラーを回避する為、ハミングコードを用いたアレイ埋め込み型ECC回路にシフト冗長を提案し、高速動作でパリティメモリセルのコヒーレンスを維持することができた。
- 3) データ反転機能レジスタを用いたラインモードテストの提案により、パターンセンシティビティを維持しメモリアレイ超細分化並列テストでテスト時間短縮を図ることができた。またモジュール内部でアドレス、データ、コマンドを生成するオートバーンインテスト機能を提案し、入力ラッチ部にSCAN用FF回路を埋め込み、クロック同期テスト実施、アクセス時間を正確に測るダイレクトAC時間測定機能等により、システムLSIメモリとしてロジックテストへの集約を図る有効な手段である事がわかった。
- 4) 内蔵型リペアアナライザ(CRESTA)は、リペア可能なチップを100%の検出能力でロウ系/コラム系の複数の冗長数に対してもリアルタイムに解析処理し、32Mビット混載DRAMモジュールに対応する4セットのCRESTAを0.15 $\mu$ mプロセスを用いて試作検証した。

### 第4章 システムLSIメモリのマルチメディア応用

マルチメディア対応システムLSIの画像データ等を取り扱うSDRAMモジュールについて研究し、高性能化高テスト機能化技術を取り入れ、0.13 $\mu$ mCMOSプロセスを用いて、低消費、高速動作、省面積(高セル占有率)を実現するモジュールを開発し、さらには、MPEGエンコーダチップへの搭載検証を行い次のような結果を得た。

- 1) 8-wayコラムデコード方式と0.13 $\mu$ m混載プロセス技術の融合により、多数IO線数構成に

においても、センスアンプ帯の幅を 29%削減、フレキシブル冗長、コラムシフト冗長方式の採用により、アクセス時間と冗長救済効率を損なう事なく、モジュールサイズ  $18.91\text{mm}^2$  という世界最小面積とモジュール中セル占有率 53.1%という高効率モジュールを得た。

- 2) 新規高速レベル変換回路、プリブーストVDC回路方式、アレイ信号分散駆動方式を提案し、従来比 27%の高速化、1.0V で RAS アクセス時間 ( $t_{\text{RAC}}$ )  $17.4\text{ns}$  の高速読出し、コラムアクセス 230MHz の高速動作、且つ、消費電力 198mW と低消費電力を実現した。
- 3) データ保持に必要な回路領域への電源供給を完全に遮断するパワーダウンリフレッシュモード手法を提案し、モジュール全体でスタンバイ時の消費電流を 80%削減する他、ABI (Auto Burn-In) テスト機能、SCAN テスト手法、ダイレクト AC 測定手法の採用により、メモリモジュール部試験をロジック部試験に集約実施テストコスト削減することができた。
- 4) 本開発モジュールは 64M ビット大容量 DRAM を混載した HDTV 用 MPEG2 エンコーダ LSI に適用し、小サイズ ( $99.71\text{mm}^2$ )、低消費電力 (従来比 50%) を実機検証した。

## 第5章 システム LSI メモリの不揮発化

それぞれに目的と適応範囲が異なるシステム LSI メモリのユニバーサル化と不揮発化の要求に応えることができるデバイスとして、選択線に流す電流により発生する磁場を利用して磁性体の磁区の向きを制御し、書き換え回数やリテンション無制限、従来の不揮発性メモリに対して高温でも安定であり、RAM と ROM の機能を同時に有するデバイスである MRAM について研究し、メモリアレイ駆動技術や高信頼性回路技術を提案し、次のような結果を得た。

- 1) 書き込み時間及び、ライトノリードにおける動作電流が SRAM 並みに小さくでき、低消費電力メモリとしてシステム LSI 特に携帯機器向けに応用が可能であることを確認した。
- 2) MRAM の製造工程は、従来の不揮発性メモリと異なり、低温処理が可能でロジックプロセスとのコンパチビリティ性が高く、1.2V 単一電源での動作が可能であり、特に高速 IO 系 I/F を有するチップにおいては有効であることを、 $0.13\mu\text{m}$  プロセステクノロジーを用いて  $0.81\mu\text{m}^2$  の世界最小のメモリセル面積を実現、多層配線構造にてロウ系とコラム系制御を階層化し、高速化と面積削減を図った 1M ビット MRAM モジュールを試作実証した。
- 3) ソース線にコバルトサリサイド構造を適用しソース線抵抗を削減、さらには、フォールデッドビット線構成と高抵抗値状態と低抵抗値状態メモリセル各 2 個を平均化するダミーロウ方式とをあわせて提案し、メモリセル電流とリファレンス電流とのアンバランスの影響を軽減でき、アレイノイズを削減し、さらには、電流センスアンプを開発し、小電流差でも十分高速で判定ができる性能を得、読み出しマージンを向上、100MHz 動作を可能とした。
- 4) セルフリファレンス手法を提案し、製造ばらつきに対して安定した読み出しが可能、携帯機器向けシステム LSI メモリとして動作マージンを向上できる事を確認した。

## 第6章 結論

各章に関する研究成果を総括し、今後の将来動向について言及する。

# 研 究 業 績

種 類 別	著者、 題名、 発表・発行掲載誌名、 発表・発行年月日、 頁等
学 術 誌 原著論文	<p>1. H.Kikukawa, S.Tomishima, T.Tsuji, T.Kawasaki, M.Ishikawa, T.Inokuchi, H.Kato, H.Tanizaki, W.Abe, A.Shibayama, Y.Fukushima, M.Niuro, M.Maruta, T.Uchikoba, M.Senoh, S.Sakamoto, <u>T.Ooishi</u>, H.Hidaka, and K.Takahashi, "0.13<math>\mu</math>m 32Mb/64Mb embedded DRAM Core with High Efficient Redundancy and Enhanced Testability," IEEE Journal of Solid-State Circuits, Vol.37, NO.7, July 2002, pp.932-940.</p> <p>2.S.Kumaki, H.Tanaka, Y.Ajioka, <u>T.Ooishi</u>, K.Ishihara, A.Hanano, T.Tsuji, T.Watanabe, C.Morishima, T.Yoshizawa, H.Sato, S.Hattori, A.Koshio, K.Tsukamoto, and T.Matsumura, "A 90-mm<sup>2</sup> 0.7-W Single-Chip MPEG-2 422@ML Video, Audio, and System Encoder With a 64-Mb Embedded DRAM for Portable 422@HL Encoder System," IEEE Journal of Solid-State Circuits, Vol.37, NO.3, March 2002, pp.450-454</p> <p>3. S.Tomishima, T.Tsuji, T.Kawasaki, M.Ishikawa, T.Inokuchi, H.Kato, H.Tanizaki, W.Abe, A.Shibayama, Y.Fukushima, M.Niuro, M.Maruta, T.Uchikoba, M.Senoh, S.Sakamoto, <u>T.Ooishi</u>, H.Kikukawa, H.Hidaka, and K.Takahashi, "A 1.0V 230MHz column access embedded DRAM for portable MPEG applications," IEEE Journal of Solid-State Circuits, Vol.36, NO.11, Nov. 2001, pp. 1728-1737.</p> <p>4. <u>T.Ooishi</u>, Y. Komiya, K. Hamade, M. Asakura, K. Yasuda, K. Furutani, T. Kato, H. Hidaka, and H. Ozaki, "A Mixed-Mode Voltage Down Converter with Impedance Adjustment Circuitry for Low-Voltage High-Frequency Memories," IEEE Journal of Solid-State Circuits, Vol.31, NO.4, April 1996, pp. 575-585.</p> <p>5. <u>T.Ooishi</u>, K. Hamade, H. Hidaka, K. Furutani, K. Yasuda, M.Asakura, Y. Komiya, and H. Ozaki, "An Automatic Temperature Compensation of Internal Sense Ground for Sub-Quarter Micron DRAMs," IEEE Journal of Solid-State Circuits, Vol.30, NO.4, April 1995, pp. 471-479.</p> <p>6. M.Asakura, <u>T.Ooishi</u>, M.Tsukude, S.Tomishima, H.Hideto, Y.Ohno, K.Arimoto, K.Fujishima, T.Nishimura, and T.Yoshihara, "An experimental 256-Mb DRAM with boosted sense-ground scheme," IEEE Journal of Solid-State Circuits, Vol.29, NO.11, Nov. 1994, pp. 1303-1309.</p> <p>7. <u>T.Ooishi</u>, M.Asakura, S.Tomishima, H.Hideto, K.Arimoto, and K.Fujishima, "A well-synchronized sensing/equalizing method for sub-1.0-V operating advanced DRAMs," IEEE Journal of Solid-State Circuits, Vol.29, NO.4, April 1994, pp. 432-440.</p> <p>8. <u>T.Ooishi</u>, M. Tsukude, K.Arimoto, Y. Matsuda, and K.Fujishima, "A Line-Mode Test with Data Register and ULSI Memory Architecture," IEICE Trans. Electron., Vol.E76-C, NO.11, Nov. 1993, pp. 1595-1603.</p> <p>9. <u>T.Ooishi</u>, M.Asakura, H.Hideto, K.Arimoto, and K.Fujishima, "A ST(Stretchable Memory Matrix) DRAM with Multi-Valued Addressing Scheme," IEICE Trans. Electron., Vol.E75-C, NO.11, Nov. 1992, pp. 1323-1332.</p> <p>10. M. Tsukude, <u>T.Ooishi</u>, K.Arimoto, H.Hideto, and K.Fujishima, "A New Array Architecture for 16Mb DRAMs with Special Page Mode," IEICE Trans. Electron, Vol.E75-C, NO.10, Oct. 1992, pp. 1267-1274.</p> <p>11. H. Hidaka, K. Arimoto, K. Hirayama, M. Hayashikoshi, M. Asakura, M. Tsukude, <u>T.Ooishi</u>, S. Kawai, K. Suma, Y. Konishi, K. Tanaka, W. Wakamiya, Y. Ohno, and K.Fujishima, "A 34-ns 16-Mb DRAM with Controllable Voltage Down-Converter," IEEE Journal of Solid-State Circuits, Vol.27, NO.7, July 1992, pp. 1020-1027.</p> <p>12. K. Arimoto, K. Fujishima, Y. Matsuda, M. Tsukude, <u>T.Ooishi</u>, W. Wakamiya, S. Sato, M. Yamada, and T. Nakano, "A 60-ns 3.3-V only 16-Mbit DRAM with Multi-purpose Register," IEEE Journal of Solid-State Circuits, Vol.24, NO.5, July 1989, pp. 1184-1190.</p>

<p>査読のある国際会議・シンポジウム論文</p>	<p>13. S.Ueno, T.Eimori, T.Kuroiwa, H.Furuta, J.Tsuchimoto, S.Maejima, S.Iida, H.Ohshita, S.Hirano, T.Watanabe, T.Yamaguchi, H.Kurusu, A.Yutani, N.Hashikawa, H.Maeda, K.Kawabata, Y.Okumura, T.Tsuji, J.Ohtani, T.Tanizaki, Y.Yamaguchi, <u>T.Ooishi</u>, H.Hidaka, T.Takenaga, S.Beysen, H.Kobayashi, T.Oomori, T.Koga and Y.Ohji, "A 0.13<math>\mu</math>m MRAM with 0.26x0.44<math>\mu</math>m<sup>2</sup> MTJ optimized on Universal MR-RA relation for 1.2V high speed operation beyond 143MHz," in Proc. IEDM. 2004.(unpublished)</p> <p>14. T.Tsuji, H.Tanizaki, M.Ishikawa, J.Ohtani, Y.Yamaguchi, S.Ueno, <u>T.Ooishi</u> and H.Hidaka, "A 1.2V 1Mbit Embedded MRAM Core with Folded Bit-Line Array Architecture," in Symp. VLSI Circuits Dig. Tech. Papers. 2004. pp.450-453.</p> <p>15. J.Ohtani, <u>T.Ooishi</u>, T.Kawagoe, M.Niuro, M.Maruta, and H.Hideto, "A Shared Built-In Self-Repair Analysis for Multiple Embedded Memories," in Proc. of the IEEE Custom Integ. Circuits Conf., 9.4, May 2002.</p> <p>16. H.Kikukawa, S.Tomishima, T.Tsuji, T.Kawasaki, M.Ishikawa, T.Inokuchi, H.Kato, H.Tanizaki, W.Abe, A.Shibayama, Y.Fukushima, M.Niuro, M.Maruta, T.Uchikoba, M.Senoh, S.Sakamoto, <u>T.Ooishi</u>, K.Takahashi, and H.Hidaka, "0.13<math>\mu</math>m 32M/64M embedded DRAM core with high efficient redundancy and enhanced testability ", in Proc. 27th European Solid-State Circuits Conference, Villach, Austria, Sept. 2001, pp. 296-299.</p> <p>17. S.Kumaki, H.Tanaka, Y.Ajioka, <u>T.Ooishi</u>, K.Ishihara, A.Hanami, T.Tsuji, Y.Kanehira, T.Watanabe, C.Morishima, T.Yoshizawa, H.Sato, S.Hattori, A.Koshio, K.Tsukamoto, and T.Matsumura, "A 99-mm<sup>2</sup>, 0.7W, single-chip MPEG-2 422P@ML video, audio, and system encoder with a 64-Mbit embedded DRAM for portable 422P@HL encoder system," in Proc. of the IEEE Custom Integ. Circuits Conf., 20.5.1-20.5.4, May 2001, pp.425-428.</p> <p>18. S.Tomishima, T.Tsuji, T.Kawasaki, M.Ishikawa, T.Inokuchi, H.Kato, H.Tanizaki, W.Abe, A.Shibayama, Y.Fukushima, M.Niuro, M.Maruta, T.Uchikoba, M.Senoh, S.Sakamoto, <u>T.Ooishi</u>, H.Kikukawa, H.Hidaka and K.Takahashi, "A 1.0V 230MHz column access embedded DRAM for portable MPEG applications," ISSCC Dig. Tech. Papers, Feb. 2001, pp. 384-385.</p> <p>19. T.Kawagoe, J.Ohtani, M.Niuro, <u>T.Ooishi</u>, M.Hamada, and H.Hidaka, "A Built-In Self-Repair Analyzer for Embedded DRAMs," ITC Dig. of Tech. Papers, Oct. 2000, pp. 567-574.</p> <p>20. <u>T.Ooishi</u>, M.Asakura, S.Tomishima, H.Hideto, K.Arimoto, and K.Fujishima, "A Mixed-Mode Voltage Down Converter with Impedance Adjustment Circuitry for Low-Voltage High-Frequency Memories," Symp. on VLSI Circ. Dig. Tech. Papers, May 1995, pp. 81-82.</p> <p>21. <u>T.Ooishi</u>, M.Asakura, S.Tomishima, H.Hideto, K.Arimoto, and K.Fujishima, "An Automatic Temperature Compensation of Internal Sense Ground for Sub-Quarter Micron DRAMs," Symp. on VLSI Circuits, Dig. Tech. Papers, May 1994, pp. 77-78.</p> <p>22. M.Asakura, <u>T.Ooishi</u>, M.Tsukude, S.Tomishima, H.Hideto, K.Arimoto, K.Fujishima, T.Eimori, Y.Ohno, T.Nishimura, M.Yasunaga, T.Kondoh, S.Satoh, T.Yoshihara, and K.Demizu "A 34ns 256Mb DRAM with boosted sense-ground scheme," ISSCC Dig. Tech. Papers, Feb. 1994, pp. 140-141.</p> <p>23. M.Asakura, <u>T.Ooishi</u>, S.Tomishima, H.Hidaka, K.Arimoto, and K.Fujishima, "A hierarchical bit-line architecture with flexible redundancy and block compare test for 256Mb DRAM," Symp. on VLSI Circuits, Dig. Tech. Papers, May 1993, pp. 93-94.</p> <p>24. <u>T.Ooishi</u>, M.Asakura, S.Tomishima, H.Hideto, K.Arimoto, and K.Fujishima, "A well-synchronized sensing/equalizing method for sub-1.0-V operating advanced DRAMs," Symp. on VLSI Circuits, Dig. Tech. Papers, May 1993, pp. 81-82.</p> <p>25. <u>T.Ooishi</u>, M.Asakura, H.Hideto, K.Arimoto, and K.Fujishima, "A High Speed Memory System Based on 16Mb ST(Stretchable Memory Matrix)DRAMs," in Proc. of the IEEE Custom Integ. Circuits Conf., 10.7.1-20.7.4, May 1991.</p> <p>26. K.Arimoto, Y.Matsuda, K.Furutani, M.Tsukude, <u>T.Ooishi</u>, K.Mashiko, and K.Fujishima, "A</p>
---------------------------	---

	<p>Speed Enhancement DRAM Array Architecture with Embedded ECC,” Symp. on VLSI Circuits, Dig. of Tech. Papers, May 1989, pp. 111-112.</p> <p>27. Y.Matsuda, K.Arimoto, M.Tsukude, <u>T.Ooishi</u>, and K.Fujishima, “A New Array Architecture for Parallel Testing in VLSI Memories,” ITC Dig. of Tech. Papers, Sep. 1989, pp. 322-326.</p> <p>28. K.Arimoto, K.Fujishima, Y.Matsuda, M.Tsukude, <u>T.Ooishi</u>, W.Wakamiya, S.Sato, M.Yamada, T.Yoshihara, and T.Nakano, “A 60ns 3.3V 16Mb DRAM,” ISSCC Dig. Tech. Papers, Feb. 1989, pp. 244-245.</p>
講演	<p>29. 米田憲司、吉原務、<u>大石司</u>、「MRAM に適したセルフリファレンス型センスアンプの検討」電気関係学会九州支部連合大会 05-2P-03, 2004 年 9 月</p> <p>30. 辻高晴、菊川博仁、富嶋茂樹、川崎利昭、坂元正二、福島義文、谷崎弘晃、石川正敏、安部渉、加藤宏、内木場俊貴、井口敏祐、瀬能学、新納充貴、丸田昌直、<u>大石 司</u>、柴山晃徳、日高秀人、高橋和也、「高効率冗長方式システム L S I 向けテスト容易化機能搭載の 0.13<math>\mu</math>m32M/64M ビット混載 DRAM コア」信学技報 ICD2002-2, pp.16-23 7-12, 2002 年 4 月</p> <p>31. 花見 充雄、高田 英裕、熊木 哲、石原 和哉、渡邊 哲也、森嶋 哉圭、吉澤知晃、<u>大石 司</u>、辻高晴、味岡 佳英、塚本和宏、服部伸一、佐藤英徳、小塩 淳、松村哲哉、「携帯型 422P@HL エンコーダシステム対応 64Mbit-DRAM 内臓 1 チップ MPEG-2 422P@ML エンコーダ LSI の開発」信学技報 ICD2001-30, pp.16-19, 2001 年 4 月</p> <p>32. 川崎利昭、富嶋茂樹、辻高晴、安部渉、石川正敏、井口敏祐、加藤宏、谷崎弘晃、柴山晃徳、菊川博仁、<u>大石 司</u>、高橋和也、日高秀人、「携帯機器用画像処理システム LSI 向け小面積、低消費電力混載 DRAM マクロ」信学技報 ICD2001-6, pp.35-41, 2001 年 5 月</p> <p>33. <u>大石 司</u>、朝倉幹雄、日高秀人、有本和民、藤島一康、「インピーダンス調整回路を用いた複合型電源電圧降下回路」信学技報 ICD96-33, pp. 37-45, 1996 年 5 月</p> <p>34. 富嶋茂樹、<u>大石司</u>、有本和民、藤島一康、「低電圧動作に適したセンスアンプ回路の提案」春季信学全大 C-633, 1993 年 3 月</p> <p>35. <u>大石 司</u>、朝倉幹雄、日高秀人、有本和民、藤島一康「多値アドレスを用いた ST-DRAM の検討」信学技報 ICD9 1-127, pp. 9-16, 1991 年 11 月</p> <p>36. <u>大石 司</u>、朝倉幹雄、日高秀人、有本和民、藤島一康、「多値アドレス DRAM の検討」秋季 電通全大 C-436, 1991 年 9 月</p> <p>37. <u>大石 司</u>、有本和民、松田吉雄、藤島一康、「ビット反転レジスタを用いたアレイ埋め込み型 ECC 内臓 DRAM」信学技報 SDM90-33, ICD90-41, pp. 21-28, 1990 年 5 月</p> <p>38. <u>大石 司</u>、松田吉雄、有本和民、築出正樹、藤島一康、「大容量 DRAM の並列試験技術-ラインモードテスト機能-」信学技報 ICD89-166, pp. 21-28, 1989 年 12 月</p> <p>39. <u>大石司</u>、松田吉男、有本和民、築出正樹、藤島一康、「超大容量メモリに適した並列試験技術(II)」秋季電通全大 C-155, 1989 年 9 月</p> <p>40. <u>大石司</u>、松田吉男、有本和民、築出正樹、藤島一康、「超大容量メモリに適した並列試験技術」電通全大 C-375, 1989 年 3 月</p> <p>他</p>
その他 (論文)	<p>41. 菊川博仁、柴山晃徳、高橋和也、富嶋茂樹、<u>大石司</u>、日高秀人、「携帯機器用画像処理システム LSI に最適な小面積・低消費電力 0.13<math>\mu</math>m 混載 DRAM コア」2001 松下電器の新技术, pp.51-55, 2002 年 5 月</p>
(特許)	<p>42. 米国特許[USP] 221 件 [ 4977542 / 5022007 / 5060230 / 5088063 / 5184327 / 5185744 / 5249155 / 5267214 / 5289417 / 5315548 / 5355348 / 5412605 / 5477498 / 5504713 / 5517459 / 5537361 / 5644250 / 5656853 / 5687123 他 ]</p> <p>43. 日本特許 登録及び広報 20 件 [ 特許 2518401 半導体記憶装置、特許 2547633 半導体記憶装置、特許 2626916 半導体記憶装置、特許 2655150 半導体記憶装置、特許 2717712 半導体記憶装置、特許 2717738 半導体記憶装置、特許 2742719 半導体記憶装置、特許 2779538 半導体集積回路メモリのためのテスト信号発生器およびテスト方法 他 ]</p> <p>他日本特許公開中 129 件</p>