

2016年度 修士論文

低電力高速な
ソフトエラー耐性を持つ
ラッチ回路設計に関する研究

指導教員 柳澤 政生 教授

戸川 望 教授

早稲田大学 基幹理工学研究科
情報理工・情報通信専攻

5115F042-8

田島 咲季

Saki Tajima

2017年1月30日

目次

第1章 序論	3
1.1 本論文の背景と目的	4
1.2 本論文の概要	6
第2章 ソフトエラー	7
2.1 本章の概要	8
2.2 信頼性低下問題	9
2.3 ソフトエラーの発生原理	10
2.4 ソフトエラーの種類 (SEU と SET)	12
2.5 本章のまとめ	14
第3章 既存のソフトエラー対策設計	15
3.1 本章の概要	16
3.2 既存耐 SEU ラッチ	17
3.2.1 DICE ラッチ	17
3.2.2 SEH ラッチ	17
3.2.3 既存耐 SEU ラッチの評価	19
3.3 既存耐 SEU+SET ラッチ	22
3.3.1 TFH ラッチ	22
3.3.2 FERST ラッチ	23
3.3.3 HiPeR ラッチ	25
3.3.4 既存耐 SEU+SET ラッチの評価	25
3.4 本章のまとめ	28

第4章 提案耐ソフトエラーラッチ	29
4.1 本章の概要	30
4.2 提案耐 SEU ラッチ	31
4.2.1 New-SEH ラッチ	31
4.2.2 Fast-SEH ラッチ	33
4.2.3 改良 Fast-SEH ラッチ	34
4.2.4 提案耐 SEU ラッチの評価	36
4.3 提案耐 SEU+SET ラッチ	44
4.3.1 SHC ラッチ	44
4.3.2 改良 SHC ラッチ	44
4.3.3 提案耐 SEU+SET ラッチの評価	45
4.4 考察	52
4.5 本章のまとめ	56
第5章 結論	57
謝辞	60
参考文献	61
研究業績	64

第1章

序論

1.1 本論文の背景と目的

近年の微細化・低電力化技術の発展に伴い、スマートフォンやタブレット端末、ノートパソコン等の携帯電子端末が我々の生活に浸透した。低電力化には電圧を下げるのが有効な手法である。しかし、微細化による回路のキャパシタンスの低下、低電圧化によって回路の信頼性の低下が懸念されている。信頼性を低下させる原因として、ソフトエラー、ばらつき、経年劣化が挙げられる。その中でも図 1.1 より、放射線起因のソフトエラーは微細化・低電力化に伴い、発生率が上昇している。今後も微細化が進むことで、このソフトエラー問題は深刻になると考えられる。ソフトエラーは、臨界電荷量の少ない SRAM(Static Random Access Memory) や DRAM(Dynamic Random Access Memory) 等のメモリ回路で問題とされていた。一方、論理回路は前者に比べると、臨界電荷量が多い論理回路では問題とされていなかった。しかし、微細化が進むことで、論理回路の臨界電荷量も放射線の影響を無視できないほど、小さくなっている。つまり、ソフトエラーが微細化・低電力化の妨げになっているといえる。

今日まで、様々なソフトエラー耐性技術の研究がなされてきた。多くの手法が提案されているものの 1 つとして誤り訂正符号：ECC(Error Correction Code) を使用したものが挙げられる。これは ECC は 3 つのパートであるエンコード、チャネル、デコーダで成り立ち、ソフトエラーの検出および訂正を行うことができる。ECC を利用したものとして SEC(Single-error Correcting code)[22], DEC(Double-error Correcting code)[5], Hamming code[18], Convolutional code[16] が挙げられる。その他にも多重化回路を使用した TMR(Triple Modular Redundancy), Intel 社の開発した DICE(Dual Interlocked storage CELL) ラッチ、ソフトエラーの発生原理を使用して高いソフトエラー耐性を達成する SEH(Soft Error Hardened) ラッチが挙げられる。TMR は多重化回路の 1 つであり、三重化回路は同じ回路を 3 つ重ね、多数決回路に接続した構造である。重ねた回路の 3 つの出力に対して多数決制をとり、正しい出力を得ることができる。ソフトエラーが出力に伝搬することはないが、同じ回路を 3 つ重ねた分の大きな面積オーバーヘッドと電力オーバーヘッドが生じる。DICE ラッチは広く研究が進められており、DICE 自体はセルのため、SRAM に使用できる等、汎用性が高いが、ソフトエラー耐性が低いといっ

た問題が挙げられる。また、SEH ラッチはソフトエラーの発生性質を使用し、高い耐性を達成している。しかし、回復機構を付加しているため、面積や電力が大きといった問題をもつ。つまり、ソフトエラー耐性を実現するものは数多くあるが、どれも耐性・電力・遅延に大きな問題をもつ。これらの技術は近年のトレンドである小型化・低電力化には適さない。よって、ソフトエラー耐性をもち、かつ小型・低電力を両立した技術が求められているといえる。

本論文では、ソフトエラーの概要について述べ、課題の対処法である既存耐ソフトエラー回路について説明する。回路の基本構成要素であるラッチ回路を改良することで回路全体の改善に繋がると考え、本研究ではラッチ回路を扱う。既存耐ソフトエラーラッチ回路に対してトランジスタレベル・シミュレーションを行い、電力や遅延の評価・評価を行う。次に SEU を考慮する既存の耐ソフトエラーラッチである SEH ラッチの低電力化を目指した回路を提案、実装、既存回路との比較を行う。そして、SEU だけでなく SET を考慮し、低電力化を目指した耐ソフトエラーラッチを提案、実装、既存回路との比較を行い、最後に研究における課題を示すことを本論文の目的とする。

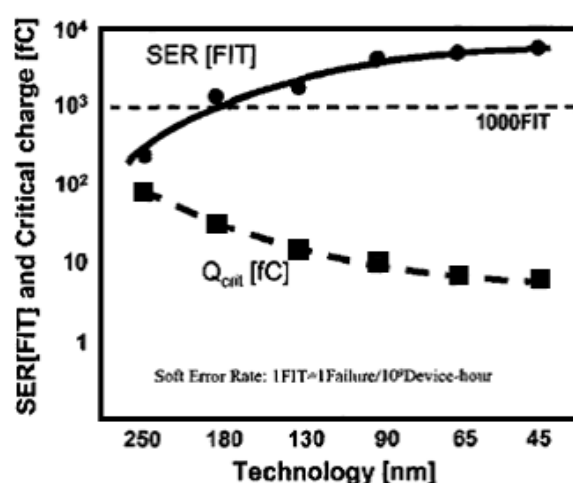


図 1.1: テクノロジーサイズに対するソフトエラーの発生率 [13].

1.2 本論文の概要

本論文は全5章で構成される。以下に各章の内容について述べる。

第2章「ソフトエラー」では、近年CMOS(Complementary MOS)回路の信頼性を脅かす問題と、その1つであるソフトエラーの発生原理と回路への影響、そして2種類のソフトエラーであるSEU(Single Event Upset)とSET(Single Event Transient)について述べる。

第3章「既存のソフトエラー対策技術」では、既存のソフトエラー耐性ラッチ回路について述べる。本章では、SEUを考慮する技術として、広く研究の行われているDICEラッチ、ソフトエラーの発生原因を利用して高いソフトエラー耐性をもつSEHラッチについて述べる。さらに、SEUだけでなくSETをも考慮したTFHSラッチ、FERSTラッチ、HiPeRラッチの概要について述べる。さらに、これらの消費電力と動作速度の考察を行う。

第4章「提案耐ソフトエラーラッチ」では、SEU耐性をもち、電力、面積の改善を目指したNew-SEHラッチ、高速化を目指したFast-SEHラッチと改良Fast-SEHラッチを提案する。さらに、SEUだけでなくSET耐性ももち、電力、遅延の改善を目指したSHCラッチ、改良SHCラッチを提案する。消費電力や動作速度の測定を行う。さらに、各ラッチの比較を行う。

第5章結論では、本論文を総括し、今後の研究課題ならびに指針を述べる。

第2章

ソフトウェア

2.1 本章の概要

本章では，近年の CMOS 回路の信頼性を脅かす諸問題について述べ，さらにその中の1つであるソフトエラーの概要について述べる．

2.2 節「信頼性低下問題」では，微細化・低電力化の弊害として，様々な信頼性を低下させている問題について述べる．

2.3 節「ソフトエラー発生原理」では，諸問題の1つであるソフトエラーの発生原理や様子について述べる．

2.4 節ソフトエラーの種類 (SEU と SET) では，二種類に分類されるソフトエラーである，SEU と SET の概要について述べる．

2.2 信頼性低下問題

近年の情報化社会の加速に伴い、世の中では莫大な情報量が処理されることとなった。また、この社会の背景として、スマートフォンやタブレット端末等の様々な携帯電子端末が普及が大きく影響しているといえる。そして、携帯電子端末に対して、更なる情報処理の高速化や電子端末の小型化や低電力化が求められるようになった。しかし、CMOS回路技術の発展に伴い、ばらつきやソフトエラーといった様々な弊害も起きている。微細化が進むことで、集積回路設計・製造が困難となり、チップ間ばらつきが多発してしまう。ばらつきに対しては、回路機構を変更すること等の対処がとられている。そして、放射線起因のソフトエラーも微細化に伴って大きな問題となっている。従来は臨界電荷量の少ないSRAMやDRAMでソフトエラーの影響が問題視されており、様々な対策がとられていた。しかし、微細化と共に回路のキャパシタ成分・臨界電荷量が低下すると共にソフトエラーが発生しやすくなってしまった。特に、放射線の影響を大きくうける航空機分野・医療分野では、ソフトエラーによる障害が最悪の場合命の危険に繋がる恐れがあるため、今までは影響の無視できた論理回路においても、ソフトエラー対策が急務といえる。電子端末の普及に貢献してきた微細化・低電力化は、集積回路設計を困難にするだけでなく、信頼性低下問題を加速させる原因となっている。つまり、微細化・低電力化技術の発展の妨げになっているといえるソフトエラーやばらつきへの対策が必須といえる [19]。

2.3 ソフトエラーの発生原理

信頼性低下問題の1つであるソフトエラーは、放射線起因の一時エラーである。CMOS回路上で発生するエラーには、ハードエラーとソフトエラーの2種類が存在する。ハードエラーとは、物理的破損等によるエラーであり、一度発生した場合、回路を取り替える等の対策をしない限り、エラーから回復することはできない。

一方、ソフトエラーとは宇宙線起因のソフトエラーである。宇宙から地上へ電子、陽子、中性子、 α 粒子といった様々な粒子が降っている。その中でも中性子は粒子の半径が非常に小さいため、建物をすり抜け、回路をすり抜け、最悪の場合ソフトエラーを発生させてしまう。地上におけるソフトエラーの主要因は高エネルギー中性子と言われているが、微細化に伴い α 粒子起因や熱中性子起因のソフトエラーの割合が増加している。従って、全ての粒子に対する対策が必要といえる。

ソフトエラーの発生する様子を図2.1に示す。粒子が回路に衝突した場合、自身のエネルギーを失う代わりに電子正孔対が生成される。過剰なキャリアはトランジスタのP/N拡散層端子に集まる。ここで発生した電子 $Q_{collected}$ はNMOSトランジスタへ、正孔はPMOSトランジスタへそれぞれ収集される。収集された電荷が回路の臨界電荷量 Q_{crit} を上回った場合にデータが反転する。つまり、NMOSトランジスタでは1から0へ、PMOSトランジスタでは0から1へのデータの反転が行われる。ソフトエラーは一度発生すると一時的にメモリの値が0から1、または1から0へと反転し、回路に誤作動を起こしてしまう。しかし、回路自体が破壊されるわけではなく、一時的に値が反転するだけのエラーのため、回路機構の工夫等により回復することができる。

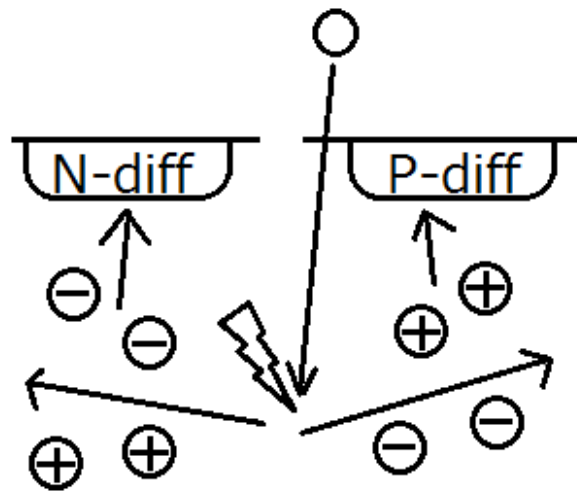


図 2.1: ソフトエラーの発生のようにす.

2.4 ソフトエラーの種類 (SEU と SET)

ソフトエラーはメモリ素子の保持データを直接反転させる SEU と、組合せ回路に粒子が衝突しパルスが発生させる SET の2つに分類することができる。SEU 発生の様子を図 2.2 に示す。SEU は放射線がラッチ等のメモリ素子自体に衝突し、保持データを反転させてしまうエラーである [3]。次に、SEU 発生の様子を図 2.2 に示す。SET は放射線がインバータや NOR 等の組み合わせ回路に衝突して発生するものである。オフ状態のトランジスタに放射線が衝突すると、一時的にノイズ電流が流れる。このノイズ電流が流れる一瞬の間だけ、ノードの電圧が下がることとなり、ノイズパルス発生する。発生した SET パルスは回路を伝搬し、ラッチ等のメモリ素子に到達する。メモリ素子が SET パルスを取り込むと、データの書き換えが行われてしまう。SET はクロック周波数が高い程エラーになりやすい。

SEU に対しては、SEU を起こしにくい耐放射線回路が多く提案されている。また、SET に対しては、SET パルスを発生させない回路技術、ローパスフィルタや二重系を用いてメモリ素子のデータを書き換えないようにする技術が提案されている [10]。

従来、ソフトエラーは回路のキャパシタ成分の小さい SRAM や DRAM において懸念されており、多くの対策が考えられてきた。しかし、ノードの容量・電圧に依存する臨界電荷量 Q_{crit} は微細化技術や低電圧化技術の進歩に伴い、低下し続けているため、ソフトエラーが発生しやすくなっている。論理回路においてもソフトエラーは、技術発展への懸念材料の1つとなった。

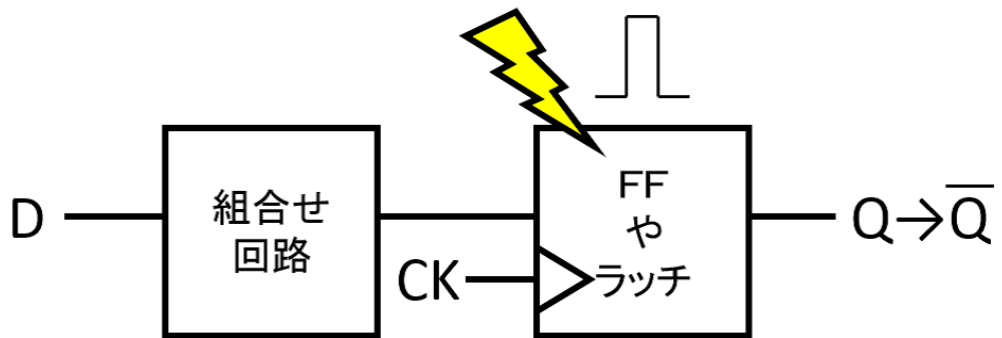


図 2.2: SEU 発生の様子.

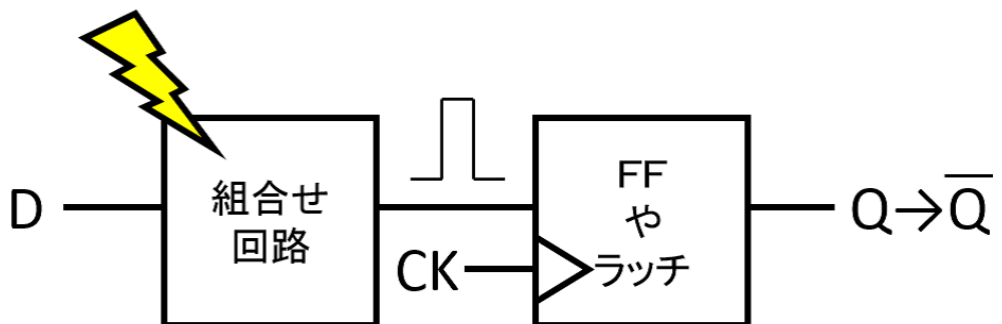


図 2.3: SET 発生の様子.

2.5 本章のまとめ

本章では，信頼性を低下させる問題とその中の1つであるソフトエラーの概要，課題について述べた．2.2節「信頼性低下問題」では，近年の微細化や低電力化技術の発展に伴って発生する信頼性低下問題の概要について述べた．信頼性を脅かす問題が，技術の発展の妨げになっていることが分かった．2.3節「ソフトエラーの発生原理」では，信頼性低下問題の1つであるソフトエラーの発生原理，現在抱える問題について述べた．2.4節ソフトエラーの種類 (SEU と SET) では，メモリ素子で発生する SEU と組合せ回路で発生する SET の概要とその問題について述べた．従来，論理回路において，ソフトエラーはさほど重要視されていなかったが，微細化に伴い発生率が増加し，無視できない問題になっていることが分かった．

第3章

既存のソフトウェア対策設計

3.1 本章の概要

本章では、信頼性低下問題の1つであるソフトエラーに対しての既存研究を紹介し、シミュレーションを用いて評価し、検討及び考察する。3.2節既存耐SEUラッチでは、広く研究がなされている耐ソフトエラーラッチであるDICEラッチ、及びソフトエラーの発生原因を利用した耐ソフトエラーラッチであるSEHラッチの構造や動作、特性について説明する。さらに、virtuosoを用いて実装し、トランジスタレベルシミュレーションを用いて各ラッチの評価・考察を行う。3.3節既存耐SEU+SETラッチでは、SEUだけでなくSETを考慮したTFHラッチ、HiPeRラッチ及びFERSTラッチの構造や動作、特性について説明する。さらに、virtuosoを用いて実装し、トランジスタレベルシミュレーションを用いて各ラッチの評価・考察を行う。

3.2 既存耐SEUラッチ

本節では、フリップフロップやラッチ回路自体に放射線が当たることでデータの反転が行われてしまうSEUを考慮した既存研究について述べる。既存研究は多く存在するが、本論文では、インテル社が多く研究を行っているDICEラッチ[2]、ソフトエラーの発生原因を利用することで高いソフトエラー耐性を保持しているSEHラッチ[13]について述べる。

3.2.1 DICE ラッチ

DICEはIntel社で多く研究のなされている手法である。DICEラッチの回路図を図3.1に示す。DICEはいずれか1つのノードでソフトエラーの影響を受けて値が反転した場合、両隣のノードの値を参照することで回復する回路である。DICEはセルであり、SRAM等に応用がきくといった利点をもつ。しかし、耐性が弱いこと、通常ラッチと比較するとトランジスタ数が多いため、電力・面積オーバーヘッドが非常に大きいといった問題を抱えている[20]。

3.2.2 SEH ラッチ

SEHラッチはソフトエラーの発生原因を利用し、高いソフトエラー耐性を維持するラッチである。回路図を図3.2に示す。このラッチはソフトエラーの発生原因を利用し、高いソフトエラー耐性を達成したラッチ回路である。SEHラッチのトランジスタ数は16コであり、1データを伝搬するための素子としては非常に多い数である。SEHラッチはラッチ部とエラー回復部の2つで構成されている。エラー回復部はデータを保持するノードDH, PDH, NDHで構成されている。DHはPDHとNDHとは逆の値を保持する。PDHとNDHはそれぞれPMOSトランジスタ、NMOSトランジスタで構成されている。粒子衝突によって発生した電子正孔対はそれぞれN拡散領域とP拡散領域へと収集される。よって、PMOSトランジスタとNMOSトランジスタ上で発生したソフトエラーは、それぞれ一方向にしか値を反転しない。つまり、ソフトエラーの発生を制限することができるため、高いソフトエラー耐性をもつ[13]。

SEHラッチの動作を以下に示す。入力Dに0が入力されると、PDHとNDHには0が、DHには C^2MOS ラッチを通して1が入力される。ソフトエラーの発生

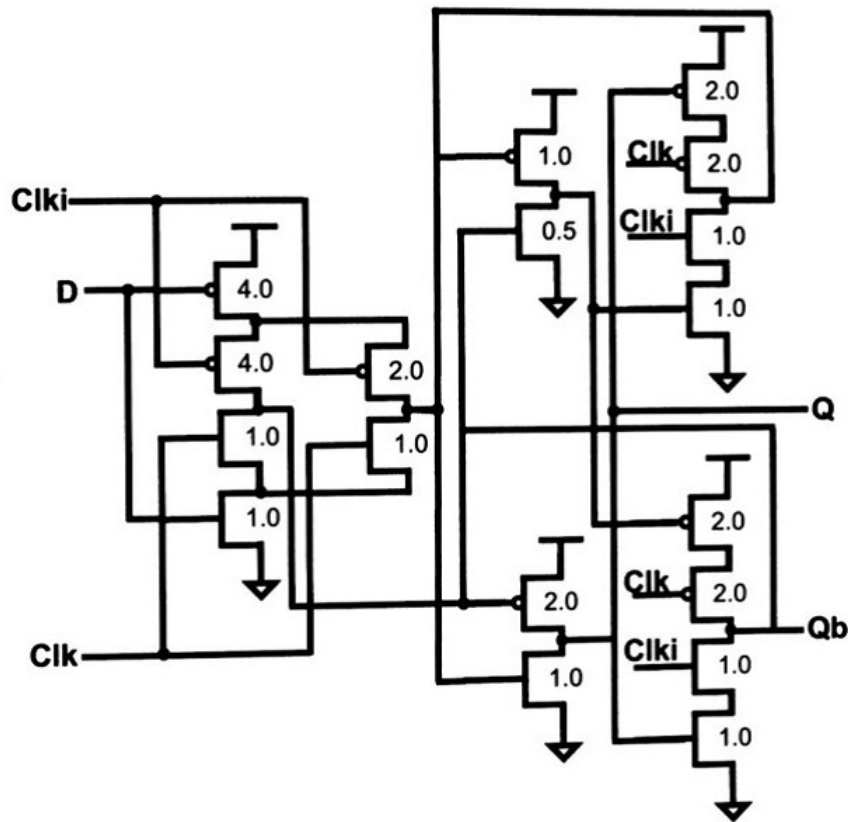


図 3.1: DICE ラッチ [20].

しない時 (以下, 通常動作時), DH の入力はそのまインバータを通して, 出力 Q へと 0 が通る. 次に, ソフトエラーが発生した場合の動作について述べる. DH でエラーが発生した場合, 一度入力が 1 から 0 へと反転する. このとき, 一時的にソフトエラーの影響を受け, 出力 Q の値が反転する. しかし, P4 はオンを保つため, 1 が再び入力され, 正しい値である 1 へと回復できる. DH でエラーが発生した場合, 一時的に出力はソフトエラーの影響を受けるが, すぐに回復することができる. 入力が 0 の場合, ソフトエラーは PDH を 0 から 1 へと反転させる可能性をもつ. NDH は 1 から 0 への反転のみしか発生しないため, 0 を保持している時, ソフトエラーは発生しない. PDH がソフトエラーの影響を受け, 0 から 1 へと反転した場合, P4 がオフとなる. この場合, 他のノードは影響を受けず, 出力 Q は以前の正しい値を保持し続ける. PDH は次の入力が行われるまで, エラーか

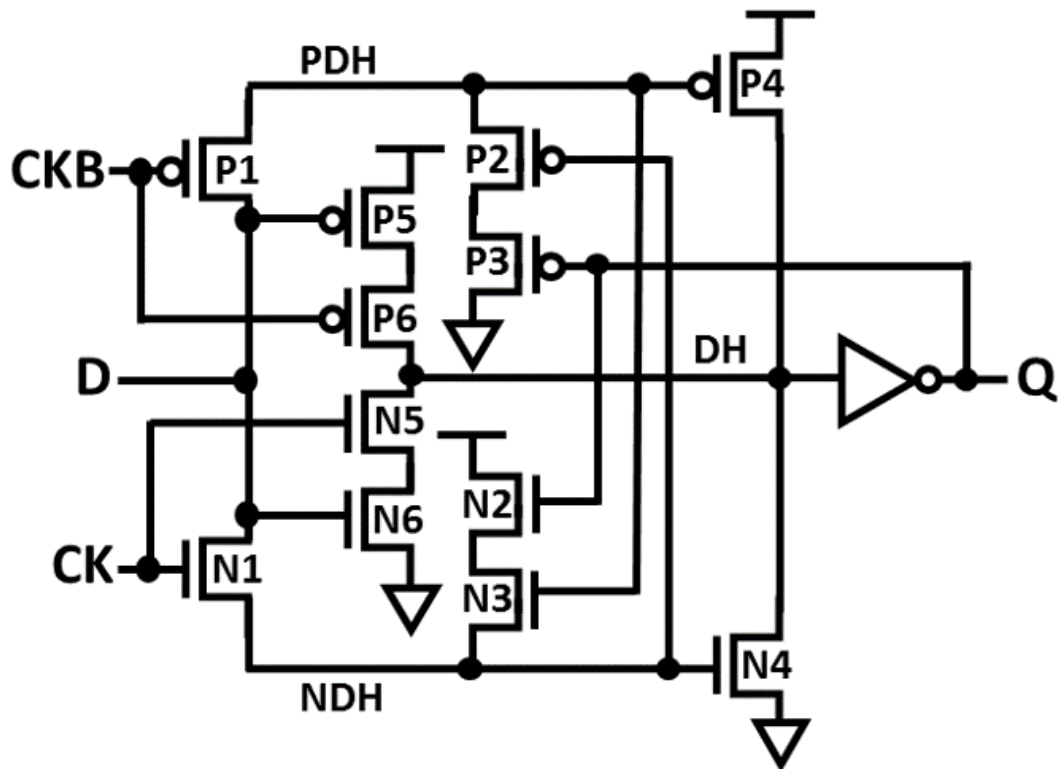


図 3.2: SEH ラッチの回路図 [13].

ら回復することはできないが、出力 Q を含めた他のノードは正しい値を維持し続けることができる。

3.2.3 既存耐 SEU ラッチの評価

既存の耐ソフトエラーラッチのトランジスタレベル・シミュレーションを行う。シミュレーション環境は表 3.1 の通りである。また、ソフトエラー耐性をもたないラッチである C^2MOS ラッチ (図 3.3) を比較対象としてシミュレーションを行う。

SEU を考慮した既存の DICE ラッチ, SEH ラッチに対して、ソフトエラーを起こさない状態 (通常動作) でトランジスタ・シミュレーションを行った。シミュレーションで得られた、通常動作時の電力, CK-Q 遅延, D-Q 遅延結果を表 3.2 に示す。

表 3.2 より、DICE ラッチの電力が一番大きい結果となった。DICE ラッチは他のラッチと比較し、トランジスタ数が 20 コと非常に多いことが原因と考えられる。また、クロック駆動のトランジスタが他のラッチと比較すると非常に多いことも

表 3.1: 動作環境.

ライブラリ	Rohm180nm
ツール	Virtuoso
電源電圧	1.8[V]
温度	25[°C]
クロック周期	8[ns]

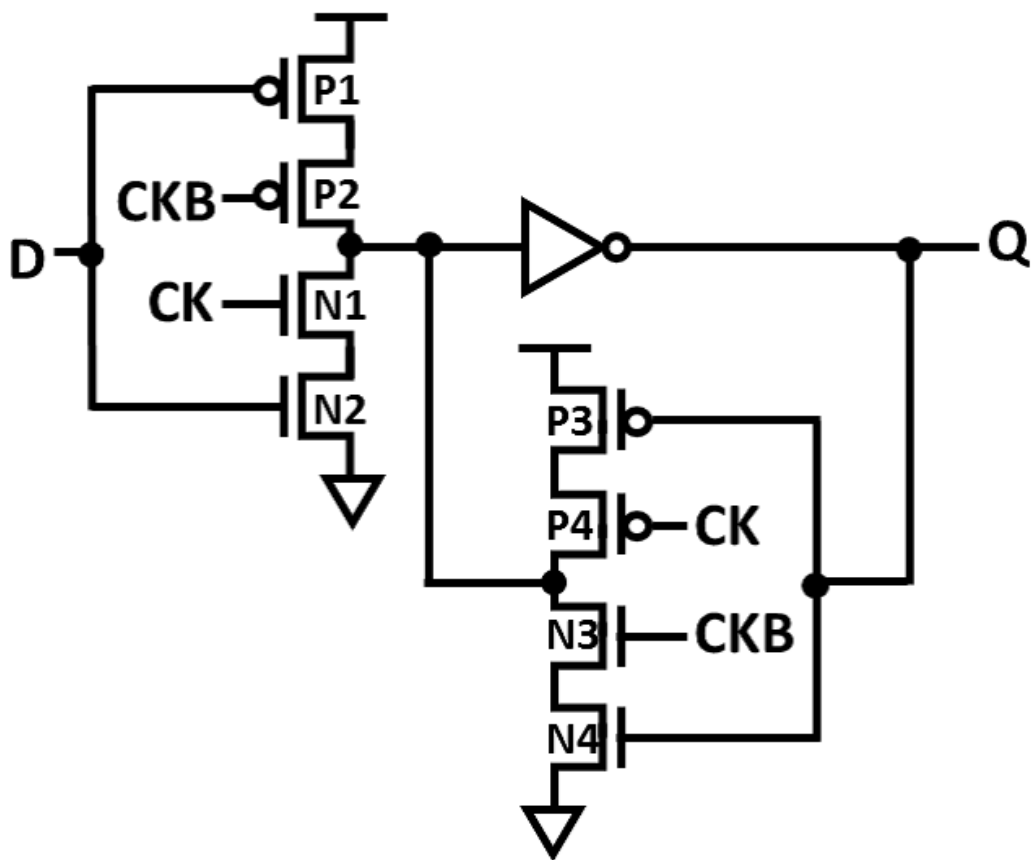


図 3.3: C^2MOS ラッチ.

原因の1つといえる．そして，遅延に関しても DICE ラッチが一番大きいことがわかった．SEH ラッチは真ん中の C^2MOS ラッチを通してそのまま出力を行うため，入力から出力までのパスが短い．一方，DICE ラッチは最短パスが SEH ラッチよりも長く，入力が出力に至るまで多くのトランジスタを通過する必要がある．

表 3.2: 各ラッチの電力・遅延測定結果.

	トランジスタ数 [コ]	Power[μ W]	CK-Q[ps]	D-Q(rise)[ps]	D-Q(fall)[ps]
C^2MOS	12	4.75	157.53	118.01	164.62
DICE	20	11.07	172.61	238.02	127.04
SEH	16	5.04	151.46	75.95	151.49

そのため、遅延オーバーヘッドが非常に大きい．耐性のない C^2MOS ラッチと比較して、両者とも電力・遅延オーバーヘッドが大きいことがわかる．以上より、ソフトエラー耐性をもちつつ、近年のトレンドである低電力化・高速化を達成する回路の研究が急務である．

3.3 既存耐SEU+SETラッチ

前節では、SEUのみを考慮した既存ラッチについて述べた。本節ではSEUだけでなく、SETも考慮した耐ソフトエラーラッチを紹介する。本節で取り扱う各ラッチはC-element という素子を使用している。C-element とは図3.4に示す回路である。2つの入力が等しい場合に行うものであり、もし片方の入力がエラー等により反転してしまった場合、出力の更新は行われず、以前の値を保持し続ける。

3.3.1 TFH ラッチ

TFH(Transient Fault Hardened) ラッチ [14] の回路図を図3.5に示す。非常に簡単な構造であり、C-element と伝送ゲートのみで成り立つ。通常動作時は、伝送ゲートから直接出力に inputs が伝わる。ND1 がソフトエラーの影響を受けた場合、C-element の出力の更新が停止するのみで、出力に影響はない。出力は以前の値を保持し続ける。ND2 がソフトエラーの影響を受けた場合も同様である。しかし、このラッチは Q(ND3) がソフトエラーの影響を受けた場合、C-element の入力にもエラーの影響を与えてしまうため、次のクロックが入力されるまでエラーから

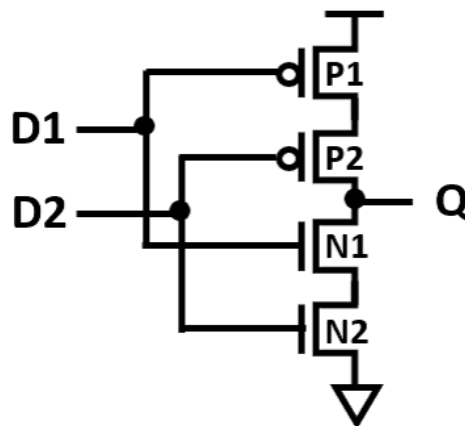


図 3.4: C-element の回路図.

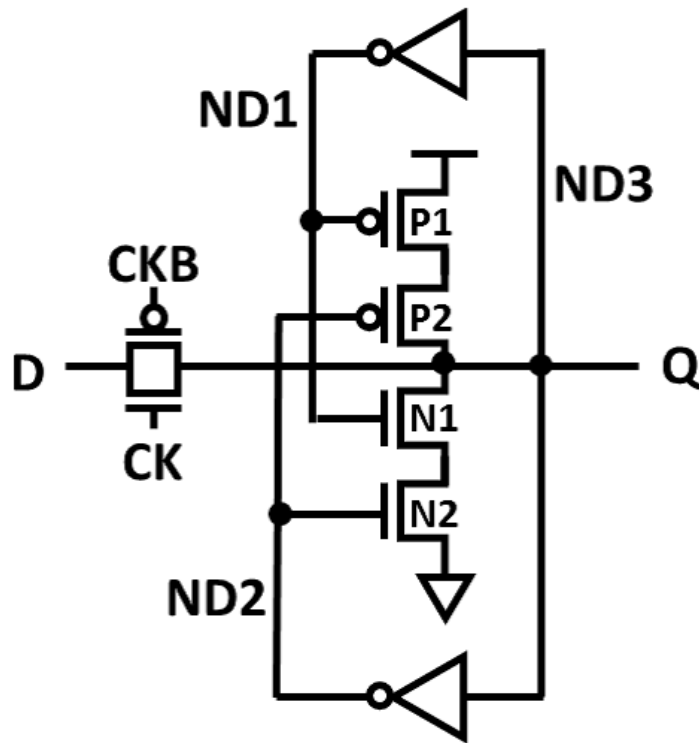


図 3.5: TFH ラッチ [14].

回復できないといった大きな欠点をもつ。

3.3.2 FERST ラッチ

FERST ラッチ [6] の回路図を図 3.6 に示す。FERST ラッチは3つの C-element と4つの伝送ゲートで成り立つ。通常動作時は伝送ゲートを通った入力そのまま前段 C-element にそれぞれ入力され、前段 C-element の出力が後段 C-element に入力され、正しい値が出力される。1つのノードでエラーが発生した場合、フィードバックパスや C-element の値を参照することで回復する。ND1 がソフトエラーの影響を受けた場合、前段の C-element の2つの入力は異なる値となるため、出力の更新が停止するそのため、エラーは出力に影響しない。しかし、後段 C-element からのフィードバックパスによって正しい値へと回復する。ND2 がソフトエラーの影響を受けた場合も ND1 と同様である。また、ND3 がソフトエラーの影響を受けた場合は後段 C-element は出力の更新を停止させ、前段 C-element の出力によって正しい値へと回復する。出力 Q でエラーが発生した場合、後段 C-element

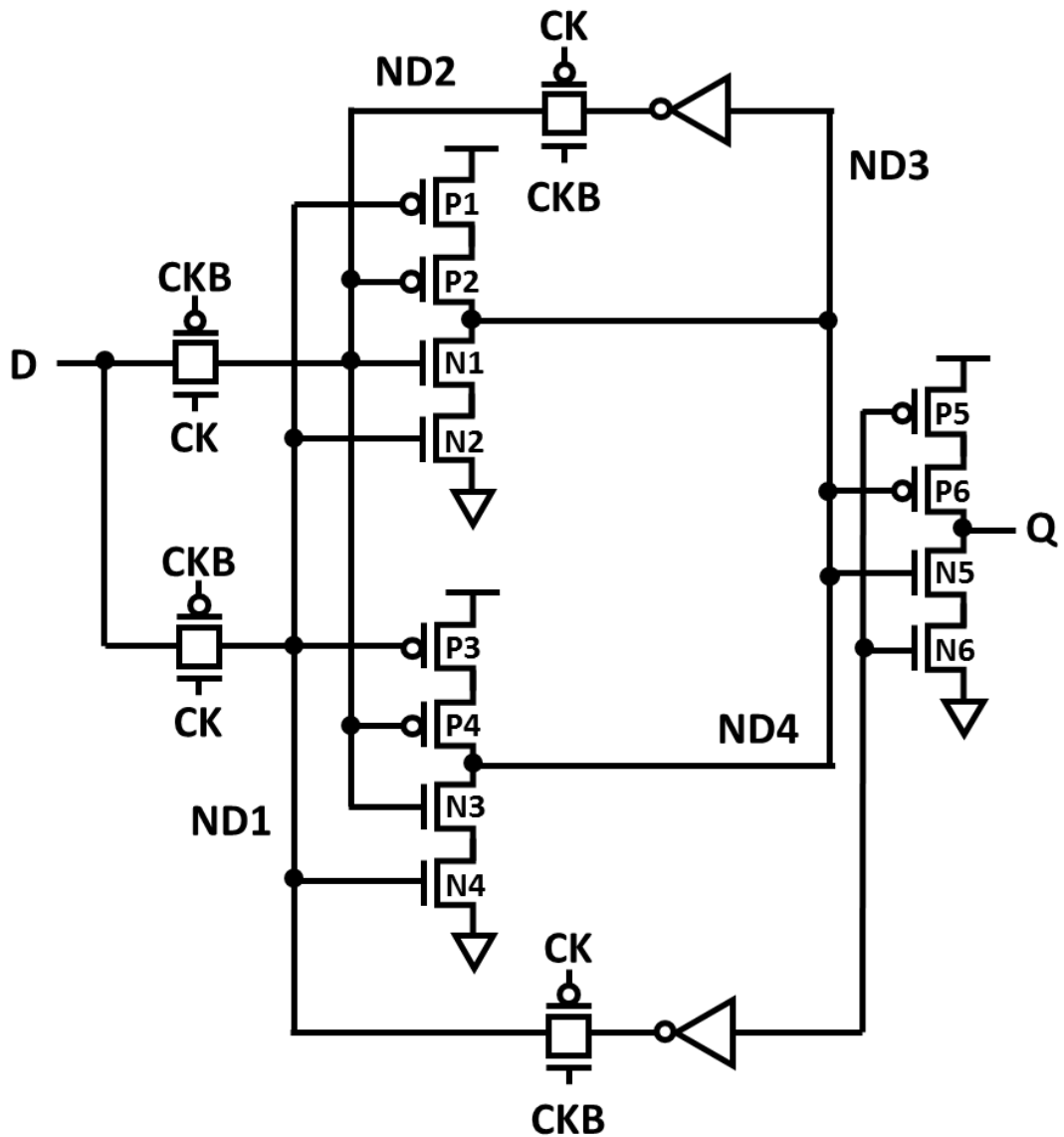


図 3.6: FERST ラッチ [6].

の値を参照することでエラーから回復することができる．FERST ラッチは出力に直接エラーが発生する場合を除き，ソフトエラーが出力に影響を与えることはない．しかし，C-element を3つ使用するため，多くの電力を消費するといった欠点

表 3.3: 各ラッチの電力・遅延測定結果.

	トランジスタ数 [コ]	Power[μ W]	CK-Q[ps]	D-Q(rise)[ps]	D-Q(fall)[ps]
TFH	12	4.50	117.34	103.86	28.97
FERST	26	6.36	184.54	145.83	169.54
HiPeR	20	15.71	119.77	103.31	22.64

をもつ.

3.3.3 HiPeR ラッチ

HiPeR ラッチ [11] の回路図を図 3.7 に示す. HiPeR ラッチは C-element と伝送ゲート, C^2MOS ラッチから成り立つ.

通常動作時は伝送ゲートを通し, 入力値が直接出力される. 1つのノードでエラーが発生した場合を考える. INT1a でエラーが発生した場合, 後段 C-element は停止する. このとき Q からのフィードバックパス, もう一方の伝送ゲートの出力が入力されている MP3 又は MN3 によって値が更新されるため, 正しい値へと回復できる. INT1b でエラーが発生した場合も INTa のエラーと同様, MP4 又は MN4 の値を参照し, 正しい値へと回復する. INT2 でエラーが発生した場合, MP7, MN7 で成り立つ C^2MOS ラッチでエラーから回復することができる. INT3 でエラーが発生した場合は INT2 からの入力値で回復できる. Q でエラーが発生した場合, MP5, MP6, MN5, MN6 から成り立つ C-element の出力を参照することで回復できる. ただし, INT2 で大きなエラーが発生した場合, MP3 と MN3 が両方オンになり, INT1a の値や INT1b の値がそれぞれ競合してしまう恐れがある. また, トランジスタ数が 20 コと, 比較的多いため, 電力オーバーヘッドが大きい.

3.3.4 既存耐 SEU+SET ラッチの評価

既存ラッチ回路に関して, ソフトエラーを起こさない状態 (通常動作) でトランジスタ・シミュレーションを行った. シミュレーションで得られた, 通常動作時

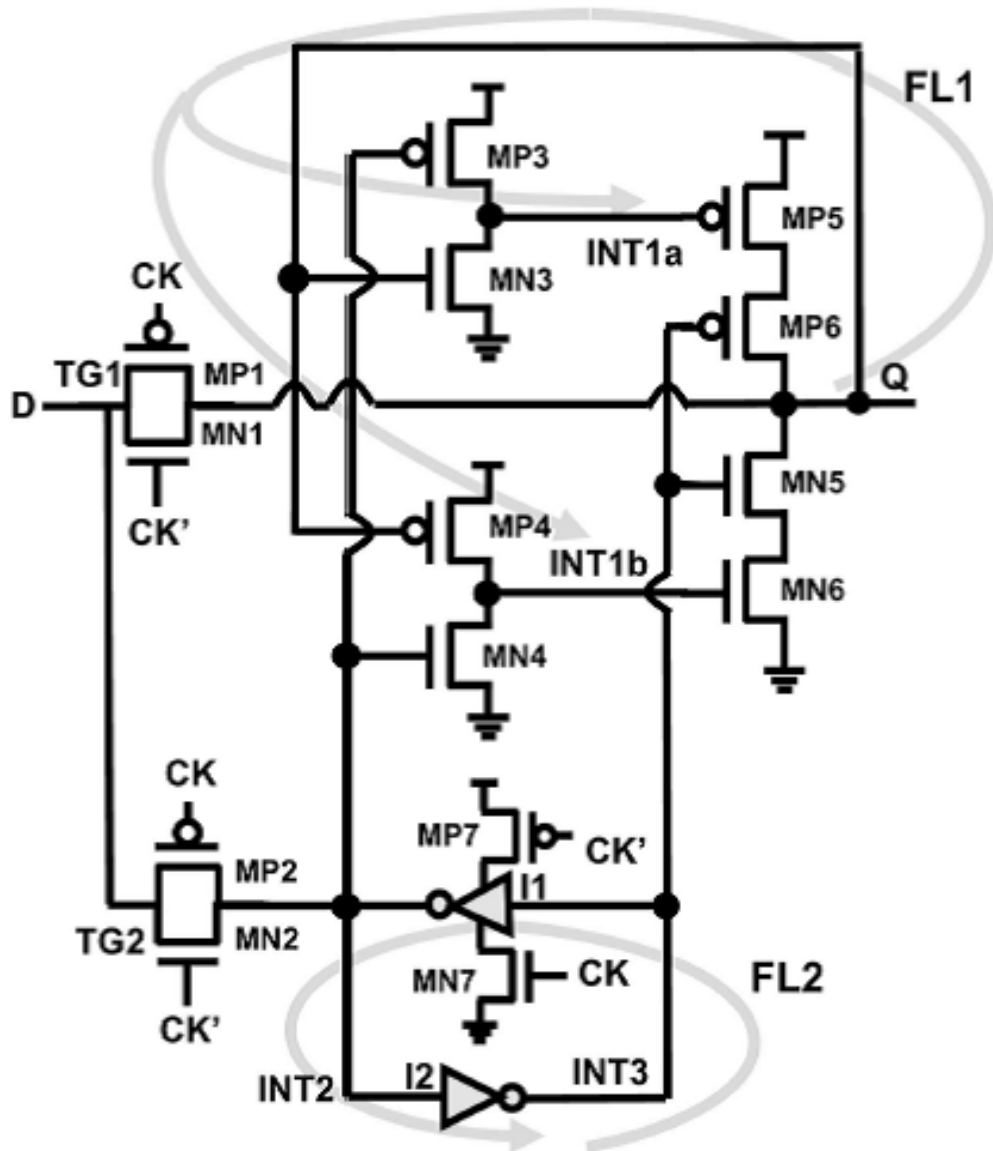


図 3.7: HiPeR ラッチ [11].

の電力，CK-Q 遅延，D-Q 遅延結果を表 3.3 に示す．

HiPeR ラッチが電力が一番大きい結果となった．トランジスタ数は FERST ラッチが一番多いが，HiPeR ラッチは値の切り替え時にノードの値が不安定になることなどが電力増加の原因の一つとして考えられる．遅延に関しては，FERST ラッチが一番大きい結果となった．他のラッチは値を比較的ストレートに入力から出力まで伝搬することができるが，FERST ラッチに関しては，一度 C-element で値

第3章 既存のソフトウェア対策設計

の比較を行った後、比較された値を再び C-element で比較をするといった二重構造になっているため、遅延オーバーヘッドが異常に大きい。

3.4 本章のまとめ

本章では既存の耐ソフトエラー回路に関する概要，課題について述べた．3.2節 SEU を考慮した既存ラッチでは，SEU に対する耐性をもつ，DICE ラッチと SEH ラッチの概要を述べた．さらに，*virtuoso* を用いて実装し，トランジスタレベルシミュレーションを用いて各ラッチの評価・考察を行った．測定結果より，SEU を考慮した既存ラッチに関しては SEH ラッチが電力・遅延ともに小さいことが確認できた．3.3節 SEU と SET を考慮した既存ラッチでは，SEU だけでなく SET にも耐性をもつ TFH ラッチ，FERST ラッチ，HiPeR ラッチの概要を述べた．さらに，*virtuoso* を用いて実装し，トランジスタレベルシミュレーションを用いて各ラッチの評価・考察を行った．測定結果より，TFH ラッチが電力・遅延ともに C^2MOS ラッチよりも小さいことが確認できた．しかし，他の既存ラッチと比較すると，ソフトエラーから回復できないノードがあるといった欠点をもつため，改良が必要であるといえる．

第4章

提案耐ソフトウェアラッチ

4.1 本章の概要

本章では、既存の耐ソフトエラー回路の問題点を改善したラッチを提案する。さらに、トランジスタレベル・シミュレーションを用いて電力・遅延の評価及び考察を行う。4.2 節「SEU を考慮した提案ラッチ」では、ソフトエラーの性質を利用し、高いソフトエラー耐性をもつ既存の SEH ラッチを元にした3つの回路を提案する。低電力化を目指し、動作には変化のないよう、SEH ラッチからトランジスタを削減し、低電力化を目指した「New-SEH ラッチ」を提案する。そして、New-SEH ラッチの高速化を目指した「Fast-SEH ラッチ」、さらに Fast-SEH ラッチの安定化を目指した「改良 Fast-SEH ラッチ」を提案する。4.3 節「SEU と SET を考慮した提案ラッチ」では、4.2 節で考慮していなかった SET をも考慮し、低電力化を目指した「SHC ラッチ」、さらに SHC ラッチの安定化・高速化を目指した「改良 SHC ラッチ」を提案する。4.5 節「提案ラッチの評価」では、本章で取り上げた既存ラッチをシミュレーションを用いて評価し、検討及び考察する。

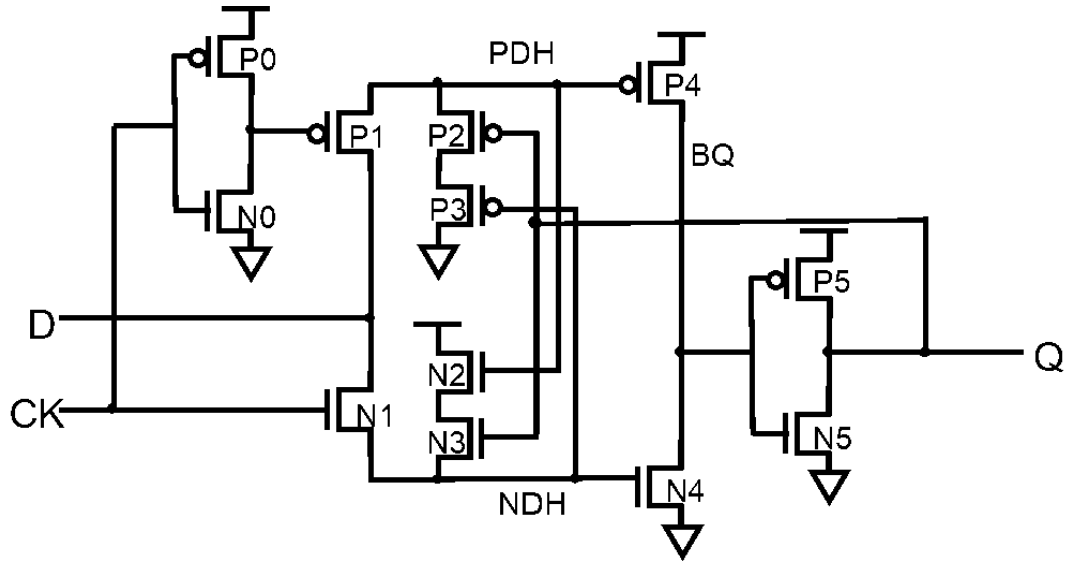


図 4.1: New-SEH ラッチの回路図.

4.2 提案耐SEUラッチ

SEU を考慮し、ソフトエラーの発生原因を利用した SEH ラッチは高いソフトエラー耐性を持っていた。しかし、ソフトエラー耐性をもたない通常のラッチ回路と比較すると、電力が非常に大きかった。そこで本節では、SEH ラッチの低電力化を一番の目的とした New-SEH ラッチを提案する。さらに、SEH ラッチの高速化を一番の目的とした Fast-SEH ラッチと低電圧時にも安定するような改良 Fast-SEH ラッチを提案する。

4.2.1 New-SEH ラッチ

既存回路である SEH ラッチは、耐性をもたない C^2MOS ラッチと比較し、電力が非常に大きい。現在の低電力化のトレンドに沿うために、低電力化を目指した New-SEH ラッチを提案する。New-SEH ラッチを図 4.1 に示す。New-SEH ラッチは SEH ラッチの C^2MOS 部分を取り除くことで電力の削減を目指した。さらに、SEH ラッチは PDH 又は NDH 部分でソフトエラーが発生した場合、他のノードにノイズが発生してしまうことを確認した。そのため、エラー回復部分の配線を組

み替えることでノイズの削減を目指した。

New-SEH ラッチの動作について述べる。SEH ラッチと同様に PDH,NDH はそれぞれ PMOS トランジスタと NMOS トランジスタで構成されている。それぞれのノードを PMOS か NMOS のどちらか1種類のトランジスタで構成することで、ソフトエラーの発生を 0 から 1, または 1 から 0 のどちらかに制限し、高いソフトエラー耐性を保つことができる。通常動作時は、入力から値が入るとそれぞれ PDH と NDH に値が入力される。P4 又は N4 がオンになることで、BQ まで値が伝搬し、インバータを通して、出力 Q まで値が伝搬する。以上のように、通常動作時は普通のラッチのような出力を行う。

次に、ソフトエラーが発生した場合の動作について述べる。CK=1 において、ソフトエラーが発生した場合は、入力 D から正しい値が入力され続けるため、ソフトエラーによって値が反転することはない。CK=0 において、PDH がソフトエラーの影響を受けた場合、SEH ラッチと同様、0 から 1 のみの反転が行われる。そのため、オンであった P4 がオフになる。この場合、P4 がオフになるだけであり、出力にはエラーが伝搬せず、出力は以前の値を保持する。NDH でエラーが発生した場合も PDH と同様、N1 がオフになるだけであり、出力 Q はソフトエラーの影響を受けない。出力の手前である BQ でエラーが発生した場合、インバータを通して一度出力 Q にエラーが伝搬する。この場合、P4 又は N4 はオンになったままであるため、どちらかからの入力をうけ、正しい値へと回復できる。出力 Q でエラーが発生した場合も同様に一度はエラーが発生するが、手前の入力を受け、正しい値へと回復することができる。

BQ は 0 から 1, 1 から 0 の両方へ反転する可能性をもつ。ソフトエラーの影響を受け、どちらかの反転が行われた場合、出力 Q が一時的に反転し、間違った値を出力してしまう。しかし、SEH ラッチと同様に PDH と NDH は正しい値を保持しているため、P4 又は N4 がオンし続けることで、BQ は正しい値へと回復することができる。BQ が正しい値へと回復することで、出力 Q も回復することができる。出力 Q がソフトエラーの影響を受けて反転した場合も、BQ がソフトエラーの影響を受けた場合と同様、一時的に誤った値を出力してしまうが、BQ からの正しい値を受け、正しい値へと回復することができる。以上のように、BQ や出力 Q でエラーが発生した場合、一時的にエラーが発生するが、すぐに正しい値

へと回復することができる。

4.2.2 Fast-SEH ラッチ

従来提案された SEH ラッチには電力・遅延に関して、ソフトエラー耐性をもたない C^2MOS ラッチと比較すると電力・遅延に大きく問題があった。SEH ラッチの低電力化を目指した New-SEH ラッチは、電力を大幅に改善することができたもの、出力までのパスが長くなり、SEH ラッチよりも遅延オーバーヘッドが大幅に増加するという問題があった。そこで、本論文では高速化を目指した Fast-SEH ラッチを提案する。

Fast-SEH ラッチの回路図を 4.2 に示す。トランジスタ数は 14 コである。Fast-SEH ラッチは New-SEH ラッチにトランスミッションゲートを追加したものである。トランスミッションゲートを追加することで、出力までのパスを短くすることができた。

Fast-SEH ラッチの動作は SEH ラッチとほぼ変わらない。通常動作時、入力 D の値はトランスミッションゲートを通り、出力 Q まで伝搬する。次にソフトエラーが発生した場合の動作について述べる。SEH ラッチと同様に PDH, NDH はそれぞれ PMOS トランジスタと NMOS トランジスタで構成されている。それぞれのノードを PMOS か NMOS のどちらか 1 種類のトランジスタで構成することで、ソフトエラーの発生を 0 から 1、または 1 から 0 のどちらかに制限し、高いソフトエラー耐性を保つことができる。CK=1 において、ソフトエラーが発生した場合は、入力 D から正しい値が入力され続けるため、ソフトエラーによって値が反転することはない。CK=0 において、PDH がソフトエラーの影響を受けた場合、ソフトエラーによって 0 から 1 へのみのデータ反転が発生する。1 に反転した場合、通常時はオンになっていた P1 がオフとなる。PDH は直接出力 Q には接続されていないため、ソフトエラーは他のノードには影響せず、出力 Q の値が反転することはない。このとき、出力 Q と、ノード NDH は正しい値を保持しているため、P2 と P3 がオンとなり、PDH は元の値である 0 にすぐに回復することができる。つまり、1 つのノードでエラーが発生した場合、他の 2 つのノードによってエラーから回復することができる。NDH がソフトエラーの影響を受けた場合、PDH におけるエラーとは逆であり、ソフトエラーによって 1 から 0 へのみの反転が発生す

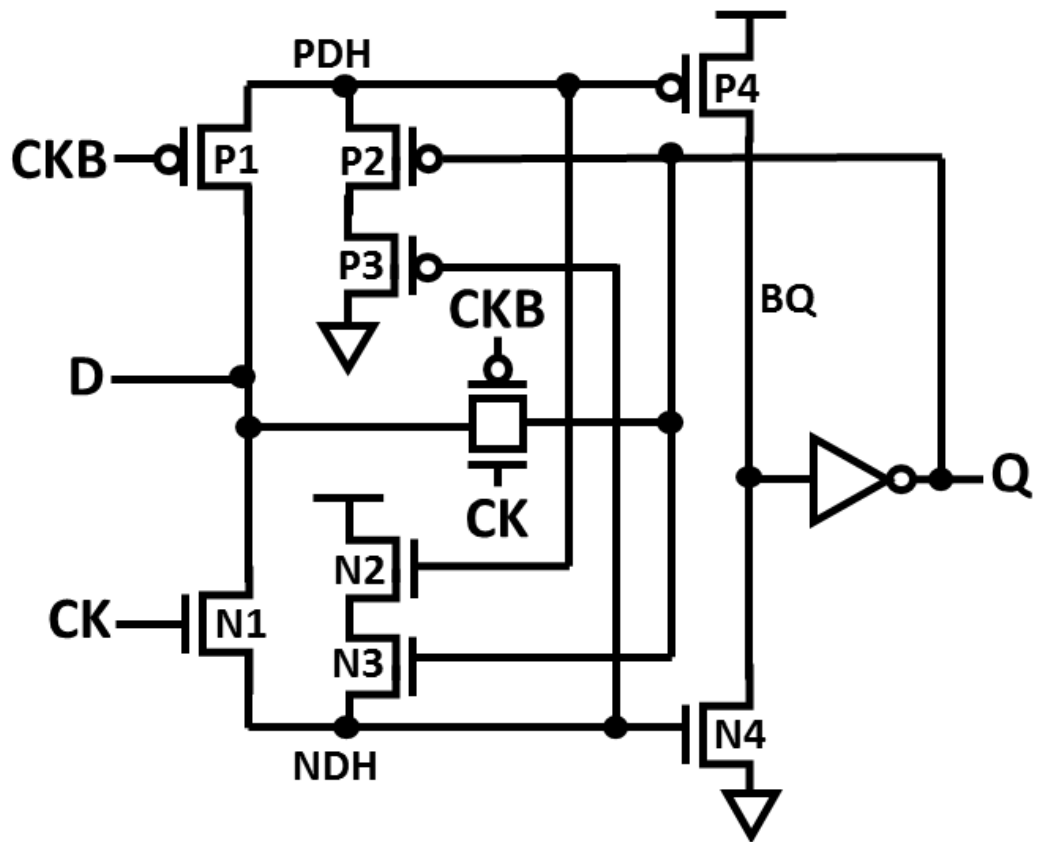


図 4.2: Fast-SEH ラッチの回路図.

る. この場合も PDH と同様, 出力 Q に直接接続されていないため, ソフトエラーが出力 Q に伝搬することはない. ソフトエラー発生後は, PDH と出力 Q の値によって N2 と N3 がオンとなり, エラーから回復することができる. ノード BQ でエラーが発生した場合, インバータを挟み, そのまま出力 Q に接続されているため, 一度はエラーが出力 Q に伝搬してしまう. しかし, PDH と NDH は正しい値を保持しているため, P1 または N1 によって, すぐに正しい値へと回復することができる. 各ノードは通常時もエラー時も VDD \sim VSS に完全に振り切ることはできないが, その代わりに電力を抑えることができる [13].

4.2.3 改良 Fast-SEH ラッチ

Fast-SEH ラッチは CK=0 のときにも値が保持し, 安定した値を出力できるよう, 図 4.3 を Fast-SEH ラッチの出力直前のインバータの代わりに挿入した. これ

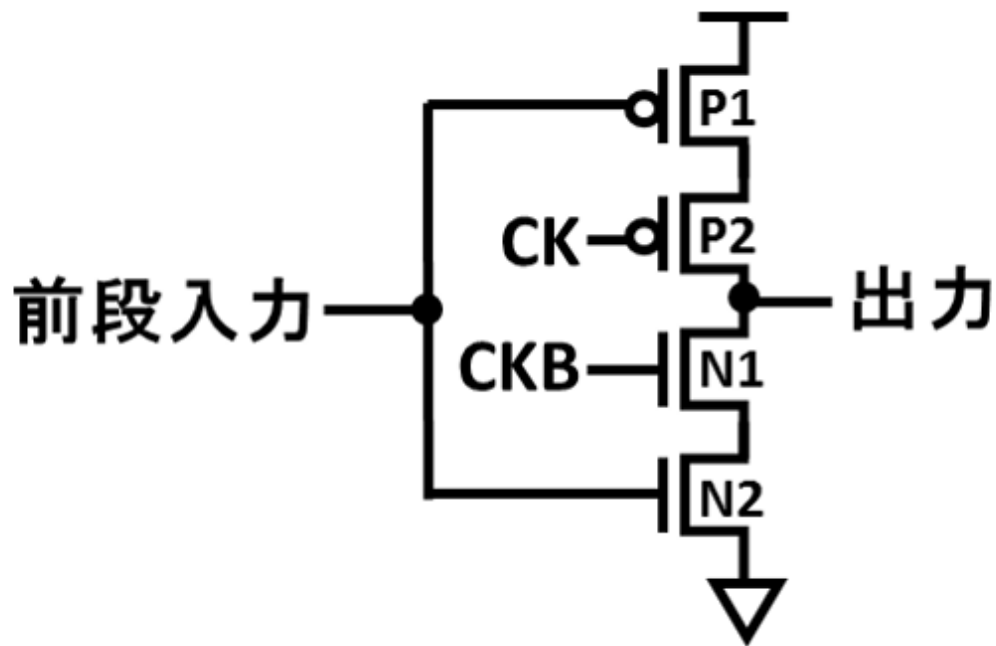


図 4.3: 今回挿入した要素.

を改良 Fast-SEH ラッチと呼び、図 4.4 に示す。

改良 Fast-SEH ラッチの動作は SEH ラッチとほぼ変わらない。通常動作時、入力 D は伝送ゲートを通り、出力 Q へと値が伝搬する。次にソフトエラーが発生した場合の動作について述べる。SEH ラッチと同様に PDH, NDH はそれぞれ PMOS トランジスタと NMOS トランジスタで構成されている。それぞれのノードを 1 種類のトランジスタで構成することで、ソフトエラーの発生を制限し、高いソフトエラー耐性を保つことができる。CK=1 において、ソフトエラーが発生した場合は、入力 D から正しい値が入力され続けるため、ソフトエラーによって値が反転することはない。CK=0 において、PDH がソフトエラーの影響を受けた場合、ソフトエラーによって 0 から 1 へのデータ反転が発生する。1 に反転した場合、通常時はオンになっていた P4 がオフとなる。PDH がソフトエラーの影響を受けた場合、直接出力 Q には接続されていないため、出力 Q の値が反転することはない。このとき、出力 Q と、ノード NDH は正しい値を保持しているため、P2 と P3 がオンとなり、PDH は元の値である 0 にすぐに回復することができる。つまり、1 つのノードでエラーが発生した場合、他の 2 つのノードによってエラーから回復

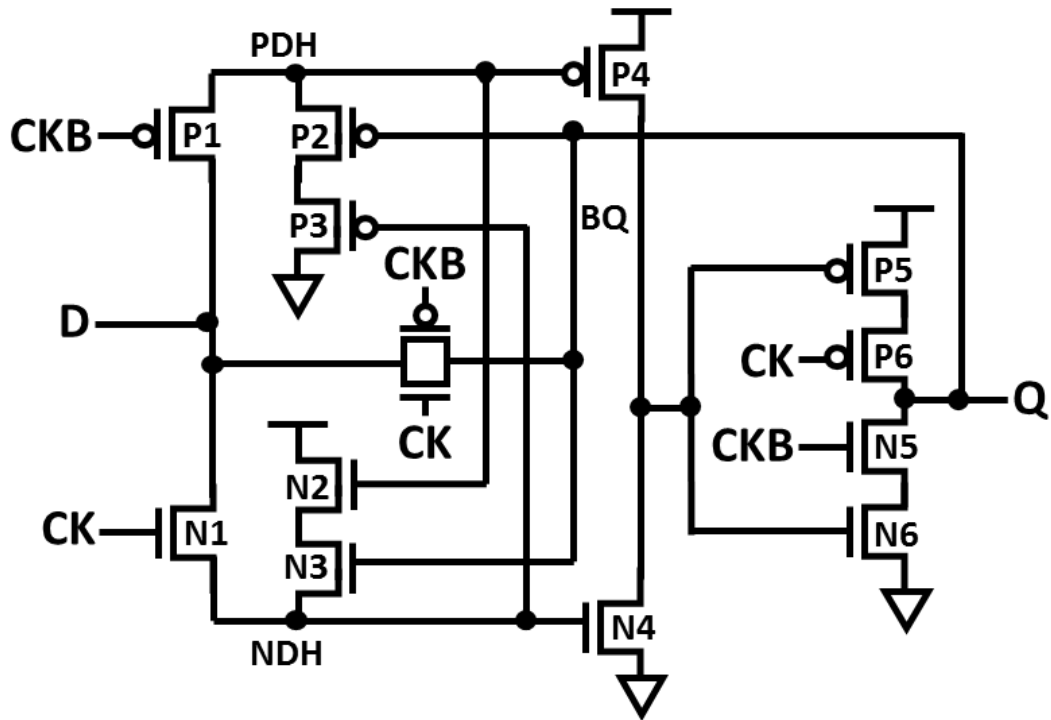


図 4.4: 改良 Fast-SEH ラッチの回路図.

することができる. NDH がソフトエラーの影響を受けた場合も PDH と同様に, PDH と出力 Q を参照し, N2 と N3 がオンとなり, エラーから回復することができる. ノード BQ でエラーが発生した場合, PDH と NDH は正しい値を保持しているため, P4 または N4 より正しい値へと回復することができる. また, CK=0 の際には P5, P6, N5, N6 がオンとなり, 綺麗な 1 と 0 を出力し続けることができる.

4.2.4 提案耐 SEU ラッチの評価

SEU を考慮した提案ラッチである New-SEH ラッチ, Fast-SEH ラッチ及び改良 Fast-SEH ラッチを virtuoso を用いて実装する. さらに, トランジスタレベルシミュレーションを行い, 電力・遅延を測定する.

通常動作時

ソフトエラーを起こさない, 通常動作時のトランジスタ・シミュレーションを行った. 実行環境は表 3.1 の通りである. シミュレーションで得られた, 通常動作

表 4.1: 各ラッチの電力・遅延測定結果.

	トランジスタ数	Power[μ W]	CK-Q[ps]	D-Q(rise)[ps]	D-Q(fall)[ps]
New-SEH	12	3.28	194.74	90.92	159.49
Fast-SEH	14	4.49	89.93	71.54	83.53
改良 Fast-SEH	16	3.23	37.63	14.15	14.72

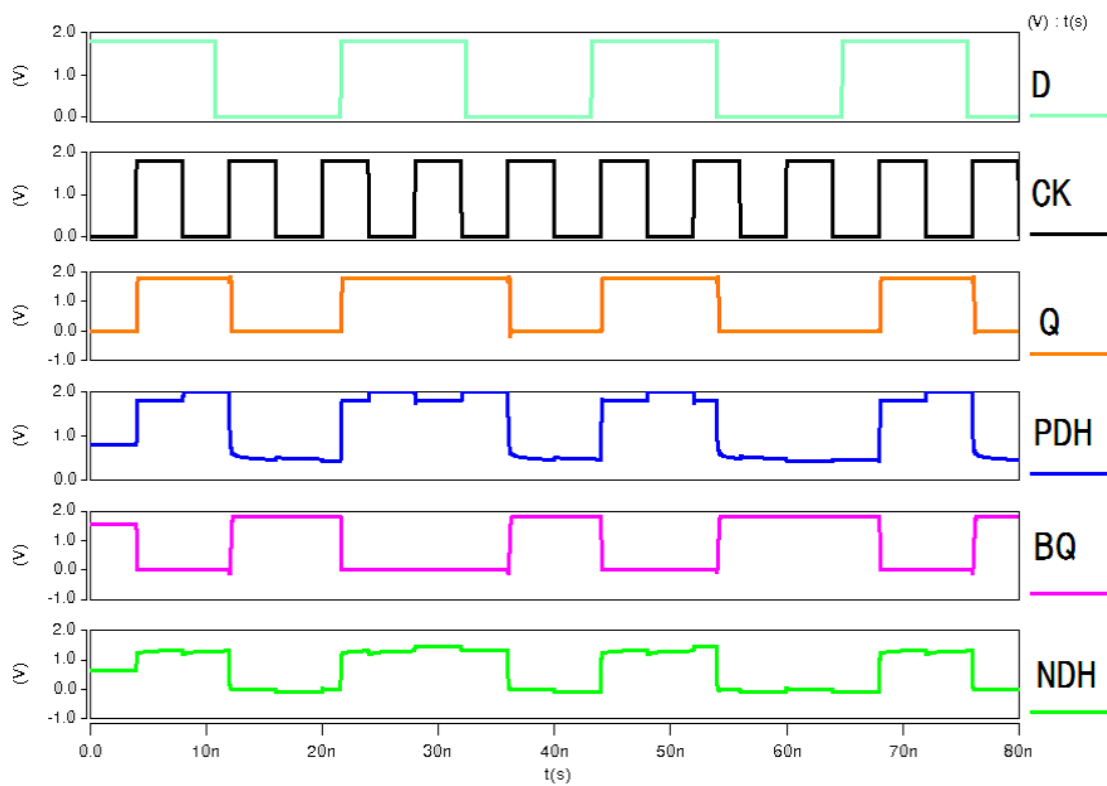


図 4.5: 通常動作時の New-SEH ラッチの波形.

時の電力, D-Q 遅延, CK-Q 遅延結果を表 4.1 に示す. また, それぞれの通常動作時の波形を図 4.5, 図 4.6, 図 4.7 に示す. 図 4.5 から図 4.7 からわかるよう, どのラッチもソフトエラーが発生しない場合は通常のラッチと同様の動作をしている

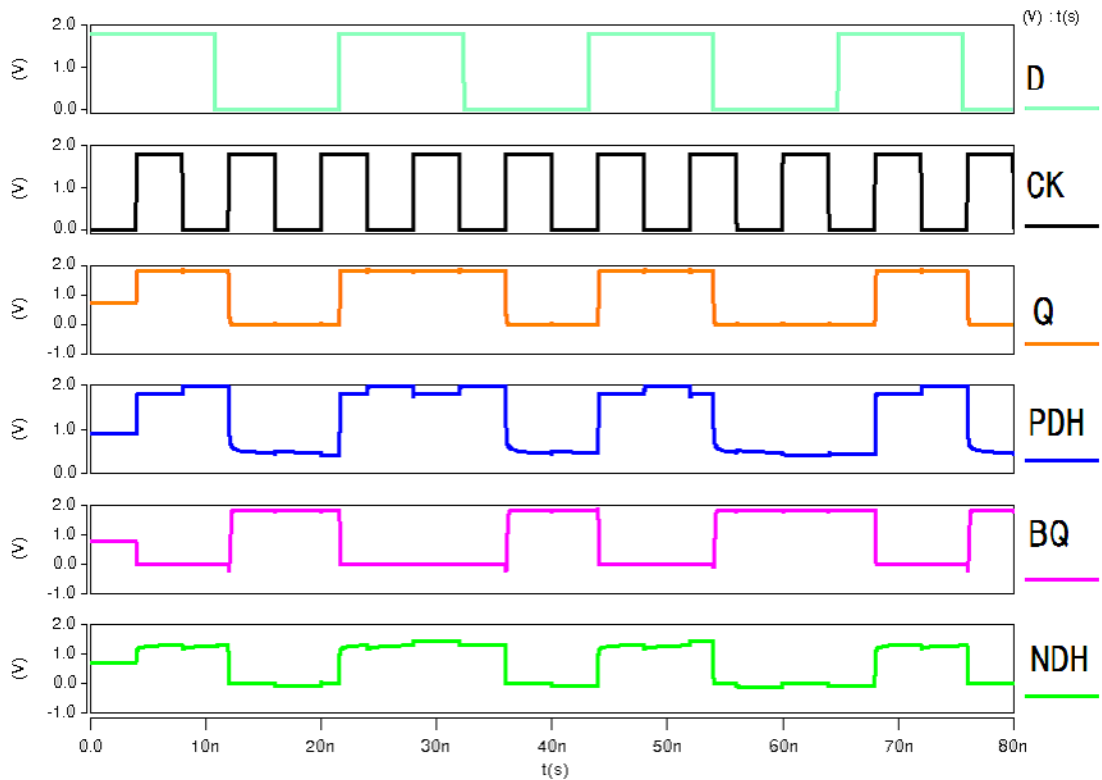


図 4.6: 通常動作時の Fast-SEH ラッチの波形.

ことがわかる.

ソフトエラー発生時

ソフトエラーが発生した場合のシミュレーションを行う. 実際にソフトエラーを発生させてシミュレーションを行うことはできないため, 代わりに本論文では電流源を各ノードに接続させ, 疑似ソフトエラーパルスを発生させた. 電流源接続の様子を図 4.8 に示す.

既存の SEH ラッチでは, PDH や NDH がソフトエラーの影響を受けた場合, 直接ソフトエラーが他のノードに影響を与えることはない. しかし, 多少のノイズが発生してしまうことが確認された. New-SEH ラッチと改良 New-SEH ラッチはこの問題に対して, 後方のエラー回復部分の配線を繋直することでノイズの削減を達成した. SEH ラッチと New-SEH ラッチでのソフトエラーの発生の様子を図 4.9 に示す. また, この図 4.9 では, PDH にてソフトエラーを発生させた. 図 4.9 よ

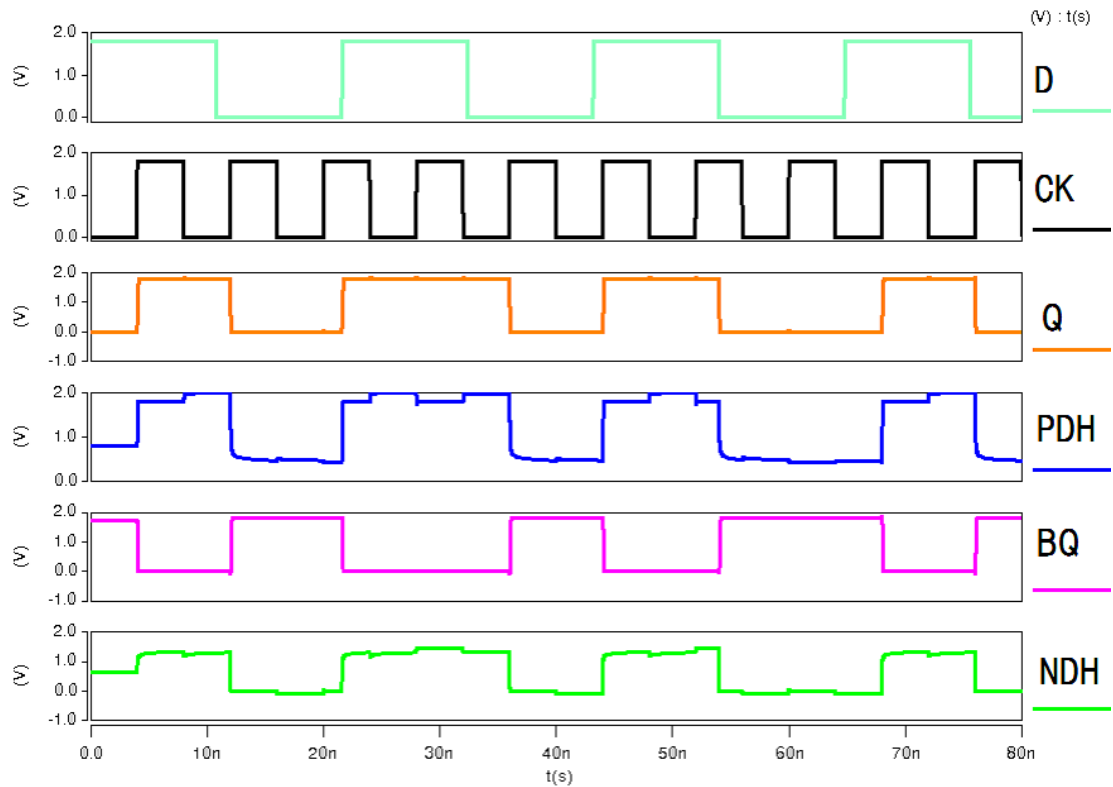


図 4.7: 通常動作時の改良 Fast-SEH ラッチの波形.

り、確かにノイズが削減できていることが確認できた。

また、このエラー回復部分の接続に関しては Fast-SEH ラッチ，改良 Fast-SEH ラッチにも使用したため，ソフトエラーの影響の削減に関しては同様の効果があるといえる。

各ラッチの各ノードでソフトエラーが発生した場合の波形を図 4.10，図 4.11，図 4.12 に示す。

図 4.10 から図 4.12 より，どのラッチもソフトエラーが発生した場合は，次の入力が入ってくる以前に，ただちにエラーから回復できていることが確認できた。よって，提案ラッチはソフトエラー耐性があることが確認できた。

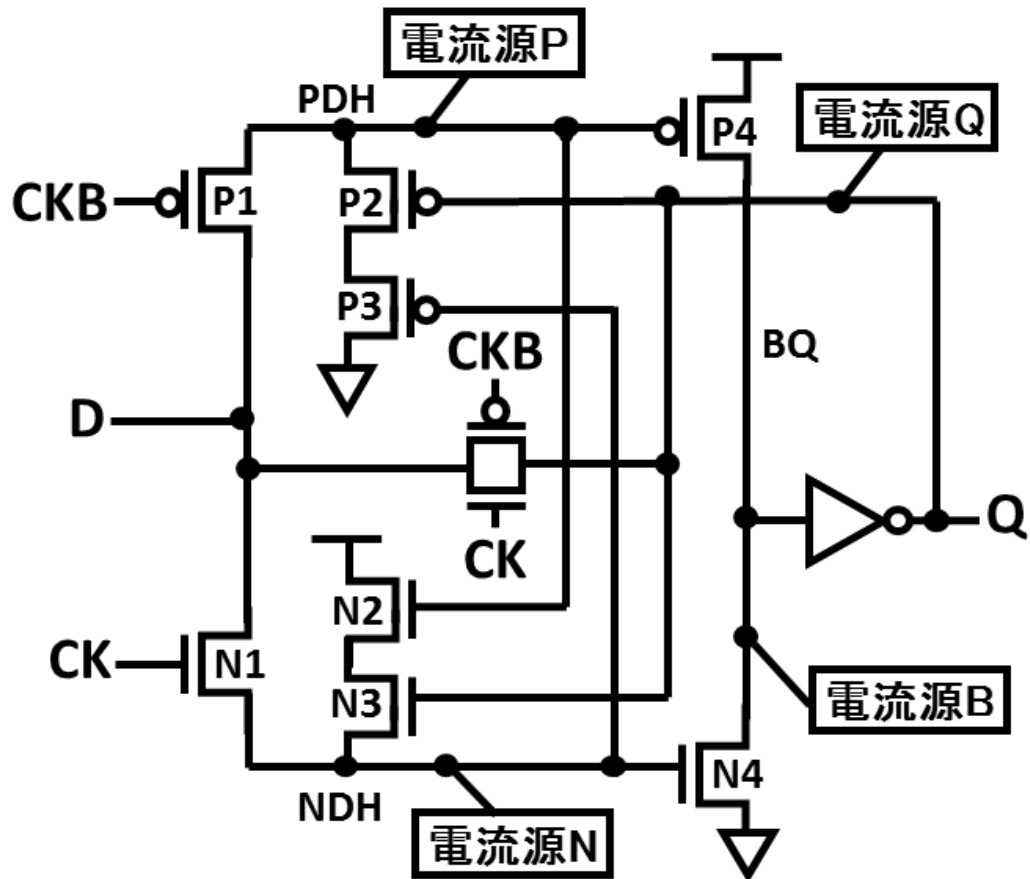


図 4.8: 電流源接続の様子.

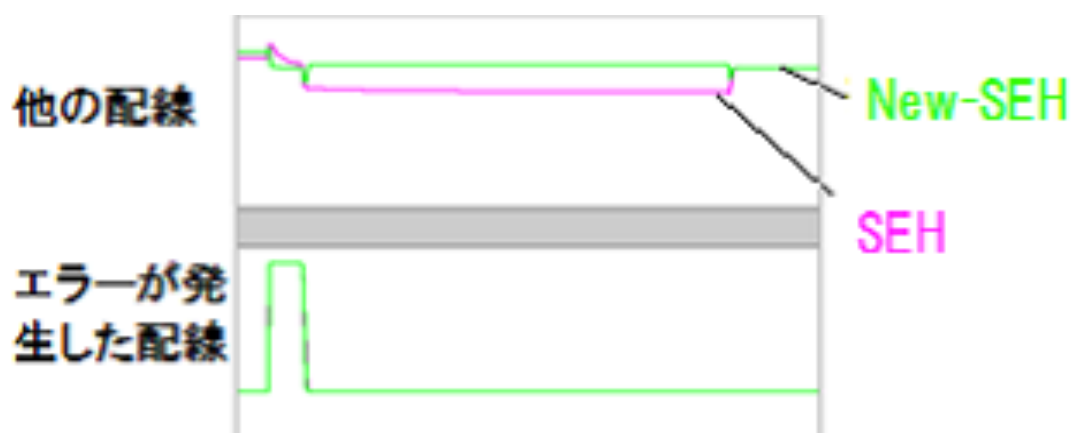


図 4.9: SEH ラッチと New-SEH ラッチにおいてソフトエラーを発生させた場合の比較.

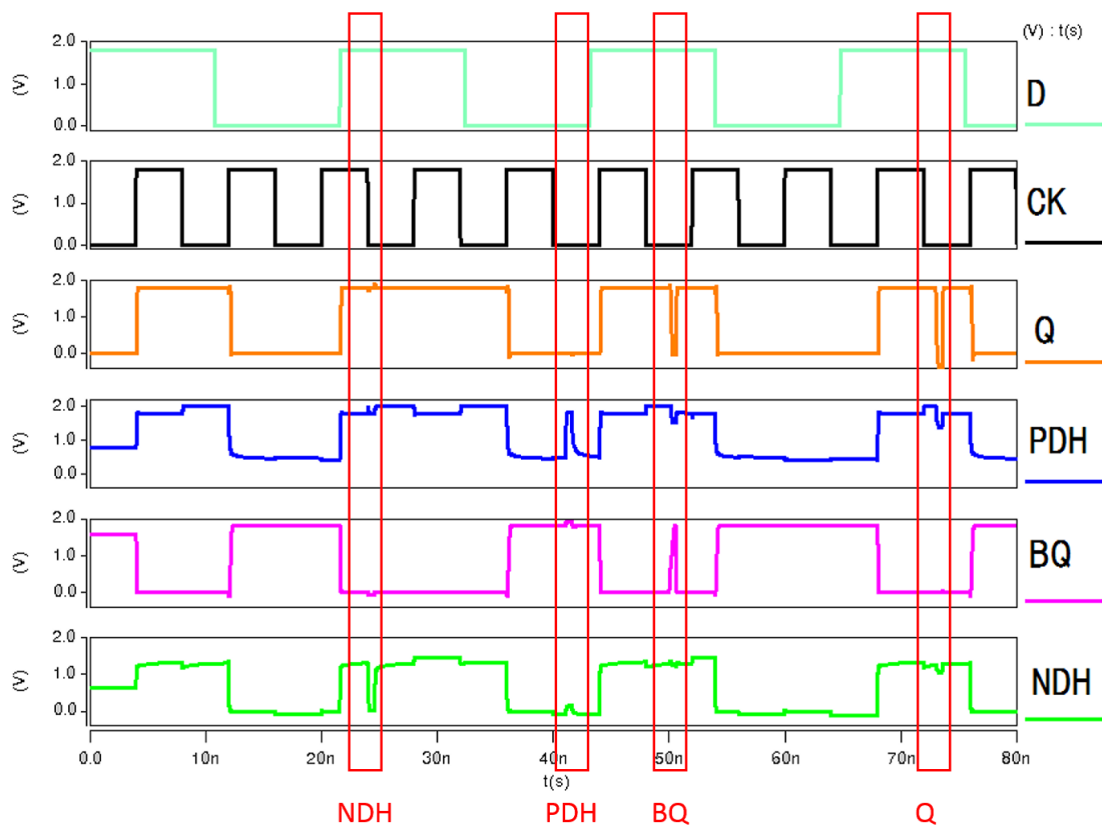


図 4.10: 各ノードでのソフトエラー発生時の New-SEH ラッチの波形.

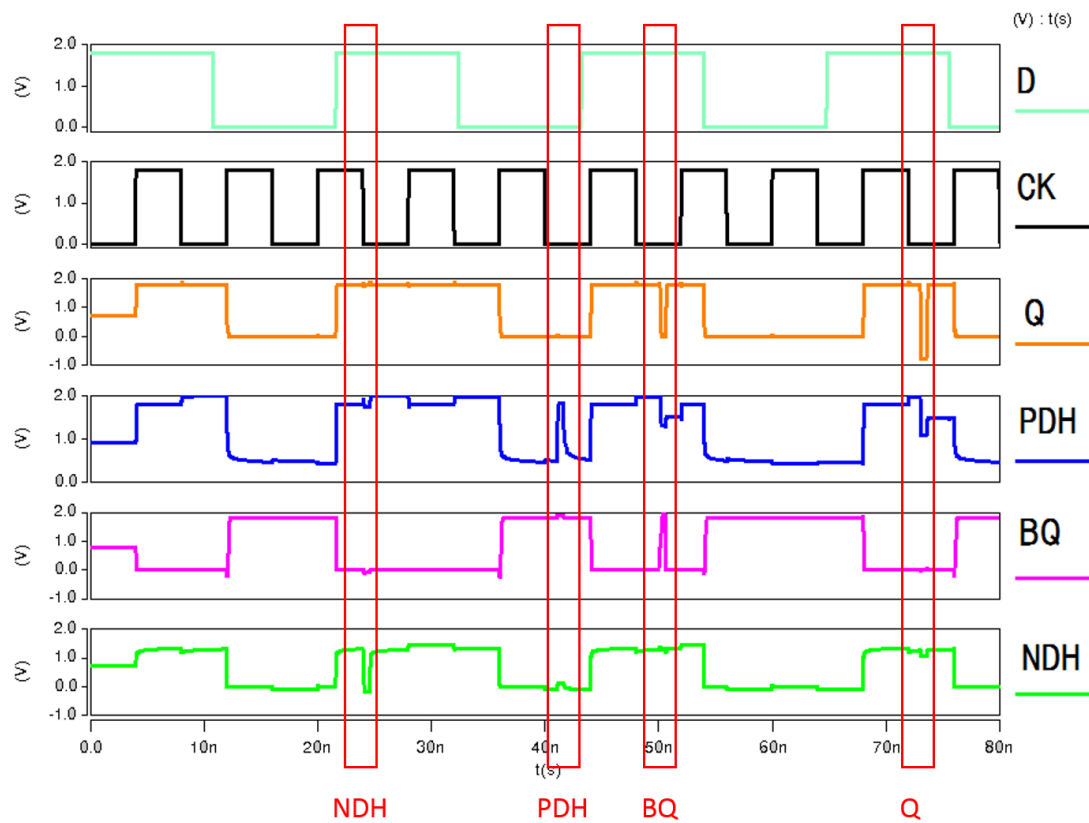


図 4.11: 各ノードでのソフトエラー発生時の Fast-SEH ラッチの波形.

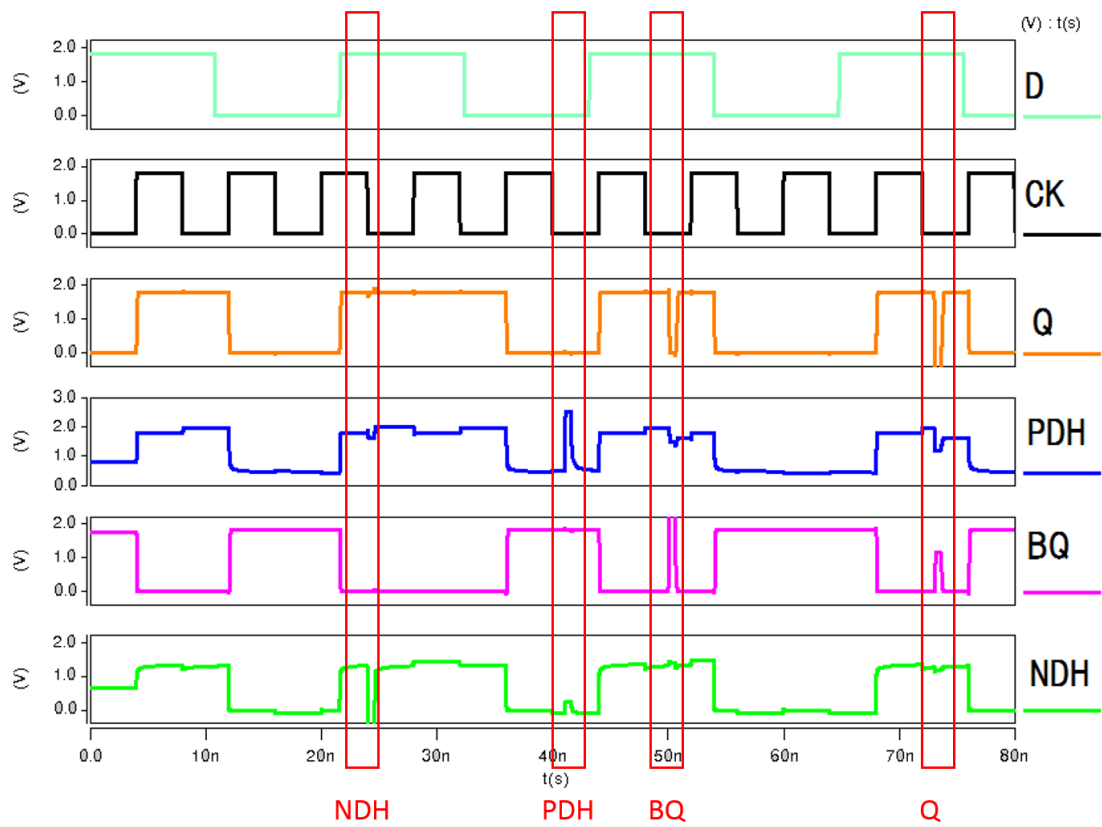


図 4.12: 各ノードでのソフトエラー発生時の改良 Fast-SEH ラッチの波形.

4.3 提案耐SEU+SETラッチ

前節では、SEU 耐性のみをもつ耐ソフトエラーラッチを提案した。論理回路でのソフトエラーはSEU と SET の両方のメカニズムで発生する。今後の微細化・低電圧化が進むことで、ソフトエラーはさらに複雑化の一途をたどることが考えられる。しかし、前節の耐SEU ラッチは、前段の組合せ回路等で発生したソフトエラー (SET) が後段のラッチに影響を与えてしまった場合、対応することができない可能性がある。また、既存の耐SEU ラッチ回路は比較的簡単な構造をもつが、ソフトエラー耐性をもたない通常の C^2MOS ラッチと比較すると、電力・遅延が大きい。本節ではSEU 耐性だけではなくSET 耐性も達成し、さらに低電力化・高速化を目指したラッチを提案する。

4.3.1 SHC ラッチ

C-element を使用した耐ソフトエラーラッチ, Soft error Hardened with C-element (SHC) ラッチを提案する。SHC ラッチの回路図を図 4.13 に示す。トランジスタ数は 14 個である。通常時、入力はトランスミッションゲートを通り、C-element で比較を行った後、そのまま出力される。P3/N3 は回路の値を保持するフィードバックループのために追加した。ND1 でエラーが発生した場合、C-element が停止し、ND1 がエラーから回復することはないが、出力に影響はない。さらに、先ほど述べたフィードバックループの値が入力されるため、次の値更新時まで以前の値がそのまま保持される。ND2 でエラーが発生した場合も同様である。また、Q でエラーが発生した場合、一度はエラーがそのまま出力されるが、次の値が更新されるより前に、C-element の出力を参照することで直ちにエラーから回復できる。

4.3.2 改良 SHC ラッチ

SHC ラッチは、動作周波数等にばらつきが生じた場合に出力が不安定になる可能性がある。そこで動作周波数がばらついた場合も安定になるような、改良 SHC ラッチを提案する。改良 SHC ラッチの回路図を図 4.14 に示す。

通常動作時は入力 D からの値はトランスミッションゲートを通り、出力 Q へ伝搬する。次にソフトエラーが発生した場合の動作について述べる。CK=1 において、SET が発生した場合、入力 D から正しい値が入力され続けるため、出力 Q は

表 4.2: 各ラッチの電力・遅延測定結果.

	トランジスタ数	Power[μ W]	CK-Q[ps]	D-Q(rise)[ps]	D-Q(fall)[ps]
SHC	16	3.06	120.23	100.37	115.25
改良 SHC	16	3.69	62.67	43.04	23.72

ソフトエラーの影響を受けない．CK=1 において，入力の上段と下段のトランスミッションゲートにそれぞれ伝搬し，2つの値を遅延差を利用して比較を行うことで，正しい値を出力することができる．そのため，前段の組合せ回路で発生したSETにも対応することができる．CK=0 におけるエラー発生時の動作を以下に述べる．出力Qがソフトエラーの影響を受けた場合，C-elementの値を参照することで回復できる．ND1がソフトエラーの影響を受けた場合，一度はエラーがQに出力するが，すぐにND2とND3の値を参照し回復できる．同時に出力Qも元の値へと回復する．N2やN3がソフトエラーの影響を受けた場合，C-elementが停止するのみで，出力Q自体に影響はない．CK=0で値を保持できるものの，改良SHCラッチはND1がソフトエラーの影響を受けると，回復はできるものの出力Qにエラーが伝搬してしまう．しかし，SHCラッチと改良SHCラッチは出力からのフィードバックループを保持する．そのため，CK=0の場合にも値を保持できる．

4.3.3 提案耐SEU+SETラッチの評価

SEUだけでなくSETを考慮した提案ラッチであるSHCラッチと改良SHCラッチを実装し，ソフトエラーを起こさずにトランジスタ・シミュレーションを行った．シミュレーションで得られた，通常動作時の電力，D-Q遅延，CK-Q遅延結果を表4.2に示す．また，それぞれの通常動作時の波形を図4.15，図4.16に示す．

表3.3より，遅延に関しては改良SHCラッチが一番小さいことが確認できた．SHCラッチはトランスミッションゲートで値を通した後，一度C-elementを介して出力を行うため，入力から出力までのパスが非常に長い．そのため，かなり大きな遅延オーバーヘッドとなっている．一方，改良SHCラッチはトランスミッションゲートを通して値をそのまま通すことができるため，遅延オーバー

ヘッドが非常に少ない。

また、電力に関してはSHCラッチが一番小さいことが確認できた。これは、SHCラッチは改良SHCラッチと比べ、トランジスタ数が少ないことが理由として挙げられる。トランジスタ数が2つ分少ないため、その分の電力消費量が少ない。

ソフトエラー発生時

ソフトエラーが発生した場合のシミュレーションを行う。また、前節と同様、実際にソフトエラーを発生させてシミュレーションを行うことはできないため、代わりに本論文では電流源を各ノードに接続させ、疑似ソフトエラーパルスを発生させた。

各ラッチの各ノードでソフトエラーが発生した場合の波形を図4.17、図4.18に示す。図4.17と図4.18より、どのラッチもソフトエラーが発生した場合は、次の入力が入ってくる以前に、ただちにエラーから回復できていることが確認できた。よって、提案ラッチはソフトエラー耐性があることが確認できた。

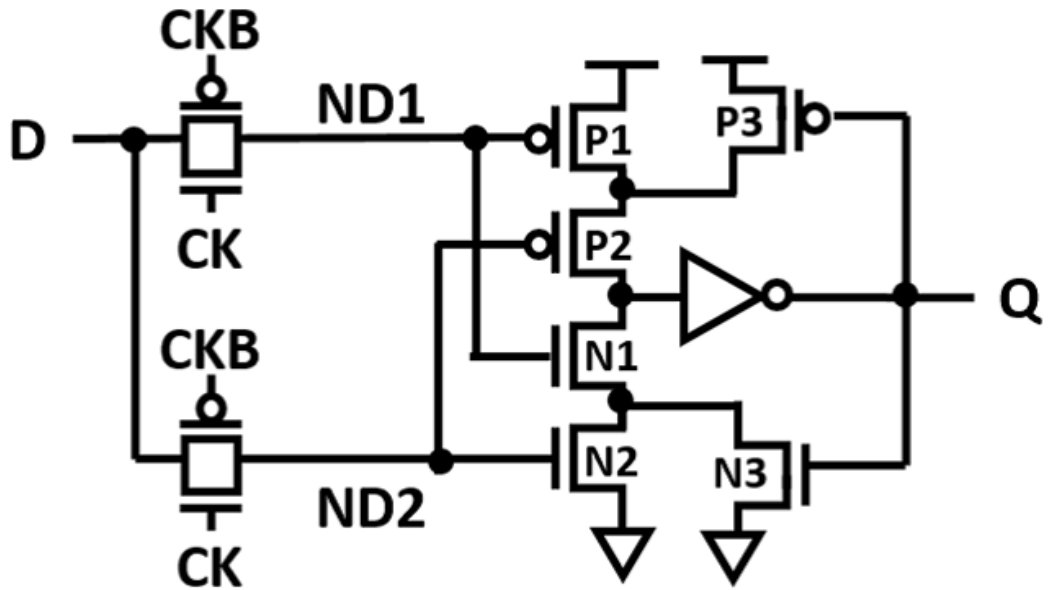


図 4.13: SHC ラッチ.

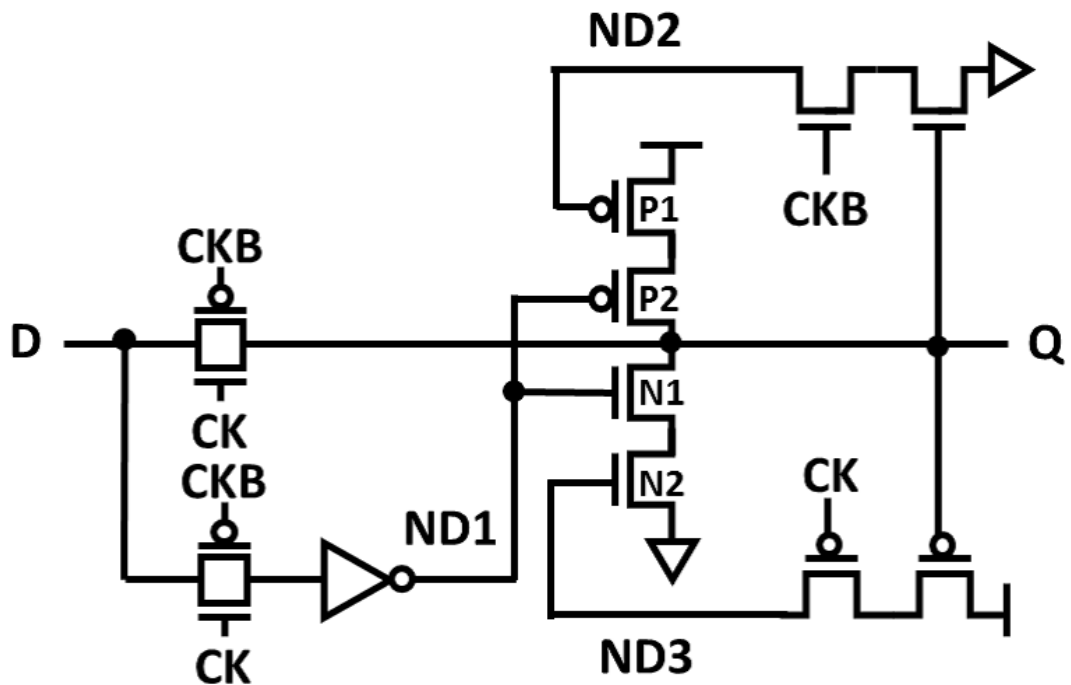


図 4.14: 改良 SHC ラッチ.

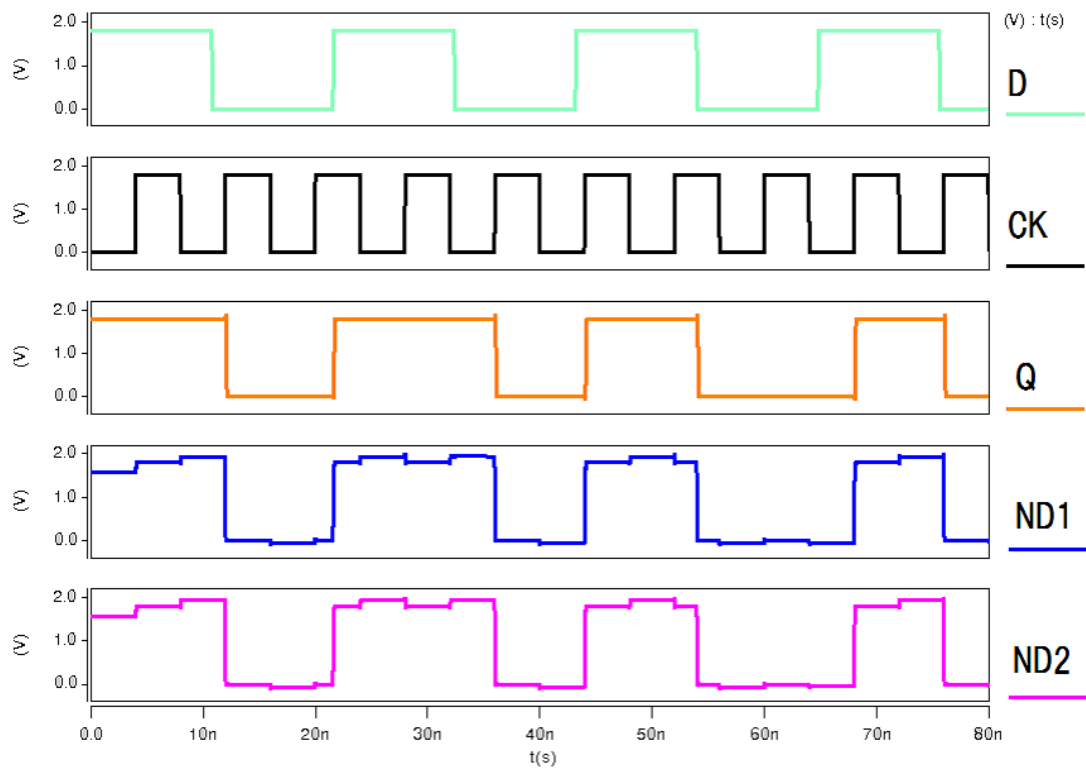


図 4.15: SHC ラッチの通常時の波形.

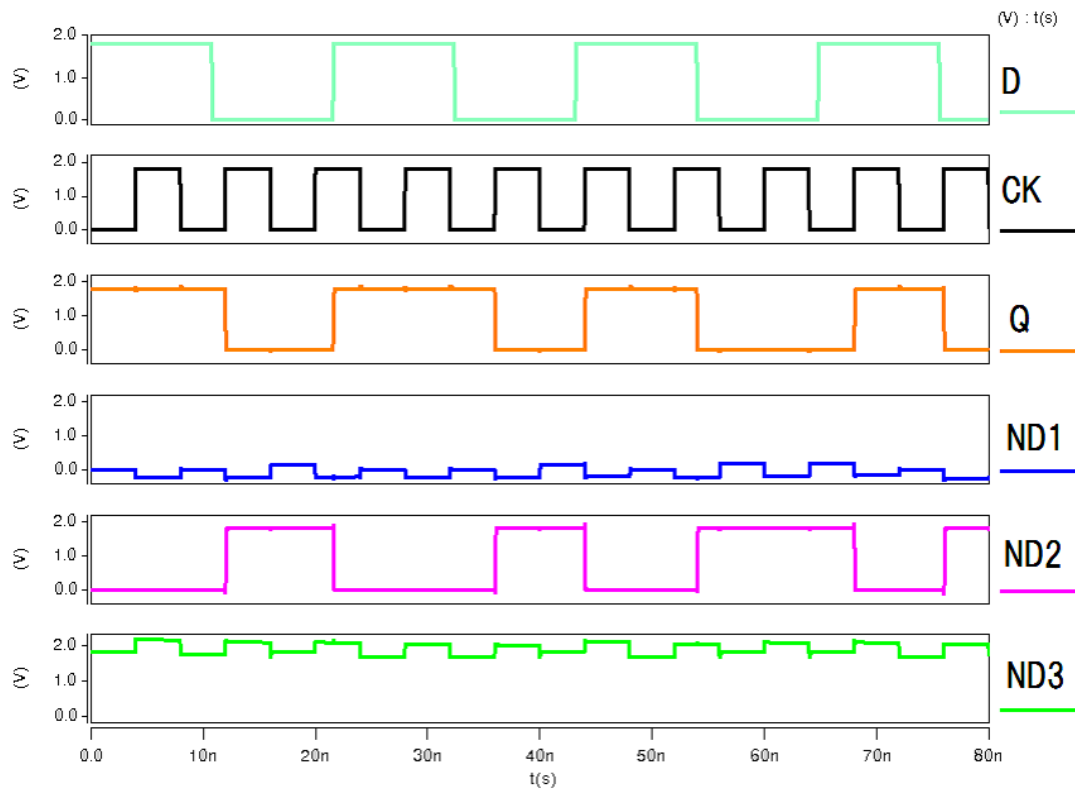


図 4.16: 改良 SHC ラッチの通常時の波形.

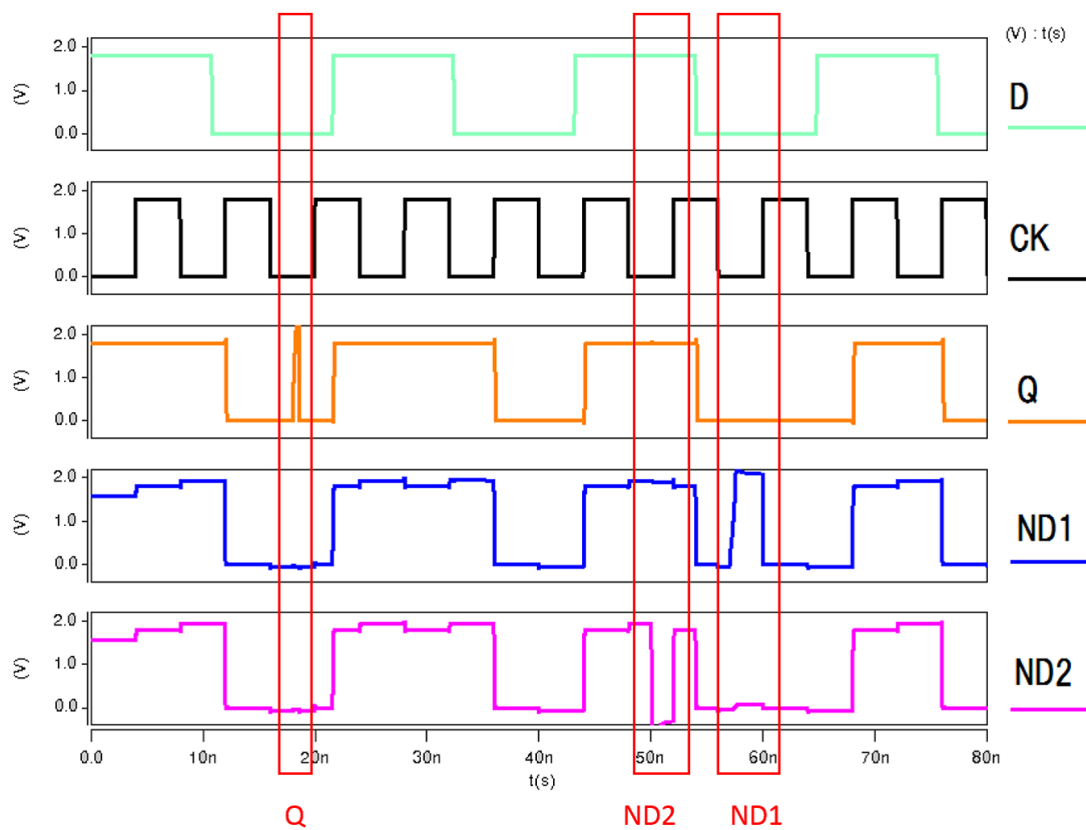


図 4.17: 各ノードでのソフトエラー発生時の SHC ラッチの波形.

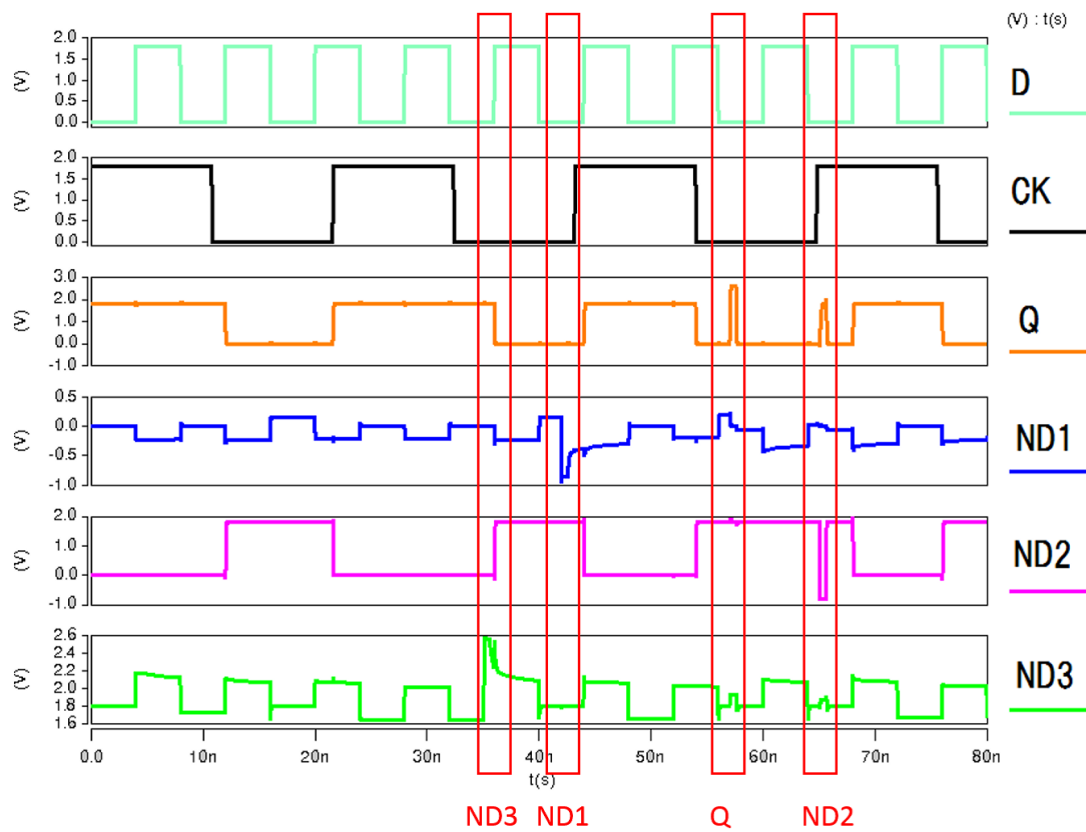


図 4.18: 各ノードでのソフトエラー発生時の改良 SHC ラッチの波形.

4.4 考察

SEU を考慮し、SEH ラッチの低電力化を目指した New-SEH ラッチを提案した。さらに、New-SEH ラッチの高速化を目指した Fast-SEH ラッチとその低電力化を目指した改良 Fast-SEH ラッチを提案した。そして、SEU だけでなく SET も考慮した SHC ラッチとその安定化・高速化を目指した改良 SHC ラッチを提案した。

SEU を考慮した提案ラッチに関しては、ソフトエラー発生原因を使用し、高いソフトエラー耐性をもつ SEH ラッチをベースにし、PDH と NDH の2つのノードはそれぞれ PMOS トランジスタと NMOS トランジスタで構成しているため、ソフトエラー耐性を落とさずに、電力と遅延を改善できた。立上り・立下り時の各ラッチの出力波形をそれぞれ図 4.19 と図 4.20 に示す。図 4.19 と図 4.20 より、改良 Fast-SEH ラッチは他の提案ラッチと比較しても、非常に早く値を出力できてい

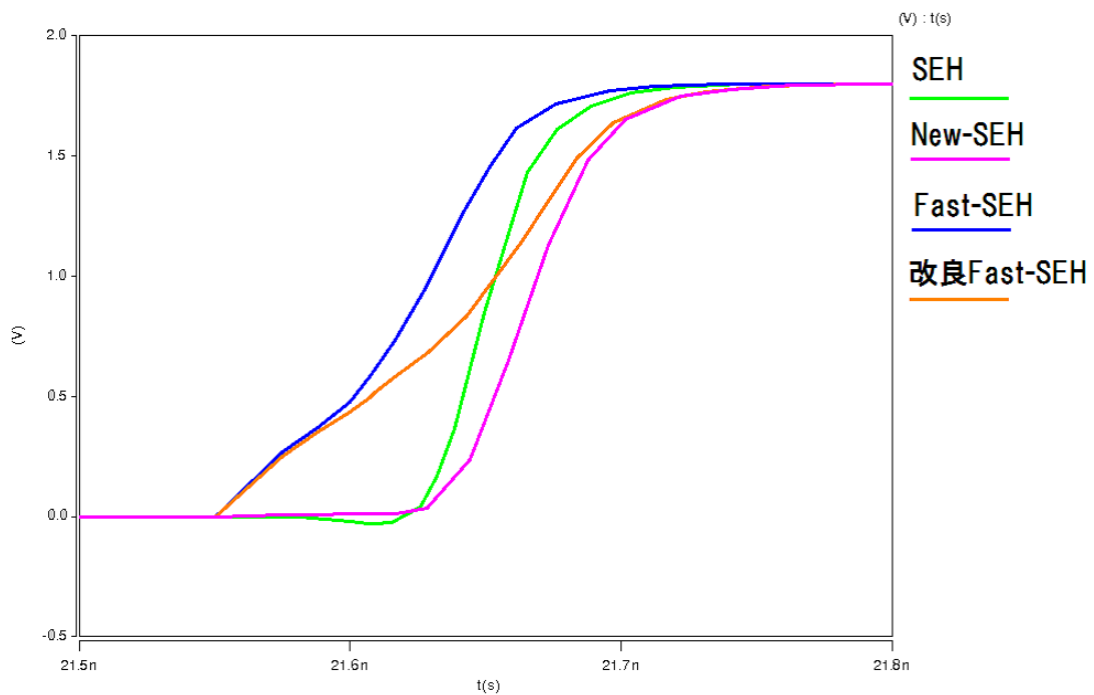


図 4.19: 立上り時の各ラッチの出力波形.

ることが確認できた。

SEU だけでなく SET を考慮した提案ラッチに関しては、比較的簡単な構造を達成しつつ、既存のラッチ回路と比較すると電力・遅延を削減することができた。立上り、立下り時の各ラッチの出力波形をそれぞれ図 4.21 と図 4.22 に示す。図 4.21 と図 4.22 より、SHC ラッチは C-element を通さないと出力までいけない分、他の提案ラッチと比較すると遅延が大きかった。改良 SHC ラッチは電力・遅延等のバランスが非常に良いラッチとなった。いずれの提案ラッチも既存研究より電力・遅延の両方で良い結果を得ることができた。

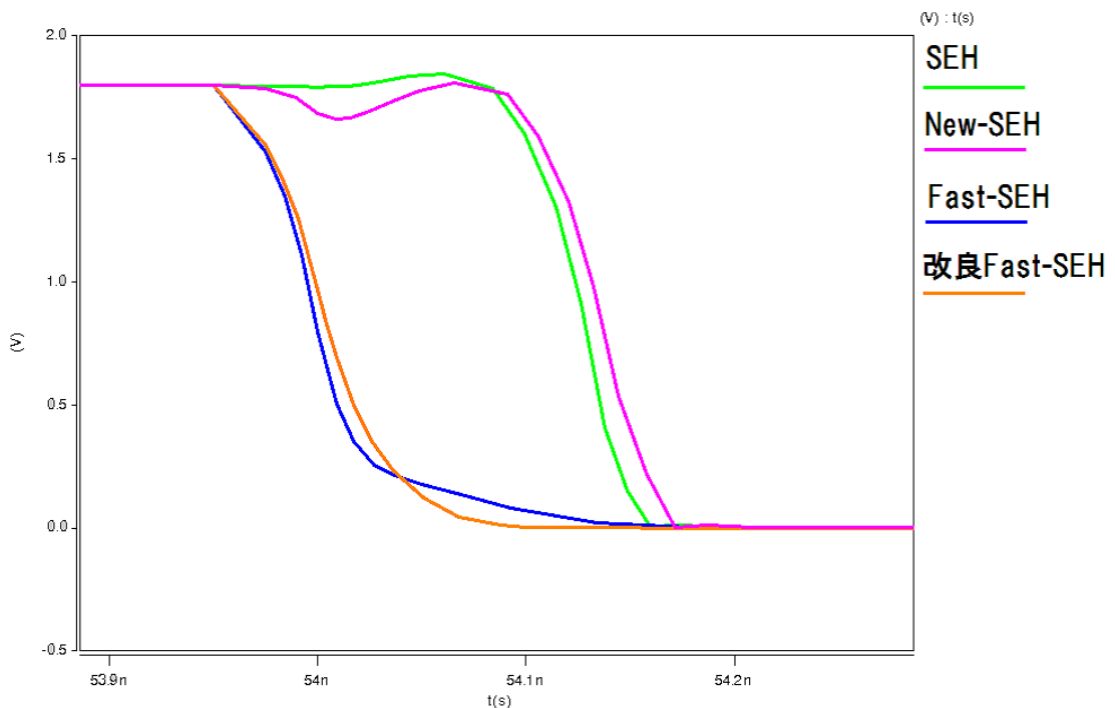


図 4.20: 立下り時の各ラッチの出力波形。

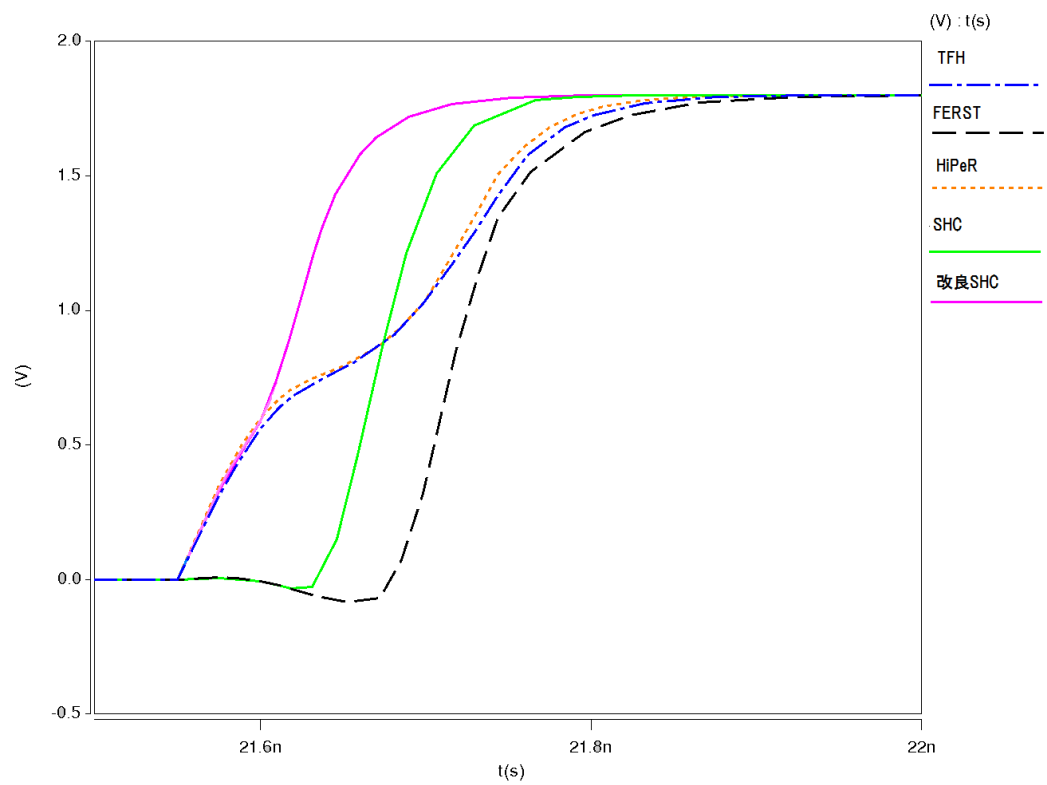


図 4.21: 立上り時の各ラッチの出力波形.

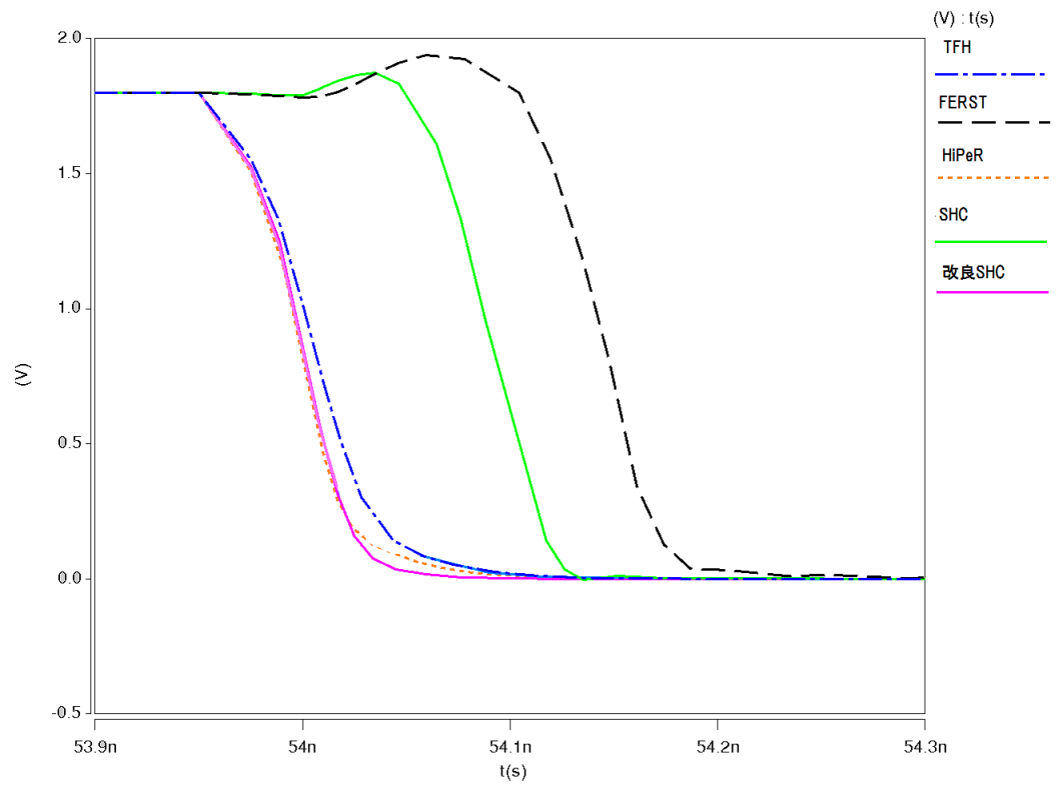


図 4.22: 立下り時の各ラッチの出力波形.

4.5 本章のまとめ

本章では、既存の耐ソフトエラー回路の問題点を改善したラッチを提案した。さらに、virtuoso を用いて実装し、トランジスタレベル・シミュレーションを用いて電力・遅延の評価及び考察をした。

4.2 節「提案耐 SEU ラッチ」では、ソフトエラーの発生原因を利用し、高いソフトエラー耐性をもつ既存の SEH ラッチを元にした3つの回路を提案した。低電力化を目指し、SEH ラッチの一部を削減し、低電力化を達成した「New-SEH ラッチ」提案した。そして、New-SEH ラッチの高速化を達成した「Fast-SEH ラッチ」、さらに Fast-SEH ラッチの安定化を目指した「改良 Fast-SEH ラッチ」を提案した。さらに、virtuoso を用いた実装を行い、トランジスタレベルシミュレーションによって電力・遅延の測定を行った。既存の SEH ラッチと比較すると、New-SEH ラッチは電力を大幅に削減し、Fast-SEH ラッチと改良 Fast-SEH ラッチは動作速度の向上に成功した。耐 SEU ラッチの中では改良 Fast-SEH ラッチが電力・遅延共に一番良い結果を得た。

4.3 節「提案耐 SEU+SET ラッチ」では、4.2 節で考慮していなかった SET をも考慮し、低電力化を目指した「SHC ラッチ」、さらに SHC ラッチの高速化を目指した「改良 SHC ラッチ」を提案した。さらに、virtuoso を用いた実装を行い、トランジスタレベルシミュレーションによって電力・遅延の測定を行った。耐 SEU+SET ラッチの中では改良 SHC ラッチが電力・遅延共に一番良い結果となった。

4.4 節「考察」では、本章で取り上げた既存ラッチと提案ラッチをトランジスタレベルシミュレーションを用いて評価し、検討及び考察した。

第5章

結論

本論文では、近年の LSI 回路の微細化・低電力化技術の発展の妨げとなっているソフトエラーに耐性をもつ回路の調査を行った。さらに、電力・遅延を改善するための回路の提案とそれぞれの比較、考察を行った。

第1章「序論」では、近年の LSI 回路設計における流行である低電力化・微細化の重要性について述べた。さらに、これらの技術の発展を妨げる信頼性問題の1つであるソフトエラーの対策の重要性について述べた。

第2章「ソフトエラー」では、放射線起因のソフトエラーの発生原因とソフトエラーの種類である SEU と SET の概要について述べた。さらに、近年ソフトエラーが LSI 回路に与える影響についても述べた。

第3章「既存のソフトエラー対策設計」では、耐 SEU ラッチとして、DICE ラッチ、ソフトエラー発生性質を利用した SEH ラッチについて述べた。さらに SEU だけでなく SET の両方を考慮する既存ラッチとして、TFH ラッチ、HiPeR ラッチ、FERST ラッチについて述べた。さらにそれぞれの既存ラッチに対して、virtuoso を使用し、実装を行った。そして、トランジスタレベルシミュレーションにおいて、電力・遅延を比較評価・考察した。

第4章「提案耐ソフトエラーラッチ」では、低電力化・高速化を目指し、SEU を考慮するラッチ、及び SEU と SET を考慮する、2つの観点からの耐性ラッチを提案した。SEU を考慮する提案ラッチに関しては、低電力化のためにトランジスタを減らした New-SEH ラッチを提案した。さらに高速化を目指した Fast-SEH ラッチ、改良 Fast-SEH ラッチの提案を行った。SEU と SET を考慮するラッチに関しては、既存ラッチの低電力化や高速化を目指した SHC ラッチ、改良 SHC ラッチの提案を行った。提案した各ラッチに関しても既存ラッチと同様に virtuoso を用いて実装を行い、トランジスタレベルシミュレーションにおいて、電力・遅延を取得し、比較を行った。SEU を考慮した場合、改良 Fast-SEH ラッチが電力・遅延共に一番バランスのとれたラッチであることが確認できた。また、SET をも考慮した場合、改良 SHC ラッチが電力・遅延共に一番バランスのとれたラッチであることが確認できた。今回実装したような耐ソフトエラーラッチは、1つのノードがソフトエラーの影響を受けた場合のみの回復を考慮しており、2つでエラーが発生した場合を考慮していない。微細化によって回路面積自体は小さくなり、放射線が同時に2つのノードに影響を与えることが少ないとも考えられるが、回路の

キャパシタが小さくなることで、ソフトエラーが従来より発生しやすくなる。結果的に2つのノードがソフトエラーの影響を受けた状況も、今後の研究の視野にいれる必要がある。

本研究はラッチ単体の非常に小さな規模かつ typical な環境下での改良を行っていた。今後の更なる低電力化を目指す場合、低電圧化での使用が必須となってくる。そのため、温度・電圧条件が悪くなった場合のシミュレーションが必須といえる。さらに、大規模回路に本研究のラッチを使用する場合のシミュレーションや、このような条件に対応することが今後の研究課題といえる。

謝辞

本論文を執筆するにあたり数々の貴重な御指導，御助言を賜りました，本学情報理工・情報通信学科，柳澤政生教授と戸川望教授に深く感謝致します。

研究室ゼミの指導等，本論文の作成に関して多くの御助言を頂きました，史又華准教授に厚く御礼申し上げます。

最後に，本論文に関する研究活動全般に加えて，研究活動以外にも公私に渡り支えて頂きました，柳澤研究室，戸川研究室，木村研究室，吉増研究室の皆様に深く感謝致します。

参考文献

- [1] K. Bowman, J. Tschanz, N. Kim, J. Lee, C. Wilkerson, S. Lu, T. Karnik and V. De, “Energy-efficient and metastability-immune resilient circuits for dynamic variation tolerance,” *IEEE J. Solid-State Circuits*, vol. 44, no. 1, pp. 49–63, Jan. 2009.
- [2] T. Calin, M. Nicolaidis and R. Velazco, “Upset hardened memory design for submicron CMOS technology,” *IEEE Tran. on Nuclear Science*, vol. 43, no. 6, pp. 2874-2878, Dec. 1996.
- [3] C. Chang, H. Huang, Y. Lin, and C. Wen, “SERL: Soft error resilient latch design,” in *Proc. International Symposium on VLSI Design, Automation and Test (VLSI-DAT)*, pp. 1-4, Apr. 2016.
- [4] G. Duple, E. MacDonald, B. Graniello and A. Chavan, “Fault tolerant flip-flop design for ultra-low power subthreshold logic,” *VDM Verlag*, pp. 1-25, Oct. 2008.
- [5] A. Dutta and N. A. Touba, “Multiple bit upset tolerant memory using a selective cycle avoidance based SEC-DED-DAEC Code,” in *Proc. VLSI Test Symposium*, pp. 349-354, 2007.
- [6] M. Fazeli, A. Patooghy, S. G. Miremadi and A. Ejlali, “Feedback redundancy: A power-aware efficient SEU-tolerant latch design for deep sub-micron technologies,” in *Proc. IEEE/FIP International Conference on Dependable System Networks*, pp. 276-285, Jun. 2007.

- [7] 伊部栄史, 鳥羽忠信, 新保健一, 上蘭巧, 谷口齊, “環境放射線による電子装置のソフトエラー・障害対策の現状と取り組み,” 日立評論 イノベティブR & D レポート, pp. 56-61, Jul. 2014.
- [8] S. Jahinuzzaman and R. Islam, “TSPC-DICE: A single phase clock high performance SEU hardened flip-flop,” IEEE International Midwest Symposium, pp. 73-76, Aug. 2010.
- [9] Y. Jiren and C. Svensson, “A True single-phase-clock dynamic CMOS circuit technique,” IEEE J. Solid-State Circuits, vol. sc-22, no. 5, pp. 899-901, Oct. 1987.
- [10] 牧野 高紘, 池田 博一, 高橋 大輔, 柳川 善光, 齋藤 宏文, 石井 茂, 小林 大輔, 小野田 忍, 草野 将樹, 福田 盛介, 平尾 敏雄, 池淵 博, 廣瀬 和之, 大島 武, 黒田 能克, “宇宙用論理 LSI で発生する放射線誘起スパイクノイズの研究,” 電子情報通信学会技術研究報告, SANE(宇宙・航行エレクトロニクス), vol. 108, no. 100, pp. 67-72, Jun. 2008.
- [11] S. Mitra, N. Seifert, M. Zhang, Q. Shi and K. S. Kim, “Robust system design with built-in soft error resilience,” Computer, vol. 38, no. 2, pp. 43-52, Feb. 2005.
- [12] 小松義英, 有馬幸生, 藤本鉄哉, 山下高廣, 石橋孝一郎, “90nm 以後のプロセスに適応可能な宇宙線への耐性を備えたラッチ回路,” 電子情報通信学会技術研究報告, ICD(集積回路), vol. 104, no.66, pp. 27-32, May, 2004.
- [13] Y. Komatsu, Y. Arima, T. Fujimoto, T. Yamashita and K. Ishibashi, “A soft-error hardened latch scheme for SOC in a 90nm technology and beyond,” in Proc. IEEE Custom Integrate Circuit Conference, pp. 324-332, Oct. 2004.
- [14] M. Omana, D. Rossi and C. Metra, “Novel transient fault hardened static latch,” in Proc. of IEEE International Test Conference, pp. 886-892, 2003.

- [15] 久保田勘人, 増田政基, 小林和淑, “低電力かつ省面積な耐ソフトエラー多重化フリップフロップ DICE ACFF,” 電子情報通信学会技術研究報告, VLD, vol. 112, no. 320, pp. 69-74, Nov. 2012.
- [16] A. Rastogi, M. Agarawal and B. Gupta, “SEU mitigation using 1/3 rate convolution coding,” in Proc. International Conference on Computer Science and Information Technology, pp. 180-183, 2009.
- [17] P. Shivakumar, M. Kistler, S. W. Keckler, D. Burger and L. Alvis, “Modeling the effect of technology trends on the soft error rate of combinational logic,” in Proc. Dependable Systems and Networks, pp. 389-398, 2002.
- [18] J. Singh, J. Mathew, M. Hosseinababy and D. K. Pradhan, “Single event upset detection and correction,” in Proc. International Conference Information Technology, pp. 13-18, 2007.
- [19] 上村大樹, “ソフトエラー評価技術と対策技術 (高信頼性技術),” 電子情報通信学会技術研究報告, ICD(集積回路), vol. 112, no. 365, pp. 103-108, Dec. 2012.
- [20] Neil H. E. Weste and David Money Harris, CMOS VLSI design: A circuits and systems perspective, Addison Wesley, pp. 1-252, Mar. 2010.
- [21] A. Yan, H. Liang, Z. Huang and C. Jiang, “High-performance, low-cost, and highly reliable radiation hardened latch design,” Electronics Letters, vol. 52, no. 2, pp. 139-141, Jan. 2016.
- [22] H. R. Zarandi, S. G. Miremadi, C. Argyrides and D. K. Pradhan, “Fast SEU detection and correction in LUT configuration bits of SRAM-based FPGAs,” in Proc. International Parallel and Distributed Processing Symposium, pp. 1-6, 2007.

研究業績

- 国際会議

[1]Saki TAJIMA (First Author), Youhua SHI, Nozomu TOGAWA, and Masao YANAGISAWA, “A low-power soft error tolerant latch scheme,” IEEE 11th International Conference on ASIC(ASICON 2015), pp. 1-4, Oct. 2015. DOI: 10.1109/ASICON.2015.7516885 (査読有)

- 国内学会

[1] 田島咲季 (筆頭), 史又華, 戸川望, 柳澤政生, “高速かつ低電力なソフトエラー耐性をもつ Fast-SEH ラッチの設計,” 電子情報通信学会 第 29 回回路とシステムワークショップ, pp. 220-224, May 2016. (査読有)

[2] 田島咲季 (筆頭), 史又華, 戸川望, 柳澤政生, “15nm プロセスにおける低電力な耐ソフトエラーラッチの設計,” 電子情報通信学会 VLSI 設計技術研究会 (VLD) , vol. 115, no. 338, pp. 123-127, Dec. 2015.

[3] 田島咲季 (筆頭), 史又華, 戸川望, 柳澤政生, “低電力なソフトエラー耐性をもつ New-SEH ラッチの設計,” 電子情報通信学会ソサイエティ大会, no. A-9-2, Sept. 2015.

[4] 田島咲季 (筆頭), 史又華, 戸川望, 柳澤政生, “低電力耐ソフトエラーラッチの設計,” 電子情報通信学会技術研究報告, VLD, vol. 114, no. 476, pp. 55-60, Mar. 2015.

2016 年度 修士論文

低電力高速な
ソフトエラー耐性を持つ
ラッチ回路設計に関する研究

指導教員 柳澤 政生 教授
戸川 望 教授

早稲田大学 基幹理工学研究科
情報理工・情報通信専攻

5115F042-8

田島 咲季
Saki Tajima

二〇十六年度 修士論文
ラッチ回路設計に関する研究

低電力高速なソフトウェア耐性を持つ

田島 咲季

二〇十六年度 修士論文
ラッチ回路設計に関する研究

低電力高速なソフトウェア耐性を持つ

田島 咲季

二〇十六年度 修士論文
ラッチ回路設計に関する研究

低電力高速なソフトウェア耐性を持つ

田島 咲季

二〇十六年度 修士論文
ラッチ回路設計に関する研究

低電力高速なソフトウェア耐性を持つ

田島 咲季

二〇十六年度 修士論文
ラッチ回路設計に関する研究

低電力高速なソフトウェア耐性を持つ

田島 咲季

二〇十六年度 修士論文
ラッチ回路設計に関する研究

低電力高速なソフトウェア耐性を持つ

田島 咲季

二〇十六年度 修士論文
ラッチ回路設計に関する研究

低電力高速なソフトウェア耐性を持つ

田島 咲季

二〇十六年度 修士論文
ラッチ回路設計に関する研究

低電力高速なソフトウェア耐性を持つ

田島 咲季