

博士論文審査報告書

論 文 題 目

VLSI Architecture of Intra-Prediction and
SAO Estimation in HEVC and its
Extension to Compressed Sensing

申 請 者

Jianbin	ZHOU
周	劍斌

--

2018 年 7 月

近年、超高精細映像、3D 映像、AR/VR (Augmented Reality / Virtual Reality) など、高画質と高臨場感を提供する映像サービスの普及が進んでいる。しかし、これらのデータ量は莫大なため、圧縮して伝送・蓄積する方式がとられ、MPEG (Moving Picture Experts Group) を中心に動画像符号化の国際標準化が進められている。最新の国際標準である HEVC (High Efficiency Video Coding) では、高圧縮率を達成するため、以前の AVC (Advanced Video Coding) に対して様々な新機能が追加されている。ただし、新機能の追加によって演算量や消費電力が大幅に増大するため、画像品質を保ちながら演算量を削減するアルゴリズムと VLSI (Very Large Scale Integration) 設計が求められている。

また、近年、圧縮センシング (Compressed Sensing) と呼ばれる画像取得手法が注目を集めている。これは、画素を出力単位とする従来の CMOS (Complementary Metal Oxide Semiconductor) イメージセンサに対して、イメージセンサに行列演算を組み込み、有意で少量の観測信号を出力することを特徴とする。これによって、従来手法に比してカメラ出力のデータ量を減らすことができる。しかし、観測信号の圧縮方式や VLSI 設計は十分に検討が行われておらず、効率的な新規提案が求められている。

そこで本論文では、HEVC におけるイントラ予測とサンプル適応オフセット (SAO: Sample Adaptive Offset) の効率的な処理を可能とする VLSI 設計、および、圧縮センシングの観測信号を効率的に圧縮する 2 種類のイントラ予測方式と VLSI 設計の提案を行い、それぞれの有効性実証を行っている。

本論文は以下の 6 章から構成されている。

第 1 章 Introduction では、HEVC を含む動画像符号化国際標準方式、圧縮センシング、HEVC におけるイントラ予測と SAO の紹介を行った後に、本論文の目的と構成を説明している。

第 2 章 VLSI Architecture of HEVC Intra Prediction using Reduced Loaded-Pixels では、HEVC イントラ予測のための高性能 VLSI の提案を行っている。HEVC のイントラ予測では、ブロックサイズの拡大に伴い、AVC よりも 3 倍多くの隣接画素を予測に使用する。従来は、すべての隣接画素をロードしてからイントラ予測を行うため、回路面積が増大する。これに対して提案方式では、予測モード等に応じてロード画素を選択するルックアップテーブルを追加することで、部分的な隣接画素のロードに制限している。これにより、ロード画素量を約 3 分の 1 に削減し、回路面積も削減した。また、複数のデータ転送経路を作成し、アイドル時間を抑えるブロック並べ替えの工夫も組み込み、ハードウェア利用率を 94% に高めている。これらの提案手法により、VLSI 設計では、既存手法の 3 分の 2 のハードウェア量で、120 枚/秒の 4K 映像の HEVC イントラ予測を実現できることを示している。

第 3 章 Dual-clock VLSI Architecture of HEVC Sample Adaptive Offset

Estimation では、SAO のための高性能 VLSI 設計の提案を行っている。SAO は、画像内のリングングを低減する最適オフセット値を見つける処理であり、統計量収集 (SC: Statistics Collection) とパラメータ決定 (PD: Parameter Decision) の二段階から構成される。ここで SC と PD の演算特徴を比較すると、SC は単純な演算の多数回実行であるのに対し、PD は複雑な演算の少数回実行であることがわかる。そこで、SC は高クロック数で動作させ、PD は低クロック数で動作させるデュアルクロックアーキテクチャとすることで回路面積を約半分に削減できる。さらに、粗領域選択とアキュムレータビット幅削減と呼ばれるアルゴリズムとアーキテクチャの協調最適化を適用することで、面積をさらに 25%削減して 51K ゲートに抑え、120 枚/秒の 8K 映像の SAO 処理に適用できることを示している。

第 4 章 Algorithm and VLSI Architecture of Intra Prediction in Compressed Sensing using Reduced Measurements では、圧縮センシングの観測信号のイントラ予測方式とその VLSI 設計を提案している。具体的には、ブロック毎の観測行列の第 1 行と第 2 行を工夫し、下ブロックと右ブロックの予測値を生成し、それらの予測値を、該当ブロックの観測信号のイントラ予測に使用する。さらに、マトリックス乗算を共有加算器およびシフタに置き換えることによって、低コストの VLSI を実装できる。実験結果として、ランダム行列を使用する通常の圧縮センシングと比較して 34.9% の BD (Bjontegaard-Delta) レートを削減し、また VLSI 設計では、ラインバッファのメモリ帯域幅とストレージサイズを 83%削減することに成功している。

第 5 章 Row-Operation-Based Intra Prediction under Approximate-DCT Measurement Matrices and its VLSI Architecture Implementation では、圧縮性能の高い観測信号のイントラ予測方式とその VLSI 設計を提案している。具体的には、観測行列を離散コサイン変換 (DCT: Discrete Cosine Transform) の近似行列として構成し、かつ、観測行列の 3 行の演算出力の加減算によって隣接ブロックの予測値生成を実現している。DCT 近似行列は、従来のランダム行列に比して符号化効率を大幅に高め、また、行演算の工夫は、第 4 章と等価なイントラ予測を実現する。さらに、この提案方式を実現する VLSI 設計の提案も行い、第 4 章の方式との比較実験結果として、提案方式は 4.2dB の BD-PSNR 特性を改善し、また VLSI 設計では、面積、消費電力ともに約半分の 4.3K ゲート、0.3mW に抑えることに成功している。

第 6 章 Conclusion and Future Work では、本論文の貢献と今後の課題をまとめている。

以上、本論文は、HEVC におけるイントラ予測と SAO の処理に適した VLSI 設計、および、圧縮センシングの観測信号の高効率符号化方式と VLSI 設計に関するものであり、それぞれについて有効な方式と VLSI 設計を示し、学術的にも実用的にも高く評価できる。よって本論文は博士 (工学) 早稲田大学の学位論文として価値あるものと認める。

2018 年 7 月

審査員 主査 早稲田大学教授 博士（工学）東京大学 甲藤 二郎

早稲田大学教授 博士（工学）早稲田大学 戸川 望

早稲田大学教授 博士（工学）大阪大学 吉村 猛

早稲田大学名誉教授 工学博士（早稲田大学） 後藤 敏
