

博士論文審査報告書

論文題目

レイテンシ削減を目的とした
フロアプラン指向 FPGA 向け高位合成手法
に関する研究

Floorplan-driven High-level Synthesis
Algorithms for Latency Reduction
Targeting FPGA Designs

申請者

藤原	晃一
Koichi	FUJIWARA

情報理工・情報通信専攻 情報システム設計研究

2019年 2月

半導体微細加工技術の進歩に伴い，専用ハードウェアが持つ高速性と，ソフトウェアが持つ柔軟性を合わせ持ったデバイスとして **FPGA (Field-Programmable Gate Array)** の重要性が高まっている．**FPGA** は，内部にプログラム要素を持ち，これを適宜プログラムすることで，所望の回路を内部に作り込むことができる．従来，**FPGA** は専用ハードウェアのシステムプロトタイプを設計するための一時的なデバイスとして使われるのが主流であったが，機能の書き換えやアップデートなどが容易であり，専用ハードウェアと比較しても十分な高速性や小面積が得られることから，現在では **FPGA** が積極的に最終製品に使用されている．

一方，**FPGA** をはじめとする大規模集積回路を効率よく設計するための技術として，高位合成技術が知られている．高位合成とは，プログラム言語によって記述された抽象的な回路動作（動作記述）から，レジスタトランスファレベル（**RTL** レベル）回路を計算機によって自動合成する技術である．高位合成によって，システム動作と，タイミング設計をはじめとするハードウェア特有の回路設計とを分離することが可能となり，極めて効率よく集積回路を設計することができる．

近年，高位合成技術の中でも，レジスタ分散アーキテクチャと呼ばれる新たな概念が導入され，高位合成の段階でできるだけ回路の物理情報を取り入れることが可能となる技術が提案されている．レジスタ分散アーキテクチャとは，記憶要素たるレジスタを回路中に分散配置することを基本とし，計算ブロックと記憶要素とをクラスタ化して取り扱う．その結果，高位合成段階であっても，計算結果の転送とその記憶とを物理的にはほぼ同時に実行可能とし，配線遅延による回路レイテンシの増加を防ぎ，高レイテンシ回路の合成が可能となる．

ここで **FPGA** を対象とした高位合成を想定すると，**FPGA** は内部にプログラム要素を持ち，信号伝搬中に経由するトランジスタ数が大きく，通常の回路設計と比較して配線遅延を陽に考慮する必要がある．加えて回路レベルでプログラム要素を実現するため，マルチプレクサ (**MUX**) が比較的多く利用される傾向にある．とりわけ抽象度が高い動作記述を扱う **FPGA** 高位合成では，配線遅延の取扱いと **MUX** 削減が最大の問題点となる．レジスタ分散アーキテクチャをベースに，こうした問題点を解決する **FPGA** 高位合成技術の開発が不可欠であると言える．

以上のような背景のもと，本論文では，レイテンシ削減を目的に，フロアプラン指向の **FPGA** 高位合成手法を提案している．まず，レジスタ分散アーキテクチャをベースに，**MUX** 削減を可能とする **FPGA** 高位合成手法を提案している．続いて，**FPGA** 高位合成において簡単かつ高精度に配線見積り・クロックスキュー（クロック信号の到着時間のずれ）見積りを実現する手法を提案している．こうした高速かつ高精度な配線見積り・クロックスキュー見積りを **FPGA** 高位合成手法に組み込むことで，さらに高いレイテンシを実現する **FPGA** 高位合成を実現している．そして，実回路・実 **FPGA** を用いて評価実験を行い，手法全体の有効性を確認している．

本論文は 7 章から構成される。以下では、各章の概要を述べ、評価を加える。第 1 章「序論」では、本論文の背景と目的および概要をまとめ、著者の研究の位置付けを明らかにしている。

第 2 章「関連研究」では、既存のフロアプランを扱う **FPGA** 高位合成手法と **MUX** コストを削減する **FPGA** 高位合成手法をまとめ、その評価を加えている。

第 3 章「**HDR** アーキテクチャを対象とした **MUX** 削減 **FPGA** 高位合成手法」では、レジスタ分散アーキテクチャをベースに、**MUX** 削減を可能とする **FPGA** 高位合成手法を提案している。まず、実験的に **FPGA** 中の配線遅延の構成要素として入力数が多い **MUX** が大きな割合を持つことを示している。その上で、いくつかのレジスタ分散アーキテクチャの中から **HDR** アーキテクチャ (**Huddle-based Distributed-Register Architecture**) を取り上げ、これをベースに **FPGA** のための **MUX** 削減高位合成手法を提案している。さまざまなアプリケーションプログラムを通して、提案手法の有効性を評価している。

第 4 章「フロアプラン指向 **FPGA** 高位合成向け配線遅延・クロックスキュー見積りモデル」では、**FPGA** 高位合成に適用可能な簡単かつ高精度な配線遅延・クロックスキュー見積りモデルを提案している。まず、さまざまな条件下で **FPGA** の配線遅延を実験的に計測し、その上で **FPGA** 配線遅延見積りモデルを提案している。さらに **FPGA** においてクロックスキューがレイテンシに比較的大きな影響を与えることを見出した上で、さまざまな条件下で **FPGA** のクロックスキューを実験的に計測し、その上で **FPGA** クロックスキュー見積りモデルを提案している。シミュレーション評価の結果、これらのモデルの有効性を確認している。

第 5 章「配線遅延とクロックスキューを考慮したクリティカルパス最適化 **FPGA** 高位合成手法」では、第 3 章で提案した **FPGA** 高位合成手法に、第 4 章で提案した配線遅延・クロックスキュー見積りモデルを導入した、新たな **FPGA** 高位合成手法を提案している。さまざまなアプリケーションプログラムを通して、提案手法の有効性を評価している。

第 6 章「フロアプラン指向高位合成手法を用いた **FPGA** 実装と評価」では、第 5 章で提案した **FPGA** 高位合成手法を実 **FPGA** デバイス上で評価している。典型的なアプリケーションプログラムによる評価の結果、本論文で提案した手法全体の有効性が確認されている。

第 7 章「結論」では、本論文の成果の総括を行っている。

以上が本論文の概要であるが、本論文は、**FPGA** の高位合成技術に焦点を当て、**FPGA** の特性に基づき配線遅延・クロックスキュー見積りモデルを提案した上で、**FPGA** に特化した高位合成技術を提案している。実 **FPGA** を用いた評価を行い、その有効性を確認している。これらの成果は、高度情報通信社会を支える重要な基盤情報技術たる集積回路設計技術の発展に寄与するところが大きい。よって本論文は博士（工学）早稲田大学の学位論文として価値あるものと認める。

2019年2月

審査員 主査 早稲田大学教授 博士(工学)早稲田大学 戸川 望

早稲田大学教授 工学博士(早稲田大学) 柳澤政生

早稲田大学教授 博士(工学)早稲田大学 山名早人
