

# 博士論文審査結果報告書

## 論 文 題 目

**Controlling Value Based Pseudo  
Power Gating for Power-efficient  
LSI Design**

申 請 者  
Yu JIN

情報生産システム工学専攻  
高位検証技術研究

2014 年 2 月

近年の LSI におけるトランジスタ密度とスイッチング速度の継続的な増加により、一つのチップに 1 億を越える論理素子が搭載され、ギガヘルツを超えるクロック速度で動作できるようになった。しかし、高い密度と高速なスイッチングは大きな消費電力を必要とし、低電力化の要求が高まっている。このため、LSI の低電力設計技術の研究開発が盛んに行われている。

LSI の消費電力は、論理素子の入力変化起因の出力変化による動的電力と、各論理素子の漏れ電流による静的電力に大別される。プロセスの微細化により静的な電力消費が増加し、近い将来、動的電力と同等になると考えられている。このため、動的電力の削減と同時に静的電力の削減が急務である。動的電力削減に関しては、回路の入力を変化させないことで削減が可能であり、入力変化に直結するクロックを停止するクロックゲーティングや、不要な入力変化を伝播させないシグナルゲーティングなどの手法が用いられる。一方、静的電力削減に関しては、不必要な機能モジュールの電力供給を電源制御トランジスタで停止するパワーゲーティング手法が用いられる。

これらの動的電力削減と静的電力削減とは互いに関連を有している。例えば、ある組合せ回路部の入力変化を停止することで動的電力を削減できるが、それと同時に入力の変化しない組合せ回路部の電力供給を停止することで静的電力を削減可能である。一方、電力供給が停止された組合せ回路部については、入力に変化しても回路内部の論理素子の出力が変化しないので、動的電力も削減される。

本論文は、この関連に基づき、論理素子の制御値を用いて動的電力および静的電力を削減するための疑似パワーゲーティング手法についての研究成果をまとめたものである。論理素子の制御値は、一つの入力で出力を決定できる値のことで、AND 演算では 0 が制御値である。ある入力が制御値となると、他の入力の値が不要となり、計算部を停止できる。

通常のパワーゲーティングでは、電源を ON/OFF するためのトランジスタを導入して不要な入力の計算部への電源供給を停止するが、電源再投入に時間がかかるとともに再投入時の素子の出力決定のための一時電流(ラッシュ電流)による電力消費が大きな問題であった。

疑似パワーゲーティングは、制御値を取る入力を、他の入力の計算部の論理素子に追加の入力として接続することで、パワーゲーティングと同様の効果を得る手法で、各素子の出力変化を抑制して動的電力を削減すると同時にトランジスタのスタック効果により静的電力を削減する。また、ラッシュ電流の問題がなく、通常のライブラリで論理合成・レイアウトが可能である。

以下、各章毎に概略を示し評価を行う。

第 1 章 “Introduction” では、クロックゲーティングとパワーゲーティングを含む LSI 設計の種々のレベルでの低電力設計技術についてまとめ、本研究の目的と位置づけを示している。

第 2 章 “Preliminaries” では、準備として、回路データの解析で用いられ

る二分決定グラフ(Binary Decision Diagram, BDD) を用いた論理関数処理および BDD を用いた論理素子のスイッチングアクティビティ(出力の変化確率)の計算方法を示している。

第 3 章 “Pseudo Power Gating Method based on SW-first Algorithm” では、制御値に基づく疑似パワーゲーティング手法を提案するとともに、スイッチングアクティビティ変化を元に制御部を決定するアルゴリズムを示している。本手法では、ある論理素子に着目し、制御値をとる信号線を、他の入力の計算部の各素子に追加の入力として接続する。このため、通常のパワーゲーティングとは異なり、停止制御中でも素子の出力は維持されるので、再動作時のラッシュ電流を避けることができる。

制御線の追加においては、当該素子の出力と後段の素子の論理が変わり、同時にこれらの素子のスイッチングアクティビティが変化する。そこで、各制御信号候補について、接続後のスイッチングアクティビティの削減量を計算し、削減量の大きい順に制御部を決定することで、既存のパワーゲーティング向けのアルゴリズムに比べて高い動的電力削減率を得ている。また、回路の性能維持のため、最大の論理段数を増加させない場合にのみ制御信号を接続するという制約を加えた場合でも、既存手法に比べて高い削減率が得られることを示している。さらに、制御信号の接続で、後段の論理素子の出力にグリッチと呼ばれる短いパルス状の出力を生成する場合への対応策として、再収斂ゲートまでのインバータの段数が奇数の場合を除いて接続するグリッチ除去手法を導入している。

提案手法は C 言語を用いて実現され、ISCAS85 ベンチマーク回路に適用された。スイッチングアクティビティは、段数の増加を許容する場合には 8.1%~43.5% (平均で 21.7%) の削減となっている。これは、既存の制御ゲート数や停止確率を用いた手法の平均の 7.5% に比べて 3 倍程度良い結果となっている。また、最大段数を増加させない制約の下でも、平均で 17.1% の削減が得られている。

さらに、提案手法を適用した結果の回路を東京大学大規模集積システム設計教育研究センターの Rohm 0.18  $\mu\text{m}$  プロセスを用いて論理合成とレイアウトを行い、レイアウト後の回路で電力の評価を行っている。元の回路と比べた場合の電力削減は平均で 12.8% であり、スイッチングアクティビティ削減の効果を反映したものである。

疑似パワーゲーティング手法とスイッチングアクティビティの変化に基づく制御アルゴリズムを提案していること、およびグリッチ発生を抑える手法を提案して電力削減に貢献していることは学術的・実用的に評価できる。

第 4 章 “Transitive Fanin-based Algorithm for Further Power Saving” では、最大の論理段数を増加させない制約下での疑似パワーゲーティングにおいて、論理素子の制御値が複数段に渡って伝播する回路構造に着目し、回路を入力方向に逆向きに推移的に探索することで、制約により除外されてい

た論理素子を制御可能とする手法を提案している。

論理素子の最大入力数には制限があるため、AND-AND など同種の論理の素子の直列接続が発生する。この場合、前段の素子の入力が制御値をとると、後段の素子の出力が一意に決まる。このような制御値の伝播を用いることで、後段のゲートをより外部入力に近い(段数の小さい)信号で制御でき、最大段数を増加させない制約下でより多くの論理素子を制御可能となる。なお、段数の小さい信号は、制御値確率が小さくなる傾向にあるが、5章に示す多段化と組合せることで、制御値確率低下の影響を避けることが可能である。

本手法を実現して評価したところ、推移的な入力による制御を考慮しない場合と比べて、平均で 6.3% の電力削減の向上を確認している。制御値の伝播を考慮した制御手法は学術的に価値が高い。

第 5 章 “Dual-Stage Pseudo Power Gating” では、制御値の伝播により複数の制御信号候補が得られることを考慮し、複数の信号線を制御信号として追加する多段の疑似パワーゲーティング手法を提案している。一般に論理素子の入力数が増加すると、段数に影響がなくても遅延が大きくなるため、最大で 2 段として、遅延の増加を抑えつつ電力削減効果を高めている。

提案手法では、まず 1 段目の制御信号の探索をスイッチングアクティビティベース手法に推移的な入力探索を組合せた手法を用いて行う。その後、各制御部に対し、その内部で 2 段目の制御信号の探索を行う。2 段目の制御信号が働くのは、1 段目の制御信号が無効な場合であり、提案手法により、制御信号間の衝突なしに出力変化抑制を行うことが可能となる。

提案手法の適用および論理合成・レイアウト後の評価により、パワーゲーティングを行わない原回路に比べて平均で 23.2% の電力削減を確認している。また、この時の遅延増加は平均で 5.3% である。疑似パワーゲーティング制御の多段化で、少ない遅延増加で電力削減を実現している点は実用的に評価できる。

第 6 章 “Conclusion and Future Works” では、本論文で提案した疑似パワーゲーティング手法のまとめと主な研究成果を示すとともに、残された課題について述べている。

以上、本論文は、論理レベルの動的電力および静的電力の削減に対し、論理素子の制御値を用いた疑似パワーゲーティング手法を提案し、制御の最適化において、スイッチングアクティビティの変化、グリッチ発生や制御値の伝播を考慮し、多段化を組合せて平均で 20% 以上の電力削減を確認するなど、学術的にも実用的にも高く評価できる。よって本論文は博士(工学)の価値あるものと認める。

2014 年 1 月 9 日

主査	早稲田大学教授	工学博士	(京都大学)	木村 晋二
	早稲田大学教授	博士(工学)	(大阪大学)	吉村 猛
	早稲田大学教授	工学博士	(東北大学)	渡邊 孝博