

博士論文審査結果報告書

論文題目

Research on Architecture Design for
Ultra High Definition Video Encoding

申請者

Gang HE

情報生産システム工学専攻
マルチメディアシステム研究

2014年1月27日

超高精細(UHD: Ultra High Definition)映像では4K(3840×2160)と8K(7680×4320、スーパーハイビジョンと呼ばれる)の2つの解像度が用いられている。現行のハイビジョン(HD: High Definition)放送は1920×1080の解像度であり、UHDはHDと比較して、4倍と16倍の画素数を持つ映像であり、広い視野角度、実物に近い色再現、自然な立体感で利点があり、現在、次世代デジタルテレビの標準規格化が行われ、研究開発と普及が始まろうとしている。

UHD映像は超大規模データとなるため、保存、あるいは送信するには、高い圧縮率で、リアルタイムに処理できるデータ圧縮技術の開発が不可欠である。従来のMPEG2方式は約1/20の圧縮率を達成しているが、H.264/AVCやH.265/HEVCなどの最新の標準動画符号化方式はMPEG2に比べて、更に、夫々約1/2、1/4の圧縮率を達成した。しかしながら、演算量は夫々、約2倍、5倍となることから、画質を保つもとの演算量を大幅に削減し、ハードウェア量を削減することが求められている。

一方、画像符号化においては、イントラ予測(画面内予測)とインター予測(画面間予測)が使われ、これらの予測処理は符号化処理の全体の中で極めて重要な機能となっている。イントラ予測は、ハードウェア量において符号化回路の全体の約25%を占め、インター予測は約60%をしめる。インター予測は整数画素精度動き予測(IME: Integer Motion Estimation)と小数画素精度動き予測(FME: Fractional Motion Estimation)からなり、FMEは50%以上のハードウェアとなっている。このことから、イントラ予測とインター予測処理のFMEのハードウェアを最適に設計することが望まれている。

現在までに、MPEG2やH.264を対象として多くの研究がなされ、テレビ、デジタルカメラ、録画装置等で多くの製品が開発されてきた。これらはHDおよびそれ以下のピクセル映像を対象としており、4K、8Kは現在、研究開発が進行中である。UHD映像である4k、8Kにおいては、大規模演算を克服するために、高能率なアルゴリズムを開発し、高画質を保つもとの、高速処理が行え、かつ回路構成の小規模化と低消費電力化が図れる高性能なアーキテクチャの開発が必要である。

本論文の研究目的は、UHD映像を対象として、H.264やHEVC方式に基づいた符号化方式のイントラ予測とインター予測のFMEに関して効率のよいアーキテクチャを開発することである。まず、イントラ予測に対して、マクロブロック・ブロック同時再配列法を新たに提案することで、モード決定と再構築プロセスを並行して行うことで、ハードウェアの再利用率を50%増加させた。H.264向け4K UHDに対して、アーキテクチャ設計を行い、Linにより提案された方法(TCSV2009)と比較し、約30%のハードウェア量の増加で8倍のスループットを得ることができている。次に、8K UHDに対しては、インタレースブロック再配列法、新たな予測モード決定手法と、確率ベース画像再生処理を提案することで、KuoによるHDに対する結果(IEEE TVLSI2011)と比べて、約3倍のハードウェア量で32倍のスループット達成している。また、8K UHD向けに新標準であるHEVC方式に基づいたFMEに対して、近似・補間アルゴリズム、新探索パターン手法、データ変換の再利用を導入している。8K UHD HEVC向けのFMEアーキテクチャを開発し、LSIチップ化し発表したのでは、本成果が世界で初めてである。Tsong(ICME2009)がH.264方式に対して開発した結果と比較し、ピクセル当たりの消費電力において、56%の削減を行っている。

本論文は5章からなっている。

第1章は[Introduction(序論)]であり、超高精細映像と映像圧縮システムを説明している。イントラ予測とインター予測、小数画素精度動き予測処理を紹介し、過去に発表された研究成果を述べている。:

第2章は[An H.264 Intra Prediction Architecture for 4kx2k UHD (4Kx2K UHD用のH.264イントラ予

測アーキテクチャ]であり、イントラ予測の設計課題と H.264 に基づく4K UHD 映像のアーキテクチャを提案している。

H.264 におけるイントラ予測ではモード決定処理と、画像再生成処理(圧縮画像から予測参照画像を生成)はデータ従属性が高いため、並列処理化が困難であり、パイプライン化とハードウェアの再利用に制約を受ける。過去に、多くの研究がなされており、Lin (IEEE TVLSI2009)はパイプライン効率を改善するために、予測モードに応じてブロックサイズを決め、インターレーススケジュールを行う手法を提案したが、モード決定処理に限定されており、ハードウェア再利用率が低かった。Mochizuki(JSSC2008)と Chuang(PCS2007)はモード決定処理において予測参照画像を用いず、入力された原画像を利用しており、データ従属性の制限は緩められたが、画質で大きな劣化を引き起こしている。

本論文では、データ従属性問題を解決するために、マクロブロック・ブロック同時再配列法を提案している。本手法はマクロブロックとそれを細分割したブロックに対して処理順序を変え、インターレース処理を行うことを提案し、モード決定処理と、画像再生成処理での並列化が可能となった。この結果、インターレースを用いない手法では MB(マクロブロック)当たり、370 サイクルであったイントラ予測処理が 160 サイクル/MB まで減少している。

提案した手法に基づき 90nm CMOS デザインルール(SMIC)で論理回路設計を行っている。この結果、113.2k ゲートの回路規模で実現し、4K(2160p@60fps)画像に対して、60 fps のフレームレートの映像を、332MHz の動作周波数で符号化することができている。この結果は Lin (IEEE TCSVT2009) や、Chuang (PCS2007)が HD(1080p@30fps)に対して設計した結果に比べて、約 30%の回路規模の増加でスループットを 8 倍増加させており、新規性と有効性の観点から高く評価できる。

第 3 章は[An H.264 Intra Prediction Architecture for 8kx4k UHD (8Kx4K UHD 用の H.264 イントラ予測アーキテクチャ)] であり、8K UHD 映像の H.264 イントラ予測アーキテクチャを提案している。

8K UHD 映像では、4K UHD 映像に比べて、4 倍のスループットが要求されるため、高速化可能なアーキテクチャを考案する必要がある。本論文では、インタレースブロック再配列法、新しい予測モード決定手法、確率ベース画像再生成処理を提案し、問題解決を図っている。

インタレースブロック再配列法は、4K では MB を 2 行毎に処理していたが、8K では 1 行で処理する方法を考案し、約 50%のスループット向上を図り、DRAM とのチャネルバンド幅も約 30%~50%削減を可能としている。更に、新しい予測モード決定の情報を使うことで、処理順序を最適化し、約 40%のハードウェア量の削減を図っている。確率ベース画像再生成処理は、予測モード処理で、事前に計算した確率的に高いモードからモード決定を行うことで、パイプラインの使用効率を向上させ、18%~20%の計算速度を高めることを可能としている。本提案に基づき、チップを設計し、65nmCMOS デザインルール(e-shuttle)で試作したところ、450K ゲートで、最大で 300MHz のクロックで動作する LSI チップであることを確かめている。このチップは 33 サイクル/MB で処理することが可能で、Kuo (IEEE TVLSI2011)の結果は 464 サイクル/MB、Lin(IEEE TCSVT2009)の結果は 560 サイクル/MB であり、これらと比べて約 14 倍と 17 倍のスループットを達成しており、8K UHD@60fps 映像を処理するに必要な 2G ピクセル/秒を達成している。この提案手法で HD である 1080p@30fps を符号化するには、9MHz の動作周波数で十分であり、Kuo(IEEE TVLSI2011)は 114MHz、Lin(IEEE TCSVT2009)は 140MHz であることと比べると、本提案は非常に低い動作周波数で実行可能であり、消費電力の大幅な削減に寄与できることも示している。8K 向けイントラ予測に関して、新アーキテクチャを考案し、実用的にも有効であることを確かめたことは高く評価できる。

第4章は[An HEVC Fractional Motion Estimation Architecture for 8kx4k UHD(8Kx4K UHD用のHEVC小数画素精度動き予測処理アーキテクチャ)]であり、新しい標準符号化であるHEVCのFME機能のアーキテクチャ設計を提案している。

FMEはレート歪みを約3~6dB向上させるが、補間処理と小数画素精度探索処理が複雑であるため、符号化処理全体の30%以上の演算量を占める。H.264方式に対して、Tsung(ICME2009)は4K映像、Kao(IEEE TVLSI2010)はHD映像に対して、探索法の工夫し演算量を削減した。しかし本論文で対象とする8K映像に対しては、十分な性能に達しておらず、しかもHEVCはH.264に比べて8タップ補間や四分木符号化構造などの処理があり、複雑度が更に増加しているために、従来の手法は使えないという問題があった。

本論文では、近似・補間アルゴリズム、新探索パターン手法、データ変換の再利用を導入することで解決を図っている。近似・補間アルゴリズムは、最初に1/2画素では8タップフィルターを用い、次に1/4画素では2タップフィルターを用いることで、画質の劣化をほとんど起こさずに、補間処理のハードウェア回路を約70%削減している。新探索パターン手法では、指向性5T12Sサーチパターン(5変換点と12探索点)を導入し、既存の9T25サーチパターンに比べて、画質の劣化をほとんど起こさずに48%のハードウェア回路の削減を行っている。インター予測では、周波数領域へデータを変化する必要があり、通常は量子化やエントロピー符号化の複雑な変換処理が必要であるが、本論文では8x8, 16x16, 32x32アダマール変換を用いることで、画質の劣化をほとんど起こさずに、計算手順を単純化させている。アダマール変換を利用することでデータ変換の再利用が可能となり、データ変換時でのハードウェア量を58%削減している。

本提案に基づき、チップを設計し、65nmCMOSデザインルール(e-shuttle)で試作したところ、1183Kゲートで、最大で250MHzのクロックで動作するLSIであることを確かめている。このチップは0.19Cycle/Pixelで処理し、従来発表されたKao(IEEE TVLSI2010)は2.46Cycle/Pixel、Tsung(ICME2009)は1.32Cycle/Pixelであり、約13倍と7倍のスループットを達成しており、8K UHD@30fps映像を処理するに必要な1Gピクセル/秒を達成している。また、ピクセル当たりの消費電力においても前記の発表と比較し、56%の削減を行っている。8K UHD HEVC向けのアーキテクチャを開発し、LSIチップ化し発表したのでは、本成果が世界で初めてであり、新規性の観点から高く評価できる。

第5章は[Conclusion(まとめ)]であり、上述の内容を纏めて、本論文の研究意義を述べている。

以上、本論文は4K UHD, 8KUHDという超高精細な動画像に対して、H.264/AVC又はHEVC方式に基づいた符号化方式のイントラ予測とインター予測のFMEに関して効率のよいアルゴリズムとハードウェア・アーキテクチャを提案しており、今後の画像符号化に対して、学術的な貢献のみならず、実用面でも有効な研究成果であると評価できる。

よって本論文は博士(工学)の学位論文として価値あるものと認める。

2014年 1月 16日

審査員

主査	早稲田大学教授	工学博士(早稲田大学)	後藤 敏
	早稲田大学教授	博士(工学)(大阪大学)	吉村 猛
	早稲田大学教授	工学博士(京都大学)	木村 晋二
	早稲田大学教授	博士(工学)(東京大学)	甲藤 二郎