

# 博士論文審査結果報告書

## 論 文 題 目

### **Study on Modeling Techniques for Overshooting Effect of Multiple-Input Gates in VLSI Timing Analysis**

申 請 者  
Li DING

情報生産システム工学専攻  
回路検証技術研究

2014年 6月

集積回路の設計では回路動作を検証するために信号伝搬時間のタイミング検証が行われる。タイミング検証手法として、トランジスタ回路網レベルで検証する回路シミュレーション手法は高精度であるが大規模回路では実用にならない。これに対して、伝統的に用いられている静的タイミング解析手法は、入力ベクトルが不要で、設計の全てのタイミングを高速かつ網羅的に検証することができる。それは上位の論理ゲート回路網レベルで、信号の伝播遅延時間を論理ゲートの遅延と配線の遅延とに分離して見積もる手法である。集積回路技術の進展に応じてこれまでにタイミング解析に関する多数の研究が行われてきた。配線遅延は線形回路の問題であるのに対して、ゲート遅延はトランジスタ含む非線形回路の問題である。ゲート遅延時間の見積もりでは、遅延見積もりの精度と計算時間の相反する要求に対処するモデルの開発が重要課題となっており、これまでに多数のゲート遅延モデルが提案されている。

本論文の研究テーマであるオーバシュート効果は、CMOS論理ゲートの入出力結合寄生容量に起因するもので、論理ゲート出力信号が遷移の開始段階で電源電圧を超える（オーバシュートする）現象である。サブミクロン世代までの伝統的なCMOS論理ゲートの遅延モデルでは、オーバシュート効果によるゲート遅延は副次効果として殆ど無視されてきた。しかし、CMOSプロセス技術がナノメートル世代に突入して、CMOS論理ゲート出力のオーバシュート効果に伴うゲート遅延の問題がより顕著になっている。

近年ナノメートル世代のオーバシュート効果の重要性が認識されて、ゲート遅延モデル構築に対して次の二つの流れがある。すなわち、伝統的なゲート伝搬遅延モデルとオーバシュート効果モデルを個別に捉える比較的高精度の準解析的なモデルと、ブラックボックスとして双方を一括してゲート遅延と捉える経験的なテーブル方式モデル（商用タイミング解析ツールに採用）である。前者はオーバシュート効果の回路設計パラメータ依存性を準解析的に定量的に把握できることから、タイミング検証のほかに、回路パラメータの最適設計などにも応用できるという特徴がある。本論文の研究は前者の範疇に属するオーバシュート効果モデルの研究に関するものである。

オーバシュート効果モデルに関しては、CMOSインバータを対象とする準解析的なオーバシュート効果モデルが既に提案されている(Huang et al. IEEE TCAD 2010)。それは、インバータのオーバシュート時間を入力信号遷移時間、トランジスタサイズ、負荷容量の関数として計算する準解析的なモデルである。多入力ゲートの遅延時間計算等では、多入力ゲートをインバータに単純縮約する手法、単純縮約法(Chatzigeorgiou et al. IEEE TCAD 1999)が提案されているが、オーバシュート時間計算では誤差が大きく実用にならない。多入力ゲートを対象としたオーバシュート効果モデルは未解決の課題となっている。

本論文では、CMOS多入力論理ゲートのオーバシュート効果を比較的高精度にかつ包括的にモデル化するために、二つの準解析的なモデルを研究している。最初に、2入力ゲートのためのオーバシュート効果モデルを提案している。提

案モデルは2入力ゲートのオーバシュート時間をより精度よくかつ簡単に計算することができる。次に、多入力ゲートのオーバシュート効果を包括的にモデル化するための効果的なモデルを提案している。提案モデルは数式ベースで、2入力ゲート以上の多入力ゲートに対して幅広く応用可能である。

本論文はこれらの研究成果を纏めたもので、全体で5章から構成されている。以下、各章の概要を述べ、評価を加えることとする。

第1章“Introduction”では、本論文の研究背景と研究意図、研究の重要性について述べ、大規模集積回路の静的タイミング解析の研究における本研究の目的と位置づけを明確にしている。

第2章“Preliminaries”では、まず後章の議論の準備として、静的タイミング解析、CMOS論理ゲートのオーバシュート効果、更に、従来のオーバシュート効果モデルについて概観している。次に、CMOS多入力論理ゲートのオーバシュート効果について回路シミュレーション結果を示して、オーバシュート効果がゲート遅延時間に与える影響を分析している。ナノメートル世代プロセスではオーバシュート効果が顕著になることを示して、多入力ゲートのオーバシュート効果モデル研究の意義を明確にしている。

第3章“Modeling the Overshooting Effect of 2-Input Gate in Nanometer Technologies”では、CMOS 2入力論理ゲートのオーバシュート効果をモデル化することができる簡潔なモデルを提案している。まず、2入力NORゲートを対象として、ゲート出力が遷移する主要な二つの異なる入力条件下でオーバシュート効果を解析している。第1の入力条件(第1の入力信号が遷移)に対して、2入力NORゲートをインバータに縮約して出力節点微分方程式に妥当な近似を与えて解くなどにより、従来のインバータに対するオーバシュート効果モデルを使用してオーバシュート時間を計算するモデルを提案している。第2の入力条件(第2の入力信号が遷移)に対して、オーバシュート時間が第1の入力条件と第2の入力条件とでほぼ比例関係にあることを発見し、経験的比例係数を導入し、第1の入力条件のモデルに基づいて第2の入力条件のオーバシュート時間を計算するモデルを提案している。更に、提案する2入力NORゲートのオーバシュート効果モデルを2入力NANDゲートに拡張する手法を提案している。この2入力NANDゲートへの拡張は回路構成的に前述2入力NORゲートで出力が遷移する他の二つの入力条件を包含している。提案モデルの有効性を確認するために、32nmPTMモデルを使用して、入力遷移時間、トランジスタサイズ、負荷容量の広範囲の異なる条件下で、オーバシュート時間を計算した結果を示し、提案するモデルの誤差がSPICEシミュレーションと比較して最大3.6%であることを示している。この誤差は静的タイミング解析では許容範囲である。

第4章 “An Effective Model of the Overshooting Effect for Multiple-Input Gates in Nanometer Technologies” では、CMOS多入力論理ゲートのためのオーバシュート効果をモデル化することができる効果的なモデルを提案している。まず、2入力NORゲートのための数式ベースのオーバシュート効果モデルを提案している。そこでは、前章の第2の入力条件に対して、出力節点微分方程式に妥当な近似を施して解くなどの検討を加え、経験的比例係数を用いることなく、準解析的にオーバシュート時間の計算式を構成している。次に、3入力NORゲートのオーバシュート効果を解析し、3入力NORゲートのオーバシュート時間を計算するモデルを提案している。提案モデルでは、ゲート出力が遷移する主要な異なる3入力条件に対して、それぞれ2入力NORゲートに縮約し、妥当な近似を併用して、最終的に2入力NORゲートのオーバシュートモデルを用いてオーバシュート時間を計算する手法をとっている。更に、提案する2入力と3入力NORゲートのためのオーバシュート効果モデルを他の多入力ゲートへ拡張する手法を示している。そこでは、例として、2入力NANDゲート、3入力NANDゲート、4入力NORゲート、更に、複合ゲート(AOI12)などへ拡張している。拡張の基本的なアイデアは、入力信号が同一となる直列または並列トランジスタを併合し、2入力ゲートまたは3入力ゲートに縮約する手法である。提案モデルの有効性を確認するために、32nmPTMモデルを使用して、入力遷移時間、トランジスタサイズ、負荷容量の広範囲の異なる条件下で、提案モデルを使用して計算した結果を示し、多入力ゲートのオーバシュート時間の誤差は、SPICEシミュレーション結果と比較して3.4%以下（従来の単純縮約法では17%以上）であることを示している。最後に、多入力ゲートのためのオーバシュート効果モデルのタイミング解析への応用についても議論している。

第5章 “Conclusions” では、本研究により得られた成果を総括している。

以上が本論文の成果で、これを要約すると、本研究は大規模集積回路の論理ゲート遅延時間計算のためのモデリングという重要課題に対して、CMOS多入力論理ゲートのオーバシュート効果モデルを提案し、その有効性を検証したものである。これらの成果は、大規模集積回路のタイミング検証に対して新たな方法論を与え、集積回路設計検証の分野に寄与するところ大である。よって本論文は、博士（工学）の学位論文として価値あるものと認める。

2014年6月9日

審査員

主査	早稲田大学教授	博士(工学)	(早稲田大学)	井上靖秋
	早稲田大学教授	工学博士	(大阪大学)	吉原 務
	早稲田大学教授	博士(学術)	(神戸大学)	吉増敏彦
	弘前大学准教授	博士(工学)	(早稲田大学)	黒川 敦