

早稲田大学大学院情報生産システム研究科

# 博士論文審査結果報告書

論 文 題 目

A Study of Routing Algorithms  
for PCB Design

申 請 者

Ran ZHANG

情報生産システム工学専攻  
ASIC 自動設計研究

2016 年 2 月

電子部品実装に用いられるプリント回路基板(PCB:Print Circuit Board)は電子機器や応用製品に不可欠である。一方、半導体集積回路技術の発展によってPCBに搭載されるIC(Integrated Circuit)の回路規模は増大し、信号入出力用のピン数が増大している。また、ICチップのパッケージ形状もBGA(Ball Grid Array)やCSP(Chip Size Package)のような技術革新があり、PCBの実装設計はますます複雑化している。このため、設計自動化ツールの高性能化が常に望まれている。中でも自動配線ツールでは、配線率、総配線長、配線処理時間などの目標に加えて、回路性能のために信号の伝搬遅延や信号到達時刻のスキュー(Skew)を考慮することが必要となっている。

本論文はPCB設計における最近の課題に対する配線手法とその応用を主題とし、具体的には以下の3つの課題とその解決手法について述べている。

(1) 信号の遅延対策として配線長を調整する手法があるが、PCB上の限定された配線領域内で複数の配線の長さを調整することは難しい問題である。また、配線領域が十分に広く、結線すべき複数の配線の始点の並びと終点の並びが線対称であれば、バス配線のように交差なく配線できるが、線対称でなく不規則な場合は配線交差が生じ、単層配線は困難となる。そのような不規則並びの場合に多層で配線長を調整するPCB配線手法が必要とされている。

(2) 広義のPCB配線問題として、PCBとその搭載ICとの接続に関する課題が提起されている。すなわち、ICの多ピン化と同時にPCBの省スペース化への対応として、ICチップのI/OパッドとPCBの端子とを bumps ボールで接続するFlip-Chip実装が普及してきたが、I/Oパッドも bumps ボールもチップサイズの平面に2次元配列されており、両者間を接続するための再配線層(Redistribution Layer, 以下RDLと略)が用いられる。このRDL配線処理では総配線長最小化と処理時間短縮が課題となっている。

(3) 上記(2)のRDL配線による構成を拡張して3次元のチップ間接続に適用し、配線率向上と総配線長の最小化を図ることができる。3次元ICは、2次元ICに比べて配線の長さや容量の削減により回路性能の向上が期待でき、異種プロセスによるチップを積層できる利点もあり、活発に研究されている。しかし、完成したチップ同士のI/Oパッド間を縦方向に配線する構成方式と配線経路探索が課題の一つとなっている。

本論文は6章から構成されており、以下、各章ごとに概要を述べ、評価する。

第1章“Introduction”では本研究の背景とPCB、Flip-ChipおよびRDLの概要と構成を述べている。また、特にRDL配線の概要を説明し、本研究の目的と論文の構成を述べている。

第2章“Fundamentals of PCB Routing”では3章以降の議論に必要な配線モデルと基本的な配線アルゴリズムを説明し、配線長と配線率に影響を与える配線順序の問題、マンハッタン/非マンハッタン配線問題を説明している。

第3章“Region-aware Layer Assignment and Equal-length Routing”では複数の配線の始点と終点の並びが不規則並びのとき、配線交差が生じ難い

ように配線層を割り当てた上で、配線長のばらつきを抑える手法を提案している。配線長を考慮した従来の代表的な手法としては、H. Kong (DAC 2009)、Y. Kohira (IEICE Trans. Fundam. 2010)、T. Y. Tsai (DATE 2011)による方法が知られている。しかし、Kongの手法は配線障害物が存在しない場合に限定される。Kohiraの手法は、初期配線後に配線を迂回させて等長配線を求めているが、不規則並びの場合に対応できない。Tsaiの手法は不規則並びを扱うことができ、指定した配線長を目標値とする解法であるが、指定配線長から大きく外れた配線が生じることがあり、無視できない配線長のばらつきが残る。本論文の提案手法では、最初に LCS アルゴリズム (Longest Common Subsequence) を用いて、不規則並びの端子の集合から規則的な並びの最大部分集合を順次取り出して配線層を割り当てている。次に、各配線層でネットワークフローアルゴリズムにより複数配線の経路を同時に求め、初期配線を生成する。この初期配線結果に対して迂回路を生成して配線長の調整を行っている。このとき、配線長評価に標準偏差を導入し、配線長のばらつきが一定値以内になるように調整している。また、配線可能領域に対して実際に配線が使用する割合のパラメータを導入し、配線領域の有効利用を図っている。この結果、配線長がほぼ均一で、信号遅延とスキューとを許容範囲に抑えることが可能となっている。実験で配線長ばらつきが小さくなることを確認している。Tsaiの方法 (DATE 2011) と比較すると、ばらつきの最大幅が平均 36.69% 削減され、処理時間はほぼ同じであった。以上より提案手法は PCB 配線問題において信号の遅延とスキューの両面で品質を保証できており、実用的な価値があり、高く評価できる。また、LCS アルゴリズムやネットワークフロー理論を具体的な問題に適用した点でも興味深い。

第 4 章 “Sorting-based I/O Pad Assignment and Non-Manhattan RDL Routing” では Flip-Chip の I/O パッドと bumps との接続に用いる RDL 配線問題について、配線率の向上と配線長の短縮を達成する手法を提案している。Flip-Chip の RDL 配線として、J. T. Yan らは次の 2 手法を提案している：(1) I/O パッドと bumps それぞれの配置平面を繰り返し細分化して近接の I/O パッドと bumps 間の対応付けを行う方法 (APCCAS 2010)、(2) I/O パッド平面でポロノイ図を作成し、各ポロノイ領域毎に bumps を関連付ける方法 (ASP-DAC 2009)。しかし、これら分割に基づく方法では I/O パッドと bumps 間の距離判断が局所的であるために総配線長が長くなることや未配線が残るといった問題があった。また処理時間が長い点も問題であった。本論文では I/O パッドと bumps の全ペア間のマンハッタン距離を求め、距離が短いペアから順次対応付けを行っている。その後、I/O パッドと bumps のペア交換を行って総配線長を改善し、実配線領域や配線交差の削減と、配線率向上を達成している。さらに、非マンハッタン配線モデル導入によるさらなる配線長短縮と、引き剥がし再配線手法による配線率向上を目指している。実験では、手法 (1) (2) と比較して総配線長でそれぞれ

れ平均 23.4%、3.8%短縮されている。処理時間の点では(1)とほぼ同じで、(2)とは小規模問題で 50%削減、大規模問題で 10~20%の時間短縮を得ている。さらに非マンハッタン配線を適用した場合の処理時間は約 1 割増となるが、マンハッタン配線モデルの(1)(2)と比較して平均 39.6%および 20.0%の配線長短縮が得られている。以上のように、提案手法は従来手法のような複雑な技法に頼らず実用的で、Flip-Chip の RDL 配線の配線長短縮に有効であることが示されており、高く評価できる。

第 5 章 “Application of I/O Pad Assignment and RDL Routing to 3D IC” では 3 次元 IC の I/O パッドとマイクロバンプの接続を RDL 配線で行う手法を提案している。3 次元で上下に隣接するペアチップの同一信号の I/O パッド間をマイクロバンプで接続するために、各チップの I/O パッド面とバンプ配列面との間に RDL を配置する。第 4 章で述べた手法を適用し、RDL 配線で上下チップの同一信号の I/O パッドに共通のマイクロバンプ接続を行う。RDL による類似の解法として、C. J. Chang (ASP-DAC 2011)、T. Y. Kuan (ASP-DAC 2012)、J. T. Yan (ICECS 2014)らによる手法が提案されているが、処理時間の問題や、前提条件次第で配線率が低下することや、迂回路による配線長の無駄が生じるなどの欠点があった。本論文では、第 4 章で提案したマンハッタン距離のソーティングに基づく手法を、上位 RDL 配線および下位 RDL 配線にそれぞれ適用し、その後、ペア交換処理による配線長改善と引き剥がし再配線処理による未配線処理を繰り返し実行している。実験では、ネット数 25~100 までのデータに対して、従来の最良解である J. T. Yan (ICECS 2014)の手法と比べて、いずれのデータでも配線率 100%で、総配線長が最大 23.7%~最小 14.9%、平均で 18.0%削減されている。また、処理時間は約 10% 短縮されている。以上より、提案手法は従来手法より優れており、3 次元 IC のチップ間配線に有効であり、実用価値は高いと評価できる。

最後に第 6 章 “Conclusions” では本研究で得られた成果を総括すると共に、今後の課題として、より高密度な配線問題の解法が必要なことを述べている。

以上、本論文では、PCB 配線問題、Flip-Chip の RDL 配線問題および 3D IC の RDL 配線問題について高品質の解を効率良く生成する手法を提案し、実験によりその有効性を確認したもので、学術的かつ実用的な価値が認められる。よって本論文は博士(工学)の価値があるものと認める。

2016 年 2 月 22 日

審査員

主査	早稲田大学 教授	工学博士 (東北大学)	渡邊孝博
	早稲田大学 教授	博士(工学)(大阪大学)	吉村 猛
	早稲田大学 教授	工学博士 (京都大学)	木村晋二

渡邊孝博  
吉村 猛  
木村 晋二