

博士論文審査報告書

論文題目

組み込みシステム設計のための正確かつ高速な
キャッシュ構成シミュレーション
に関する研究

Exact and Fast Cache Configuration
Simulation for Embedded Systems

申請者

多和田	雅師
Masashi	TAWADA

情報理工学専攻 情報システム設計研究

2015年 2月

組込みシステムとは、機器に組み込まれ一体となって動作するコンピュータシステムであり、家電製品から自動車、工場システムなど多様な場面で使用されている。組込みシステムにとって中心的な役割を持つ組込みコンピュータは、限定されたアプリケーションが実行される一方、そのコストや電力に関する制約は極めて厳しく、また組込みシステム全体を設計する期間にも厳しい制約がある。キャッシュメモリ（以下、キャッシュ）は組込みプロセッサ性能と主メモリ性能とのギャップを補償するために、プロセッサと外部メモリの間を仲介するメモリシステムであるが、キャッシュサイズの増大や半導体の微細化によるリーク電流の増大に伴い、組込みプロセッサ全体の面積や電力消費の多くをキャッシュが占めているのが現状である。どのような構成を持つキャッシュを設計するかは組込みプロセッサの性能やコストを決定づける大きな要素となる。キャッシュはセット数、ブロックサイズ、連想度ならびにキャッシュ置換ポリシーといったパラメータを持ち、これらパラメータを決定することで一つのキャッシュ構成が決定される。キャッシュサイズが小さいとキャッシュミスにつながり組込みプロセッサに必要な性能を満足できない。一方、キャッシュサイズが大きいとメモリアクセス速度や面積の増大を招く。つまり、特定のアプリケーションを動作させるとき、いかに最適なパラメータを持つキャッシュ構成を探索するかが大きな問題となる。キャッシュ構成の最適化にとって、メモリアクセスのキャッシュヒット／ミス回数の測定が最も重要なものの一つであるが、その方法には大きく分けて2つの手法がある。一つは各キャッシュ構成とその上で動作するアプリケーションの定性的な性質からキャッシュヒット／ミス回数を推定する手法である。もう一つは個別のキャッシュ構成の上で実際にアプリケーションの動作をシミュレーションしキャッシュのヒット／ミス回数を測定する手法である。前者は推定のための動作時間は少ないがキャッシュヒット／ミス回数の誤差が大きい。一方、後者はキャッシュ構成シミュレーションと呼ばれ、実際にキャッシュ構成を変化させ、アプリケーション動作のシミュレーションを実行するため正確にキャッシュヒット／ミス回数を測定できるが、シミュレーションのために多大な実行時間を要する。正確性を担保しなおかつ組込みシステムの設計コストを最小化するためには、後者の手法、即ちキャッシュ構成シミュレーションをいかに高速化するかが最大の鍵となる。本論文では、組込みシステムのためのキャッシュ構成シミュレーションに焦点を当て、さまざまな観点からその高速化を論じている。

本論文は6章から構成されている。以下、各章の概要を述べ、評価を加える。

第1章では、本論文の背景と目的および概要をまとめ、著者の研究の位置付けを明らかにしている。

第2章では、キャッシュ構成シミュレーションに関連する既存研究を整理し紹介している。まずシングルコアプロセッサのキャッシュ構成シミュレーション手法として、Janapsatyaらの手法を取り上げている。この手法はLRU（Least

Recent Used) キャッシュの連想度に着目し, 連想度が高いキャッシュ構成のキャッシュヒット/ミス調べること, 連想度が低いキャッシュ構成のキャッシュヒット/ミスが判明するという性質 (この性質は一般に **Inclusion Property** と呼ばれる) を用い, 複数のキャッシュ構成を同時にシミュレーションすることでキャッシュ構成シミュレーションを高速化している. **CRCB** (**Configuration Reduction approach by Cache Behavior**) 手法は, Janapsatya らの手法に加え, セット数やブロックサイズが異なる複数のキャッシュ構成のキャッシュヒット/ミスを同時に調べることさらにキャッシュ構成シミュレーションの高速化を実現している. 続いて, シングルコアプロセッサのキャッシュ構成シミュレーション手法として, Haque らの手法を取り上げている. この手法は **FIFO** (**First In First Out**) キャッシュを対象に, 異なるセット数, 連想度を持つキャッシュ構成のキャッシュヒット/ミスを同時に調べること, キャッシュ構成シミュレーションの高速化を実現している.

第 3 章では, まず第 2 章で取り上げた **CRCB** 手法がどのようなキャッシュ置換ポリシーを持ったキャッシュに適用可能かを調べ, **CRCB** 手法を適用可能なキャッシュ置換ポリシー条件を定義している. そして **LRU** キャッシュだけでなく, **FIFO** キャッシュや擬似 **LRU** キャッシュも, **CRCB** 手法を適用可能なキャッシュ置換ポリシー条件を満足し, **CRCB** 手法は **FIFO** キャッシュや擬似 **LRU** キャッシュを対象に正しくキャッシュ構成シミュレーションを実現できることを証明している. さらに **FIFO** キャッシュや擬似 **LRU** キャッシュにおいて, キャッシュセット中の各ブロックに適切な優先度を付加し, 連想度の低いキャッシュセットのデータが連想度の高いキャッシュセットに優先度の順序を保持したまま完全に含まれるとき, 上述の **Inclusion Property** が成立することを証明している. その結果, **FIFO** キャッシュや擬似 **LRU** キャッシュを対象に, セット数, ブロックサイズ, 連想度の異なる複数のキャッシュ構成のキャッシュヒット/ミスを同時に調べることが可能としたキャッシュ構成シミュレーション手法を提案している. 計算機実験により, シングルコアプロセッサの **FIFO** キャッシュや擬似 **LRU** キャッシュについて提案手法はキャッシュ構成を個別にシミュレーションする手法に比較して, シミュレーション時間を最大 249 分の 1 に削減していることを確認している.

第 4 章では, 特に **FIFO** キャッシュを取り上げ, 第 3 章の手法に比べ制約の少ない **Inclusion Property** を導き, さらに多くのキャッシュ構成を同時にシミュレーションすることで, キャッシュ構成シミュレーションの高速化を実現している. **FIFO** キャッシュではキャッシュヒットがあってもキャッシュセットの内容に変化がないという性質から, 連想度の低いキャッシュセットのデータが単純に連想度の高いキャッシュセットに含まれていれば **Inclusion Property** が成立する. この性質を用いれば, セット数の異なる多くのキャッシュ構成のキャッシュヒット/ミスを同時に調べることが可能となることを証明している. 計算機実験により,

シングルコアプロセッサの FIFO キャッシュについて，提案手法は第 3 章で提案した手法に比べてシミュレーション時間をさらに最大で 44%削減していることを確認している．

第 5 章では，マルチコアプロセッサの一次キャッシュを対象に，キャッシュ構成シミュレーションの高速化手法を提案している．マルチコアプロセッサでは，キャッシュセット中の各ブロックはデータを保持すると同時に，複数コア間のキャッシュ一貫性をとるための状態を持つ．そのため第 2 章で述べた連想度に関する Inclusion Property がそのままでは成立しない．そこで，各ブロックが持つ複数の状態を一つの状態として表現するメタ状態を提案している．メタ状態を用いればマルチコアプロセッサの一次キャッシュであっても，連想度に関する Inclusion Property が成立する．そして，連想度が異なる複数のキャッシュ構成を一つのデータ構造で表現することで，当該コアのキャッシュヒット／ミスと他コアのキャッシュヒット／ミスを同時に調べるキャッシュ構成シミュレーション手法を提案している．計算機実験により，2 コアプロセッサの LRU 一次キャッシュについて，提案手法は，キャッシュ構成を個別にシミュレーションする手法に比較して，シミュレーション時間を最大 80%削減していることを確認している．

第 6 章では本論文の成果の総括を行っている．

以上が本論文の概要であるが，本論文は，まずシングルコアプロセッサの FIFO キャッシュならびに擬似 LRU キャッシュを対象に，セット数，ブロックサイズ，連想度が異なる複数のキャッシュ構成を同時にシミュレーションするための理論的な条件を見出し，またその条件のもと正しくキャッシュ構成シミュレーションが実行されることを証明している．続いて，マルチコアプロセッサの一次キャッシュを対象に，メタ状態を導入することでコア間のキャッシュ一貫性を保持したまま，連想度が異なる複数のキャッシュ構成を同時にシミュレーションするための理論的な条件を見出し，またその条件のもと正しくキャッシュ構成シミュレーションが実行されることを証明している．これらの手法を計算機上に実装し評価した結果，キャッシュ構成を個別にシミュレーションする手法に比較して，シングルコアプロセッサのキャッシュを対象とした場合，最大 500 倍以上，マルチコアプロセッサのキャッシュを対象とした場合，最大 5 倍キャッシュ構成シミュレーションを高速化した．この成果は，高度情報化社会を支える重要な基盤情報技術たる組込みシステムの設計技術の発展に寄与するところが大きい．よって本論文は博士（工学）の学位論文として価値あるものと認める．

2015 年 2 月

審査員	主査	早稲田大学教授	博士(工学)早稲田大学	戸川 望
		早稲田大学教授	工学博士(早稲田大学)	柳澤政生
		早稲田大学教授	工学博士(京都大学)	木村晋二
		早稲田大学教授	博士(工学)早稲田大学	山名早人