

博士論文審査報告書

論文題目

Energy-efficient High-level Synthesis Algorithms
for Floorplan-driven SoC Architectures

フロアプラン指向集積回路アーキテクチャを対象
とした低エネルギー高位合成に関する研究

申請者

Shinya	ABE
阿部	晋矢

情報理工学専攻 情報システム設計研究

2015年 2月

システム LSI（大規模集積回路）あるいは SoC（System-on-Chip）とはシステムを一つの集積回路チップ中に集積したものであり、現在の情報通信社会に不可欠な構成要素となっている。SoC 製品は多品種少量生産を基本としおり、いかに SoC 設計にかかわるコストを削減するかが鍵となる。SoC の設計コストを削減する有力な手段として高位合成技術がある。高位合成とは抽象度が高い設計記述を入力とし、計算機による最適化を通して、レジスタ転送レベルの設計記述を自動合成するものである。抽象度が高い設計記述を入力とすることで設計記述量が削減され、それゆえ設計生産性を大きく向上することができる。一方、SoC 設計において大きな問題の一つに配線遅延がある。半導体微細加工技術の進歩にともない、主にゲート遅延から構成される演算遅延に比較して、その間を接続するための配線遅延が相対的に大きくなっている。これまでの高位合成の多くは、演算遅延に比較し配線遅延が無視できると想定し配線遅延を陽に扱っておらず、高位合成においていかに配線遅延を扱うかが一つの焦点となる。加えて、急速な携帯機器・携帯端末の増加にともない、SoC の消費エネルギーが大きな問題となっており、SoC 設計において低エネルギー化設計技術が強く求められている。

以上のような背景のもと、本論文では、まず新たな SoC 設計アーキテクチャとして、ハドルベース分散レジスタアーキテクチャ（HDR アーキテクチャ）とその拡張アーキテクチャを提案している。さらにこれらを対象に、さまざまな低エネルギー化高位合成アルゴリズムを提案し、その有効性を評価している。

本論文は 7 章から構成されている。以下、各章の概要を述べ、評価を加える。

第 1 章「Introduction」では、本論文の背景と目的および概要をまとめ、著者の研究の位置付けを明らかにしている。

第 2 章「Related Works」では、低エネルギー化 SoC 設計技術ならびに分散レジスタアーキテクチャに関連する既存研究を整理し紹介している。まず低エネルギー化設計に関連する既存研究として、複数電源電圧による SoC 設計とこれを用いた高位合成技術を取り上げている。一般に電源電圧を下げると電力消費は減少するがゲート遅延が増加する。ところが回路動作にとって全ての演算・配線が、動作周波数を決定するクリティカルパスとなることは少なく、特定の演算や配線のみがクリティカルパスとなる場合が多い。そこでクリティカルパス上の演算を高い電源電圧で駆動し、クリティカルパス上にない演算を低い電源電圧で動作させる技術が提案されている。また各論理ゲートの電源電圧を固定するのではなく、回路動作中に適応的に電源電圧を変化させる技術や、これに加えて動作が不要な回路部分に対して電源を切る技術（パワーゲーティング）を紹介している。続く低エネルギー化設計に関連する既存研究として、複数のクロック周波数を用いた SoC 設計とこれを用いた高位合成技術を取り上げている。中でも回路中にクロックドメインと呼ばれる区画を設定し、区画ごとにクロック周波数を割り当てる複数クロックドメイン技術を紹介している。ここでもクリティカルパス上の演算を

含むドメインには高いクロック周波数を，クリティカルパス上にない演算を含むドメインには低いクロック周波数を割り当てることを基本とする．分散レジスタアーキテクチャに関連する既存研究では，これまでの集中レジスタアーキテクチャ設計モデルとその限界に言及した後，一般化分散レジスタアーキテクチャ（GDR アーキテクチャ）と規則性分散レジスタアーキテクチャ（RDR アーキテクチャ）を取り上げ，低エネルギー化設計の観点からその問題点を指摘している．

第 3 章「A Multiple Supply Voltages Aware High-level Synthesis Algorithm for HDR Architecture」では，新たな分散レジスタアーキテクチャとして HDR アーキテクチャと，これをもとに複数電源電圧を対象とした高位合成アルゴリズムを提案している．HDR アーキテクチャとはチップをハドルと呼ぶ任意の大きさを持つ矩形の区画に分割し，ハドルごとに演算回路，レジスタ，制御回路を梱包するものである．ハドルの大きさは，十分に短い配線遅延でハドル内を通信できるものとする．一方，ハドル間はハドルの配置位置に応じて，高位合成段階であっても必要な配線遅延を得ることができる．ハドルは，SoC チップ内の部品を抽象化したものであり，個別の部品の配置・配線を考慮することなく，ハドルの配置・ハドル間の配線を考慮することで，高位合成段階で配線遅延を必要十分に取り扱うことを可能とした SoC 設計アーキテクチャとなっている．さらに複数の電源電圧を想定し，ハドルを最小単位に，適切に電源電圧を割り当てる高位合成アルゴリズムを提案している．その結果，配線遅延と低エネルギー化を同時に最適化する高位合成アルゴリズムを実現している．計算機実験により提案アルゴリズムをさまざまなベンチマークに適用し評価した結果，従来技術に比べて，平均 22.4%，最大 48.1%のエネルギー削減を確認している．

第 4 章「MH4: Multiple Supply Voltages Aware High-speed and High-efficiency High-level Synthesis Algorithm for HDR architecture」では，第 3 章の提案アルゴリズムに対して，複数電源電圧高位合成のための改良アルゴリズムを提案している．第 3 章で提案されたアルゴリズムは反復改良フローをとるが，その中で高位合成の解が振動する場合がある．これに対して，第 4 章では，ハドルに仮想面積なる概念を提案し，なおかつ，フロアプランに基づくハドル生成を提案することによって，振動がなく収束性が高い複数電源電圧高位合成アルゴリズムを実現している．計算機実験により提案アルゴリズムをさまざまなベンチマークに適用し評価した結果，第 3 章の提案アルゴリズムに比べて，合成される回路の消費エネルギーを同程度に保持したまま，平均 29.1%，最大 63.9%の実行時間削減に成功している．加えて，第 3 章の提案アルゴリズムでは収束しない規模の回路に対しても高位合成に成功している．

第 5 章「SAAV: Dynamic Multiple Supply Voltages aware High-level Synthesis Algorithm for AVHDR Architecture」では，まず拡張 HDR アーキテクチャとして AVHDR アーキテクチャを提案し，これをもとに動的に複数電源電

圧を割り当てることを可能とした高位合成アルゴリズムを提案している。AVHDR アーキテクチャは、HDR アーキテクチャと同様に、ハドルを単位とした SoC 設計アーキテクチャであるが、ハドル内に梱包される要素のうち、レジスタや制御回路には回路動作中に固定の電源電圧を、演算器には回路動作中に適応的に変化する動的な電源電圧を割り当てることを可能としている。AVHDR アーキテクチャを想定することで、高位合成にて配線遅延を考慮しながら動的電源電圧の割り当てが可能となる。実際に AVHDR アーキテクチャをもとに、回路動作中に動的に電源電圧を最適化する高位合成アルゴリズムを提案している。計算機実験により提案アルゴリズムをさまざまなベンチマークに適用し評価した結果、従来技術に比べて平均 43.9%、最大 70.4%のエネルギー削減を確認している。

第 6 章「SAMCID: Multiple Clock Domains Aware High-level Synthesis Algorithm for HDR-mcd Architecture」では、まず拡張 HDR アーキテクチャとして HDR-mcd アーキテクチャを提案し、これをもとに複数クロック周波数をハドルに割り当てることを可能とした高位合成アルゴリズムを提案している。HDR-mcd アーキテクチャは、同様にハドルを単位とした SoC 設計アーキテクチャであるが、ハドルごとに異なるクロック周波数の割り当てを可能としたものである。HDR-mcd アーキテクチャとこれに基づく高位合成アルゴリズムを用いることで、配線遅延を考慮しながらチップ内部に複数のクロック周波数を割り当てられる。計算機実験の結果、従来技術に比較して平均 32.5%、最大 76.6%のエネルギー削減を確認している。さらに第 6 章では、ハドルに対し最適なクロック周波数と最適な電源電圧を同時に割り当てる高位合成アルゴリズムを提案している。従来技術に比較して平均 57.0%、最大 85.4%のエネルギー削減を確認している。

第 7 章「Conclusion」では本論文の成果の総括を行っている。

以上が本論文の概要であるが、本論文は、まず HDR アーキテクチャなる新たな SoC 設計アーキテクチャとその拡張アーキテクチャを提案し、配線遅延を考慮しながら、チップ内の各区画に最適な電源電圧ならびに最適なクロック周波数を割り当てる高位合成アルゴリズムを提案している。計算機上に実装し評価した結果、設計される SoC チップのエネルギー消費を平均 57.0%、最大 85.4%削減していることを確認している。この成果は、高度情報化社会を支える重要な基盤情報技術たる SoC 設計技術の発展に寄与するところが大きい。よって本論文は博士（工学）の学位論文として価値あるものと認める。

2015 年 2 月

審査員	主査	早稲田大学教授	博士(工学)早稲田大学	戸川 望
		早稲田大学教授	工学博士(早稲田大学)	柳澤政生
		早稲田大学教授	工学博士(京都大学)	木村晋二
		早稲田大学客員教授	博士(工学)早稲田大学	宇佐美公良