

早稲田大学大学院 基幹理工学研究科

博士論文概要

論文題目

Reliability-driven High-level Synthesis Algorithms
for Distributed-register SoC Architectures

レジスタ分散型集積回路アーキテクチャを対象
とした信頼性指向の高位合成に関する研究

申請者

Kazushi	KAWAMURA
川村	一志

情報理工学専攻 情報システム設計研究

2015年12月

半導体素子の微細化，半導体製造技術の向上によりチップ上に数億素子の集積が可能となり，必要とされる一連の機能を1チップに収める System-on-a-chip (SoC) の利用が拡大している。SoCは小型かつ高性能な電子機器の実現に貢献する一方，搭載する機能の多様化から開発過程が複雑化し，その設計コストの削減が求められる。設計コスト削減のために重要な技術として高位合成がある。現在，集積回路設計は Register Transfer Level (RTL) 設計が主流であり，設計者自らがハードウェア特有のレジスタやクロックによる同期を意識し RTL 回路を記述する。高位合成は抽象度の高いC言語等で書かれた動作記述を自動で RTL 回路へと変換する技術であり，ハードウェア特有のレジスタやクロックによる同期を高位合成アルゴリズムに任せることで設計コストを削減する。高位合成を用いた設計は様々な性能指標（速度、電力、信頼性）を設計の上位工程から考慮することで大局的な最適化を可能にする。一方，従来の高位合成アルゴリズムの多くは下位工程と切り離されており，十分に回路性能を引き出すに至らない。

微細化の進展とともに，回路の遅延に占める配線遅延の割合は増加する。相対的な配線遅延の増加は高位合成が抱える問題のひとつであり，高位合成を通して得られる回路の速度を劣化させる。下位工程と切り離された高位合成では，配線遅延の影響により過剰なマージンを挿入する必要が生じ，最終的に出力される回路の速度に悪影響を及ぼす。一方，下位工程で得られる配置配線情報を直接的に高位合成アルゴリズムに利用することは高位合成問題を過大に複雑化させることから，最適化の妨げとなる。これを受け，配線遅延の影響を高位合成時に扱うことを目的としたレジスタ分散型集積回路アーキテクチャが提案された。レジスタ分散型集積回路アーキテクチャを対象とした高位合成では回路を配線遅延の影響がない範囲に分割，抽象化し，分割したブロックに対してフロアプランを実行する。フロアプランされたブロック間の配線遅延を予測し，配線遅延の影響を高位合成アルゴリズム中で適切かつ効率的に扱うことで，最終的に出力される回路の速度向上に大きく貢献する。

SoCの信頼性は重要な性能指標である。SoCの利用範囲拡大に伴い，自動車や医療機器，社会インフラ等，高い信頼性が要求される場面が増加している。その一方，プロセス技術の進展は信頼性に関する様々な技術的課題を生む。そのひとつとして集積回路チップ内部の発熱，特に局所発熱によるホットスポットが挙げられる。ホットスポットは集積回路チップ内部で発熱が集中し局所的に温度が高くなる部分を指し，ホットスポットでの遅延増加や長期的に高温状態が続くことによる劣化が SoC の信頼性低下を引き起こす。ホットスポットの温度削減に焦点を当てる熱考慮高位合成はグローバル最適化の面から重要であり，これまでに数多くの手法が提案された。従来の熱考慮高位合成は下位工程で得られた回路に対する温度シミュレーション結果をフィードバックし利用する下位工程と切り離された設計フローを持ち，設計コストが高い。さらに，配線遅延の影響を高位合成

時に考慮しないことから回路の速度を劣化させる．最終的に出力される回路の速度及び設計コストの観点から，高位合成段階でモジュールフロアプランを扱いホットスポットの温度を削減することが望まれる．

信頼性に関する別の課題にソフトウェアに起因した信頼性の低下がある．微細化に伴う電源電圧の低減や動作周波数の向上はソフトウェア発生確率を増加させる．集積回路の動作中に発生したソフトウェアは一時的に回路故障（フォールト）を引き起こす．放射線粒子衝突といった外的要因で引き起こされるフォールトは現在の集積回路製造技術では回避できないため，高い信頼性が要求される SoC にはフォールトセキュアな設計が必須である．通常の設計に比べ高い信頼性を求めるフォールトセキュア設計は必然的に速度，面積の面でオーバーヘッドを伴うことから，低コストで高い信頼性を実現する設計手法が求められる．フォールトセキュア設計を高位合成段階から取り入れることにより低コストで高い信頼性を実現することが期待され，これまでに数多くのフォールトセキュア高位合成手法が提案された．従来のフォールトセキュア高位合成は並行誤り検出を用いることを考え，通常計算と再計算を実行する演算器の適切な共有によりオーバーヘッドの削減を図る．しかし，従来手法は演算器以外の回路構成要素（レジスタ，MUX，制御回路）を考慮しないため，回路面積の評価が不十分である．加えて，面積増加に伴う速度劣化への対処もなされていない．高位合成中にモジュールフロアプランを扱い，フォールトセキュア設計に伴うオーバーヘッドを適切に評価，かつ削減することが求められる．

本論文では，レジスタ分散型集積回路アーキテクチャを対象とした熱考慮高位合成手法，及びフォールトセキュア高位合成手法を提案する．ホットスポット，ソフトウェアに代表される信頼性問題の対処にあたり，その付加コストの削減は極めて重要である．レジスタ分散型集積回路アーキテクチャを用いる高位合成では，抽象化されたモジュールフロアプランから高位合成段階で配線遅延や面積，ホットスポットの見積もりが可能である．これらの見積もりを合成フロー中の演算スケジューリング／演算器バインディング，演算器アロケーション，レジスタバインディングでの性能指標最適化に使用し，低コストで高信頼を実現する高位合成アルゴリズムを構築する．提案手法は計算機上に実装し評価される．提案熱考慮高位合成手法は，従来手法と比較して回路の速度，面積を劣化させることなく最大 15.5%ホットスポットの温度を削減した．二種の提案フォールトセキュア高位合成手法は，フォールトセキュア設計を施さない手法と比較して速度，面積のオーバーヘッドなく信頼性を最大 24%向上，従来のフォールトセキュア設計と比較して面積を最大 47%削減するとともに，速度を最大 41%向上させた．

1 章 [Introduction] では本論文の背景と意義，構成を示す．

2 章 [Related Works] では関連研究を紹介する．まず，レジスタ分散型集積回路アーキテクチャのひとつである規則性レジスタ分散型アーキテクチャの特徴を

まとめ、その高位合成フローを紹介する。続いて、ホットスポットの温度削減に焦点を当てる熱考慮高位合成、並行誤り検出を用いるフォールトセキュア高位合成について、代表的な既存手法をまとめる。

3章 [A Thermal-aware High-level Synthesis Algorithm] ではレジスタ分散型集積回路アーキテクチャを対象とした熱考慮高位合成手法を提案する。レジスタ分散型集積回路アーキテクチャは回路をブロック分割し、フロアプランするため、高位合成段階においてもホットスポットの特定が可能である。高位合成段階でホットスポットに対処することは設計コストを大幅に削減する。提案手法は演算の実行回数に注目してブロック間の消費電力を均一化し、回路の速度を劣化させることなくホットスポットの温度を削減する。さらに、可能であれば新しい演算器をアロケーションし、温度の削減効果を高める。提案手法を計算機上に実装し温度シミュレーションした結果、従来のレジスタ分散型集積回路アーキテクチャを対象とした高位合成手法と比較し、最大 15.5%ホットスポットの温度を削減できることを確認した。

4章 [An Overhead Constraint-based Partially Redundant Fault-secure High-level Synthesis Algorithm] ではレジスタ分散型集積回路アーキテクチャを対象とした速度・面積オーバーヘッド制約にもとづく部分二重化フォールトセキュア高位合成手法を提案する。本手法は回路のレイテンシ制約、面積制約を入力に受け取り、信頼性の最大化を目的とする。信頼性の指標はソフトウェア発生時のエラー出力確率として定式化する。演算が完全に二重化された状態からスタートし、提案手法はグリーディに制約を満足する解を探索する。計算機実験の結果から、フォールトセキュア設計を施さない手法と比較し速度、面積の面で一切のオーバーヘッドを伴わずとも最大 24%信頼性を向上させることに成功した。

5章 [A Low-overhead Fully Redundant Fault-secure High-level Synthesis Algorithm] ではレジスタ分散型集積回路アーキテクチャを対象とした低コスト指向の完全二重化フォールトセキュア高位合成手法を提案する。レジスタ分散型集積回路アーキテクチャを用いる高位合成はブロック単位での面積評価とそれに伴う配線遅延評価を可能にし、これらの評価結果を高位合成フロー中で適切に扱うことにより高い信頼性を確保した上で回路のレイテンシ、面積を最小化する。提案手法は従来の逐次的な合成フローとは異なり、演算器アロケーションやレジスタ/コントローラ合成をスケジューリング/バインディングと統合的に実行するフローを持つ。スケジューリング/バインディングと他の高位合成ステップを統合的に実行することで最終的に出力される回路のコストをスケジューリング/バインディング中に見積もり、削減する。計算機への実装実験の結果から、従来のフォールトセキュア設計と比較し面積を最大 47%削減するとともに速度を最大 41%向上させることに成功した。

6章 [Conclusion] では本論文を総括し、今後の研究課題を示す。

早稲田大学 博士（工学） 学位申請 研究業績書

氏名 川村 一志 印

(2015年11月 現在)

種 類 別	題名、 発表・発行掲載誌名、 発表・発行年月、 連名者（申請者含む）
a. 論文 学術誌原 著論文 第一著者	○ <u>K. Kawamura</u> , M. Yanagisawa, and N. Togawa, “A thermal-aware high-level synthesis algorithm for RDR architectures through binding and allocation,” IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol. E96-A, no. 1, pp. 312-321, Jan. 2013.
その他	K. Fujiwara, <u>K. Kawamura</u> , S. Abe, M. Yanagisawa, and N. Togawa, “A floorplan-driven high-level synthesis algorithm for multiplexer reduction targeting FPGA designs,” IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol. E98-A, no. 7, pp. 1392-1405, July 2015.
c. 講演 国際会議	K. Fujiwara, <u>K. Kawamura</u> , M. Yanagisawa, and N. Togawa, “Clock skew estimate modeling for FPGA high-level synthesis and its application,” in Proceedings of the IEEE 11th International Conference on ASIC (ASICON2015), Chengdu, China, Nov. 2015. (招待講演) <u>K. Kawamura</u> , Y. Hagio, Y. Shi, and N. Togawa, “A floorplan-aware high-level synthesis technique with delay-variation tolerance,” in Proceedings of 2015 IEEE International Conference on Electron Devices and Solid-State Circuits (EDSSC2015), pp. 122-125, Singapore, Singapore, June 2015. K. Fujiwara, S. Abe, <u>K. Kawamura</u> , M. Yanagisawa, and N. Togawa, “A floorplan-aware high-level synthesis algorithm for multiplexer reduction targeting FPGA designs,” in Proceedings of 2014 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS2014), pp. 244-247, Ishigaki, Japan, Nov. 2014. (招待講演) <u>K. Kawamura</u> and N. Togawa, “Floorplan-driven architecture and high-level synthesis for hot-spot temperature optimization,” in Proceedings of the 29th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC2014), pp. 741-744, Phuket, Thailand, July 2014. ○ <u>K. Kawamura</u> , S. Tanaka, M. Yanagisawa, and N. Togawa, “A partial redundant fault-secure high-level synthesis algorithm for RDR architectures,” in Proceedings of the 2013 IEEE International Symposium on Circuits and Systems (ISCAS 2013), pp. 1432-1435, Beijing, China, May 2013.
国内学会	(査読あり) 伊東光希, <u>川村一志</u> , 田宮豊, 柳澤政生, 戸川望, “ローテータベースマルチプレクサネットワークによるフィールドデータ抽出器の構成手法,” 情報処理学会 DA シンポジウム 2015 論文集, pp. 29-34, 加賀市, 2015年8月.

早稲田大学 博士（工学） 学位申請 研究業績書

種 類 別	題名、 発表・発行掲載誌名、 発表・発行年月、 連名者（申請者含む）
c. 講演 国内学会	<p>川村一志, 阿部晋矢, 史又華, 柳澤政生, 戸川望, “タイミングエラー予測回路による再構成可能デバイス上でのデータ依存最適化回路設計,” 信学技報, vol. 114, no. 328, pp. 51-56, 別府市, 2014 年 11 月.</p> <p>伊東光希, 川村一志, 柳澤政生, 戸川望, 田宮豊, “マルチプレクサ木分割によるフィールドデータ抽出器の構成手法,” 信学技報, vol. 114, no. 328, pp. 197-202, 別府市, 2014 年 11 月.</p> <p>川村一志, 柳澤政生, 戸川望, “フロアプラン統合化アーキテクチャを対象とした低面積指向フォールトセキュア高位合成,” 電子情報通信学会 2014 年ソサイエティ大会, p. 56, 徳島市, 2014 年 9 月.</p> <p>(査読あり) 藤原晃一, 阿部晋矢, 川村一志, 柳澤政生, 戸川望, “フロアプランを考慮したマルチプレクサ削減 FPGA 高位合成手法,” 情報処理学会 DA シンポジウム 2014 論文集, pp. 109-114, 下呂市, 2014 年 8 月.</p> <p>藤原晃一, 阿部晋矢, 川村一志, 柳澤政生, 戸川望, “フロアプランを考慮したマルチプレクサ入力数制限 FPGA 向け高位合成手法,” 信学技報, vol. 114, no. 123, pp. 219-224, 札幌市, 2014 年 7 月.</p> <p>川村一志, 柳澤政生, 戸川望, “信頼性と時間オーバーヘッド間のトレードオフを考慮した面積制約にもとづく RDR アーキテクチャ向けフォールトセキュア高位合成手法,” 信学技報, vol. 113, no. 320, pp. 129-134, 鹿児島市, 2013 年 11 月.</p> <p>(査読あり) 川村一志, 柳澤政生, 戸川望, “RDR アーキテクチャを対象とした時間・面積制約にもとづくフォールトセキュア高位合成手法,” 第 26 回 回路とシステムワークショップ, pp. 454-459, 淡路市, 2013 年 7 月.</p> <p>川村一志, 柳澤政生, 戸川望, “RDR アーキテクチャを対象とした時間及び面積オーバーヘッドのないフォールトセキュア高位合成手法,” 信学技報, vol. 113, no. 30, pp. 61-66, 北九州市, 2013 年 5 月.</p> <p>川村一志, 柳澤政生, 戸川望, “島内消費電力量見積もりにもとづく温度特性を考慮した RDR アーキテクチャ向け高位合成手法,” 信学技報, vol. 112, no. 320, pp. 13-18, 福岡市, 2012 年 11 月.</p> <p>(査読あり) 川村一志, 柳澤政生, 戸川望, “温度特性を考慮した RDR アーキテクチャ向け高位合成手法,” 情報処理学会 DA シンポジウム 2012 論文集, pp. 133-138, 下呂市, 2012 年 8 月.</p>

早稲田大学 博士（工学） 学位申請 研究業績書

種 類 別	題名、 発表・発行掲載誌名、 発表・発行年月、 連名者（申請者含む）
c. 講演 その他	2015年8月 IEEE SSCS Japan Chapter VDEC デザイナーズフォーラム2015 Ph.D 企画セッション パネリスト.
e.その他 (業績賞 等)	<p>2015年8月 アルゴリズムデザインコンテスト優秀賞.</p> <p>2014年11月 情報処理学会 SLDM 優秀発表学生賞.</p> <p>2014年8月 アルゴリズムデザインコンテスト特別賞.</p> <p>2013年11月 情報処理学会 SLDM 優秀発表学生賞.</p> <p>2012年11月 情報処理学会 SLDM 優秀発表学生賞.</p>
(日本学術 振興会 科 学研究費 補助金)	日本学術振興会特別研究員奨励費, “配線遅延の温度依存性を考慮し回路性能を最適化する高位 LSI 設計技術,” 2015-2016 年度, 総額 190 万円(2015 年度:100 万円, 2016 年度:90 万円).

