

博士論文審査報告書

論文題目

Reliability-driven High-level Synthesis Algorithms for Distributed-register SoC Architectures

レジスタ分散型集積回路アーキテクチャを対象とした信頼性指向の高位合成に関する研究

申請者

Kazushi	KAWAMURA
川村	一志

情報理工学専攻 情報システム設計研究

2016年 2月

SoC (System-on-a-Chip) とは、システムが一つの集積回路チップに收容されたものである。現在では数億から数十億のトランジスタが一つのチップに集積され、情報通信産業の基幹部品として中心的な役割を担っている。大規模化・複雑化する SoC 設計に対する有力な解として高位合成と呼ばれる技術がある。これは高級言語によって記述されるシステムの抽象的な動作記述から、計算機によってレジスタトランスファレベル (RTL) 記述を自動合成する技術である。動作記述から SoC 設計を開始することにより、大規模化・複雑化するシステム記述量を削減し、その結果として SoC の設計生産性を大きく向上することができる。

SoC 設計の問題点の一つに配線遅延がある。半導体微細加工技術の向上により、ゲート遅延に比較して相対的に配線遅延の割合が増加している。その結果、演算処理そのものにかかる時間に比較して演算結果を転送する時間が増大することになる。従来、多くの高位合成手法は配線遅延を一定と見積もっていたが、そのままではこうした状況に対応することはできず、高位合成において配線遅延をいかに扱うかが大きな問題となる。

SoC 設計の別の問題点として信頼性がある。半導体微細化は、集積回路チップ内部の熱密度を増大させ、ホットスポットと呼ばれる熱集中部分を生み出す可能性がある。ホットスポットは、熱による集積回路チップの劣化を招くだけでなく、よりコストが高いパッケージを要するなど多くの問題点を生み出す。同時に半導体微細化による電源電圧の低下や動作周波数向上はソフトウェアによる一時的な回路故障を引き起こす可能性を高める。いかにソフトウェアに対応するかも今後の SoC 設計において大きな問題点となる。

以上のような背景のもと、本論文では、まずレジスタ分散型集積回路アーキテクチャを前提に、信頼性を陽に取り扱った高位合成アルゴリズムを提案し、さまざまな観点からこれらを評価している。

本論文は 6 章から構成される。以下では、各章の概要を述べ、評価を加える。

第 1 章「Introduction」では、本論文の背景と目的および概要をまとめ、著者の研究の位置付けを明らかにしている。

第 2 章「Related Works」では、まず高位合成において配線遅延を陽に考慮する技術の一つとしてレジスタ分散型集積回路アーキテクチャを紹介し、その中でも規則性レジスタ分散型集積回路アーキテクチャの優位性を示している。続いて、信頼性に焦点を当てた関連研究として、集積回路チップ中のホットスポットを低減する高位合成技術と、ソフトウェアによる一時故障を回避することを目的としたフォールトセキュア高位合成技術を紹介し、その利点・欠点をまとめている。

第 3 章「A Thermal-aware High-level Synthesis Algorithm」では、規則性レジスタ分散型集積回路アーキテクチャを対象に、ホットスポットを低減することを目的とした高位合成アルゴリズムを提案している。提案アルゴリズムは、まず

規則性レジスタ分散型集積回路アーキテクチャを採用することで、高位合成段階で比較的正確に配線遅延を予測することができ、その結果、微細加工プロセスであっても演算遅延と配線遅延を陽に考慮した高位合成を実現できる。その際、規則的に集積回路チップ上に並んだ回路ブロックに着目し、各回路ブロックで実行される演算実行回数を平準化することで局所的な発熱を抑えることに成功した。これに加え、回路ブロック中の未使用部分に演算器を追加割当てすることで、さらに演算実行回数の平準化が可能となる。計算機実験の結果、従来技術に比較して、ホットスポット温度を最大 15.5%削減できることを確認している。

第 4 章「An Overhead Constraint-based Partially Redundant Fault-secure High-level Synthesis Algorithm」では、規則性レジスタ分散型集積回路アーキテクチャを対象に、回路中の一部を二重化することで回路の一時故障を検出することを可能とするフォールトセキュア高位合成アルゴリズムを提案している。提案アルゴリズムは、レイテンシと回路面積の制約のもと、検出可能な一時故障の割合を最大化するものである。提案アルゴリズムは、回路の完全二重化を初期解として徐々に部分二重化することに基づく。計算機実験の結果、レイテンシ・面積のオーバーヘッドなしに、最大 24%の信頼性向上を確認している。

第 5 章「A Low-overhead Fully Redundant Fault-secure High-level Synthesis Algorithm」では、規則性レジスタ分散型集積回路アーキテクチャを対象に、回路オーバーヘッドの最小化を目指した上で、未使用領域を活用することで回路全体を完全二重化し一時故障を検出可能とするフォールトセキュア高位合成アルゴリズムを提案している。提案アルゴリズムは、回路ブロックへの演算器割当て、レジスタ割当て、制御回路合成を同時実行することで、正確に回路ブロック面積と回路ブロック間遅延を予測し、結果的に小さいオーバーヘッドで回路全体の完全二重化を達成可能とする。計算機実験の結果、従来の完全二重化フォールトセキュア高位合成技術に比較して、回路面積オーバーヘッドを最大 47%削減することを確認している。

第 6 章「Conclusion」では本論文の成果の総括を行っている。

以上が本論文の概要であるが、本論文は、まず SoC 設計の中でもその主要な問題点となる配線遅延と信頼性に焦点を当て、レジスタ分散型集積回路アーキテクチャと呼ばれる新しいプラットフォームのもと、配線遅延を予測しながら、ホットスポット低減や、回路の一時故障の検出のためのフォールトセキュア設計を実現する高位合成アルゴリズムを提案している。これらのアルゴリズムを計算機上に実装し従来技術と比較評価することで、従来技術に比較して高い優位性を確認している。これらの成果は、高度情報通信社会を支える重要な基盤情報技術たる SoC 設計の発展に寄与するところが大きい。よって本論文は博士（工学）の学位論文として価値あるものと認める。

2016年2月

審査員 主査 早稲田大学教授 博士(工学)早稲田大学 戸川 望

早稲田大学教授 工学博士(早稲田大学) 柳澤政生

早稲田大学教授 工学博士(京都大学) 木村晋二

早稲田大学教授 博士(工学)早稲田大学 木村啓二
