

外94-30

早稲田大学大学院理工学研究科

博士論文概要

論文題目

CMOSデバイスの超微細化技術
に関する研究

申請者
松岡 史倫

Fumitomo Matsuoka

1994年11月

半導体集積回路の大規模化は著しく、ひとつのチップ上に存在するトランジスタ数は1億個に迫ろうとしている。また、ほとんどの半導体集積回路は、CMOS (Complementary Metal Oxide Semiconductor) 構造と呼ばれる回路構成を持ち、半導体集積回路の進歩はCMOS構造の微細化によってなされるといって差し支えない。本研究論文は、CMOS構造を微細化するための技術を取り扱い、微細化時の問題に着目して、微細CMOS構造において望ましいゲート電極構造とドレイン構造について、最適構造を得るための指針を与える。

微細CMOS構造実現の上で考慮すべき点に短チャネル効果の抑制が挙げられる。これは、ゲート寸法の微細化により、本来ゲート電極の電位によって制御すべき領域が、ソースやドレイン電位の影響を受けて閾値電圧の絶対値を低下させる現象である。この現象は、pMOSFETで特に深刻である。何故ならば、従来のn型ゲート電極を用いたpMOSFET (以下n型ゲート電極pMOSFET) は、チャネルのキャリアが発生し始める位置が基板表面よりも少し深い場所となる埋め込みチャネル型の構造を持つからである。この様なチャネル構造では、ゲート容量が実効的に小さくなり、ゲート電極による電位の制御性が低下する。この問題を解決するには、pMOSFETを埋め込みチャネル型の構造から、チャネルのキャリアが基板表面で発生する表面チャネル型にすれば良く、従来のn型ゲート電極に替えて、pMOSFETにp型ゲート電極を用いる事で実現される。従って、短チャネル効果抑制の観点からは、n型ゲート電極nMOSFETとp型ゲート電極pMOSFETを組み合わせたCMOS構造が、微細化に適しているといえる。しかし、この様なゲート構造を用いた場合のゲート酸化膜信頼性の報告は殆どない。本研究においては、n型ゲート電極とp型ゲート電極を組み合わせたCMOS構造について、それらのゲート電極の仕事関数に依存したゲート酸化膜信頼性と、ゲート酸化膜信頼性がMOSFETに与える影響について、低電界のBTストレス試験を用いて研究した。n型、および、p型のゲート電極を用いたゲート酸化膜信頼性は、ゲート電極に正電圧を印加する場合は、界面準位生成にゲート電極の仕事関数依存性があり、p型ゲート電極においてのみで界面準位生成が生じる。ゲート電極に負電圧を印加する場合は、界面準位生成にゲート電極の仕事関数依存性は無い事が明らかとなった。また、p型、および、n型のいずれのゲート電極においても、界面準位生成は正孔の注入と深く関わっており、正孔が基板から注入される場合にはゲート電極の仕事関数依存性は無いが、ゲート電極から注入される場合には、仕事関数の観点から正孔注入を容易とするp型ゲート電極においてのみで界面準位生成が生じ、 3.8 MV/cm 程度の電界であっても、p型ゲート電極からの正孔注入の存在する事が実験より初めて明らかとなった。

一方、固定電荷生成は、ゲート電極の仕事関数依存性は持たず、基板からの電

荷注入に支配されており、ゲート電極に正電圧を印加する場合には固定負電荷が、ゲート電極に負電圧を印加する場合には固定正電荷が生じることが明らかとなった。これらの信頼性試験により得られた知見と、n型、および、p型ゲート電極を用いたMOSFETの実験により、p型ゲート電極nMOSFETの構造は、 3 MV/cm 以下の電界であっても微細CMOSデバイスとしての信頼性保証ができず、p型ゲート電極pMOSFET、または、n型ゲート電極nMOSFETの構造であれば、 5 MV/cm の酸化膜電界まで信頼性を確保でき、 $0.2 \mu\text{m}$ 以下の超微細CMOSデバイスへの適用も可能である事が確認された。

微細CMOS構造実現の上で重要なもう一つの項目にホット・キャリアによるMOSFETの特性変動が挙げられる。この現象は、移動度の大きな電子がキャリアとなるnMOSFETにおいて、特に深刻な問題である。これを解決する為に、LDD (Lightly Doped Drain) 構造が従来より用いられて来た。しかし、ゲート長の微細化につれて、LDDの中濃度拡散層 (nMOSFETではn⁻層と呼ぶ) の寄生抵抗値がMOSFETの駆動力に対して無視できなくなって来ている。本研究においては、微細なn型ゲート電極nMOSFETにおいて、ホット・キャリアに対する信頼性と性能を両立し得るドレイン構造として、ゲート電極がn⁻領域上に延在するFOLD (Fully gate Overlapped Lightly Doped Drain) 構造に着目し、ドレイン構造の最適化指針を与える研究を行った。

FOLD構造におけるホット・キャリア信頼性は、従来のLDD構造とは異なり、基板電流を最も低減する設計が、デバイスとしても最も高信頼性である事を、実験とシミュレーションの両面から明らかにした。FOLD構造では、n⁻層でのゲート電極電位の影響を強く受けて、n⁻層上の固定電荷による寄生効果が抑制される事が解析された。

微細なn型ゲート電極nMOSFETにおいて、最適化されたFOLD構造を用いれば、ホット・キャリア信頼性を確保し、かつ、 $0.35 \mu\text{m}$ のCMOS構造において、 3.3 V の動作電圧で従来の高性能化推移に沿ったデバイス特性が達成できる事が分かった。

一方、pMOSFETにおいては、キャリアとなる正孔の移動度が小さく、ホット・キャリアの発生量がnMOSFETと比較して桁違いに小さいために、ホット・キャリアによる特性変動は大きな問題とはされて来なかった。さらに、従来のn型ゲート電極を用いたpMOSFETが、埋め込みチャネル構造である事もホット・キャリアの発生を抑えている。これは、チャネルを流れるキャリアの経路と、チャネル最大電界領域とのずれに起因している。ところが、前述した様に、短チャネル効果抑制の観点からは、pMOSFETのゲート電極にはp型ゲート電極を用いる事が望ましく、そのホット・キャリア信頼性について検討の必

要がある。本研究では、p型ゲート電極pMOSFETについて、ゲート電極の仕事関数が、ホット・キャリア信頼性に与える影響を、従来のn型ゲート電極pMOSFETとの比較を行いつつ詳細に研究した。

p型ゲート電極pMOSFETでは、n型ゲート電極では見られないドレイン・アバランシェ・ホット・ホール注入が生じており、固定正電荷と界面準位両方の生成を伴う事が、実験とシミュレーションの両面から初めて確認された。

ゲート電極仕事関数の異なるpMOSFETの、同一動作条件における基板電流は、p型ゲート電極pMOSFETの方が、n型ゲート電極の場合に比べて大きい値を示す。しかし、ホット・キャリアによる特性変動は、p型ゲート電極pMOSFETの方が、n型ゲート電極の場合に比べて小さい事が分かった。これは、p型ゲート電極pMOSFETの方が、ゲート電極材料の仕事関数差により、同一動作条件でのゲート電流が少ない事、また、チャンネル電流分布の違いにより、同一量の固定電荷の存在に対して、p型ゲート電極pMOSFETの方が、n型ゲート電極の場合に比べて特性に影響を受けにくい事、そして、p型ゲート電極pMOSFETでは、電子注入のみならず、正孔注入が生じるために、注入された電子の一部が中和される事による。

短チャンネル効果抑制の点から微細化に適するp型ゲート電極pMOSFETは、ホット・キャリア信頼性についても従来のn型ゲート電極pMOSFETよりも優れている事が明らかになった。

最後に、n型ゲート電極nMOSFETとp型ゲート電極pMOSFETを、CMOS回路として集積化する際の問題点として、n型、および、p型ゲート電極間の不純物相互拡散を解析し、これを抑制するための施策を提案した。

n型、および、p型ゲート電極間のゲート電極不純物の相互拡散は、多結晶Si中のゲート電極不純物が金属シリサイド中に吸い出されて、金属シリサイド中を移動する事により生じており、多結晶Si中の不純物の金属シリサイドへの吸い出しは、多結晶Siの粒界拡散が大きい事が加速要因となっている事が実験より明らかになった。

n型、および、p型ゲート電極間の不純物相互拡散は、非晶質Siを用い、ゲート電極不純物をイオン注入した後に、これを低温で大粒径化する構造を用いて抑制できる事が実験から明らかとなった。

以上、本研究論文では、CMOS構造の微細化技術に着目し、微細CMOS構造に適したゲート電極構造とドレイン構造を提案し、それが信頼性上問題ない事を明らかにし、超微細LSIとして集積化する上での問題も対策できる事を明らかとした。