

内 96-9

早稲田大学大学院理工学研究科

# 博 士 論 文 概 要

## 論 文 題 目

FPGA を対象とした設計自動化手法  
に関する研究

申 請 者  
戸 川 望  
Nozomu TOGAWA

電気工学専攻・ネットワークシステム研究

1996 年 11 月

FPGA (Field-Programmable Gate Arrays) とは、ソフトウェアの持つ汎用性・柔軟性とハードウェアの持つ高速性を併せ持つ新たな ASIC (Application-Specific Integrated Circuit: 特定用途向け IC) デバイスである。ゲートアレイ、スタンダードセル等に代表されるこれまでの ASIC デバイスでは困難とされた、システムのラピッドプロトタイプングおよび再構成可能なハードウェア等の応用分野において、鍵となる LSI チップとして注目されている。FPGA の高集積化、高速化およびその急速な普及により、従来マスク設計によるゲートアレイによって実現されていた分野に対しても FPGA による実現が可能となっている。FPGA を用いたこれらの応用分野はいずれも、簡便にしかも高性能な回路を FPGA によって実現できることが必要条件となる。すなわち、これらの成否は、従来の ASIC 設計以上に、計算機を利用した自動設計技術に大きく依存する。

このような背景のもと、本論文では FPGA を対象とした設計自動化手法に焦点を当て、回路分割手法、テクノロジーマッピング・配置・概略配線同時処理手法、概略・詳細配線同時処理手法を提案している。続いて、応用分野に特化した FPGA として通信処理用 FPGA を取り上げ、その CAD (Computer-Aided Design: 計算機支援設計) システムを論じ、特にレイアウト設計の重要性を指摘し通信処理用 FPGA を対象とした配置・概略配線同時処理手法を提案している。提案手法はいずれも、FPGA 設計に要求される、手法そのものの高速実行性ならびに性能指向設計を達成している。

本論文は 6 章から構成され、その内容は以下のように要約される。

第 1 章では、本論文の背景と目的および本論文の概要をまとめている。前述したように、FPGA は、その応用分野の要請から、従来の ASIC デバイス以上に自動設計技術に大きく依存する。手法そのものの高速実行性および性能指向設計技術が要求されることを示している。

第 2 章では、複数の FPGA を対象とした回路分割手法を提案している。複数の FPGA を対象とした回路分割において、分割された信号ネットは、I/O ブロック (FPGA 内部と外部とで信号を入出力するブロック) を経由して接続される。ところが、1 チップあたりの論理ブロック (FPGA 内部で論理機能を実現するブロック) 数に比較して、1 チップあたりの I/O ブロック数は小さい傾向にある。I/O ブロックの制限により、各 FPGA チップによって実現される回路規模は小さいものとなり、論理ブロックの使用効率の低減を招く。FPGA を対象とした回路分割では、I/O ブロック数削減の観点から未使用となっている論理ブロックを活用する回路分割手法が要求される。提案手法は、回路の再帰的 2 分割処理を核とし、各 2 分割処理は外部入出力端子集合の 2 分割、論理ブロック集合の 2 分割から構成される。外部入出力端子集合の 2 分割では、クリティカルパスの入出力となる端子同士が同じチップに割り当てられるよう処理される。論理ブロック集合の 2 分割では、ネットワークフローの考えを適用し最大フローによる最小カットを繰り返

し探索し、チップ間をまたぐ信号線数が小さくかつクリティカルパスがチップ間をまたがないような分割が実現される。同時に、論理ブロックが複製される。これは、使用する I/O ブロック数の削減およびクリティカルパス遅延の削減の両面から、未使用論理ブロックを活用していることを意味する。提案手法を計算機上に実装し、FM 分割手法、SA (Simulated Annealing) による回路分割手法と比較した。提案手法は、1 チップあたりに必要な I/O ブロック数に関し、FM 分割手法に比較して平均 35%削減し、さらに SA による回路分割手法による解より小さい値を達成した。クリティカルパス中の論理ブロックを複製することにより、パス遅延制約を満足することを可能とした。チップあたりに必要な I/O ブロック数の削減およびクリティカルパス遅延の削減の両面に関し、論理ブロックの複製を実現する提案手法が効果的であることが結論づけられる。

第 3 章では、LUT (LookUp Table) を論理ブロックとする FPGA を対象としてテクノロジーマッピング・配置・概略配線同時処理手法を提案している。まず、第 1 段階として、配置・概略配線同時処理手法を提案している。この手法は、レイアウト領域と配置すべき論理ブロック集合の階層的分割処理を基本とする。レイアウト領域の 2 分割に伴い、論理ブロックは領域の上下 (あるいは左右) および分割線上に割り当てられる 3 つの論理ブロック集合に分割される。分割された論理ブロック集合間に結線要求がある場合、分割線上に仮想的に設定したブロック (仮想ブロックという) を配置する。概略配線経路は、仮想ブロックの並びによって表すことができる。レイアウト領域および論理ブロック集合の分割が終了したとき、論理ブロックの配置および仮想ブロックの並びによる概略配線経路が同時に決定する。これは、配置・概略配線の同時処理が実行されたことを意味する。続いて、第 2 段階として、テクノロジーマッピング・配置・概略配線同時処理手法を提案している。この手法は、配置・概略配線同時処理手法を拡張し、同時にテクノロジーマッピングを実行する。入力された Boolean network の節点のうち、レイアウト領域の分割の際に分割線上に割り当てられることが期待される節点をテクノロジーマッピングの候補節点とする。候補節点は、階層処理において現時点のレイアウト結果を反映して決定される。候補節点を対象としたテクノロジーマッピングにより、配線混雑度を小さくするレイアウト結果を生成できる。同時に、クリティカルパス遅延を小さく抑えることができる。提案手法を計算機上に実装し、従来の段階的 FPGA 設計手法と比較した結果、提案手法は配線混雑度を 12%~38%削減した。配線混雑度は、上位の段階からレイアウトを意識して設計することで小さくなることが確認された。配線混雑度を小さく抑えると同時に、パス遅延制約を満足することを可能とした。配線混雑度の削減およびクリティカルパス遅延の削減の両面に関し、テクノロジーマッピング・配置・概略配線の同時処理を実現する提案手法が効果的であることが結論づけられる。

第 4 章では、概略・詳細配線同時処理手法を提案している。提案手法は、配線領

域の階層的分割を基本とし、ロングライン、ローカルラインといった長さの異なる配線セグメントに対応する。配線領域の2分割の際、分割線上のネットの通過位置を線形割当てにより決定する。線形割当てを2段階に適用することによって、概略径路に基づいた配線セグメントの割当て、つまり詳細径路の決定が実現される。各線形割当ては、クリティカルパス遅延に基づいて設定される。提案手法を計算機上に実装し、FPGA 詳細配線手法 CGE (Coarse Graph Expansion) アルゴリズムと比較した結果、提案手法は配線達成率を CGE アルゴリズムと同等に維持したまま、処理時間を 1/2-1/10 に削減した。回路規模が増大するほど処理時間の削減傾向は大きくなる。さらに、ロングラインを利用した設計により、ローカルラインのみの設計に比較してクリティカルパス遅延を平均 39%削減することが確認された。処理速度の向上およびロングラインの活用によるクリティカルパス遅延削減の両面に関し、提案手法が効果的であることが結論づけられる。

第5章では、通信処理用 FPGA を対象とした自動設計手法を取り上げ、通信処理に適したレイアウト設計手法として、配置・概略配線同時処理手法を提案している。通信処理用 FPGA は、汎用目的の FPGA と異なり、FPGA 内部に信号の方向性があり、かつ基本セルの論理粒度が細かいという特徴を持つ。通信処理に適した柔軟な回路設計を構築できる反面、配線混雑度が極端に増加する傾向にある。このような FPGA は、専用の自動設計システムを必要とする。特に、そのレイアウト設計は、これまで以上に配線混雑度を小さくし、しかもクリティカルパス遅延を小さく抑えることが要求される。提案した配置・概略配線同時処理手法は、第3章と同様に、レイアウト領域および配置すべき LUT 集合の階層的2分割を基本とする。ネットワークフローの考えを適用し最大フローによる最小カットを算出することで配線混雑度を小さくする分割を実現する。この際、分割された LUT 集合間の結線要求は、仮想端子と呼ばれる仮想的に導入した端子によって保持される。仮想端子の並びによって概略配線径路が表される。その結果、階層分割の終了と共に配置と概略配線とが決定する。同時に、第2章で提案する遅延削減手法を導入することで、クリティカルパス遅延を小さく抑える。提案した配置・概略配線同時処理手法を計算機上に実装し、通信処理用 CAD システムの一部として組み込んだ。提案手法を組み込んだ CAD システムを、実際の通信処理用 FPGA チップおよび通信処理用回路を対象に適用し評価実験した結果、配置・概略配線の際に配線混雑度を削減することで、従来の CAD システムで未結線を生じた回路に対して 100%詳細配線を実現した。しかも、回路遅延を平均 23%減少した。通信処理用 FPGA に対し、配線混雑度の削減およびクリティカルパス遅延の削減には配置・概略配線の同時処理を実現する提案手法が効果的であることが結論づけられる。

第6章では、本論文全体を総括している。