

外3-2

早稲田大学大学院理工学研究科

博士論文概要

論文題目

MNOS型不揮発性メモリ素子と
その実用に関する研究

申請者
神垣良昭
Yoshiaki Kamigaki

平成 〇 年 〇 月

マイクロコンピュータの発展と共に、プログラムメモリあるいはデータメモリとして使われる、半導体不揮発性メモリへの期待がますます高まっている。とくに電氣的に書換可能な不揮発性メモリ EEPROM (Electrically Erasable and Programmable Read-Only Memory) を求める声が高い。このEEPROMが普及すると、重厚なシステムからメカニカルなメモリ部品が取り除かれ、本格的な軽エレクトロニクス時代が到来する。しかし信頼性および価格の面から、その要求に応えられるEEPROMはこれまで実現されていなかった。

MNOS (Metal-Nitride-Oxide-Silicon)メモリ素子は、このEEPROMを実現する素子技術の一つであり、シリコン酸化膜(SiO_2)とシリコンナイトライド膜(Si_3N_4)との重ね膜を、ゲート絶縁膜として持つMIS (Metal Insulator Semiconductor)型の半導体不揮発性メモリである。 Si_3N_4 膜は、その中に電荷を蓄積し長時間保持するという記憶作用を持っている。 SiO_2 膜は、20Å以下と極めて薄く、トンネル効果によって基板側から電荷を注入させ、また蓄積された電荷の放出を阻止する役割を果たしている。MNOSメモリ素子に関する研究は、 Si_3N_4 膜の記憶作用が1968年に報告されて以来数多くなされてきた。しかしながら、再現性のある安定な素子特性が得られず、MNOSメモリ素子の実用化はこれまで容易に進まなかった。

MNOSメモリ素子の実用化が困難といわれる理由は、トンネル用 SiO_2 膜の形成プロセスと電荷蓄積用 Si_3N_4 膜の電氣的特性の制御が難しいというものであった。そこで著者はこれら二つの点について基本的な検討を行った。ここでは20Å以下の極めて薄いトンネル SiO_2 膜の成長則、さらに電子と正孔とを蓄積し記憶作用をもつ Si_3N_4 膜のトラップ機構について言及した。またMNOSメモリ素子を適用したEEPROMを実際に設計し、その信頼性および生産性について検討した。さらに他の汎用メモリとの水準比較も行った。

第1章では、本研究の背景と意義、MNOSメモリ素子研究の歴史、および本論文の構成について説明した。さらにEEPROMを実現するもう一つの浮遊ゲート型メモリ素子との技術比較、また汎用メモリの中でのEEPROMの位置付けにも触れ、本研究の動機を述べた。

第2章では、著者等の最近の理解をもとに、MNOSメモリ素子に関する動作と理論、基本特性と設計指針、および作製プロセスについて述べ、とくにトンネル SiO_2 膜の膜厚制御、および Si_3N_4 膜トラップの特性制御が重要であることを説明した。MNOSメモリ素子の設計指針を要約すると;

- 最適なトンネル SiO_2 膜の膜厚は18 ± 1 Å,
 - プログラムの最小許容電界は4.2 MV/cm, 最大許容電界は5.1 MV/cm,
 - Si_3N_4 膜の膜厚下限は123 Å,
- であることが明らかとなった。本設計指針に従うと、0.3 μm微細加工技術を用いて16 MビットEEPROMの設計が可能である。

第3章では、極めて薄いトンネル SiO_2 膜の膜厚制御技術とその成長則について検討した。従来の比較的厚い SiO_2 膜厚の領域では、 SiO_2/Si 界面での反応あるいは SiO_2 膜中の酸化種の拡散が酸化速度を律則すると考えるDeal-Groveの酸化則が適用されてきた。しかしこのモデルでは、薄い SiO_2 膜の領域までその成長則を説明することはできない。そこで著者等は下記の検討を行った。

(1) 膜厚制御技術に関して; 著者は O_2/N_2 分圧熱酸化法を提案し、 10^{-3}atm まで低い O_2 分圧の熱酸化雰囲気中において薄い SiO_2 膜を形成した。その結果20Å以下のトンネル SiO_2 膜の膜厚を、相対誤差1%以内にて形成できた。分離光路型エリプソメトリによる高精度な膜厚評価技術を導入し、酸化膜厚と酸化時間の関係を広範囲に調べた。また最小二乗法による回帰曲線をあてはめ実験式を導いた。この実験式から、15から200Åの薄い SiO_2 膜の形成において、酸化速度を1Å/min以下と非常に小さく制御できることが判明し、極めて薄い SiO_2 膜の膜厚制御技術が確立できた。

(2) 成長則に関して; 10^{-3}atm 以下の低い O_2 分圧の熱酸化雰囲気中において、200Å以下の薄い SiO_2 膜が形成され、ここでは電界が酸化速度を律則すると考えるMott-Cabreraの酸化則が適用できることを示した。たとえば、 O_2 分圧が 10^{-3}atm の条件下で成長する SiO_2 膜は、膜厚の逆数($1/X$)と酸化速度の対数($\log dX/dt$)との間に比例関係が見い出せる。なお、Deal-Groveの酸化則とMott-Cabreraの酸化則の適用範囲の違いには、 O_2 分圧および基板結晶面方位の影響が強く反映していることも明らかとなった。これらは、Deal-GroveとMott-Cabreraの成長則が、まったく別の機構に依ることを意味している。

第4章では、電荷蓄積用 Si_3N_4 膜のトラップモデルについて検討した。従来のトラップモデルでは、最近接に3個のN原子を持ち、不対電子を有する中性のSiダングリングボンド($\text{N}_3\equiv\text{Si}^0$)が、電子の蓄積($\text{N}_3\equiv\text{Si}^-$)もホールの蓄積($\text{N}_3\equiv\text{Si}^+$)も可能な両極性のトラップであると考えられてきた。しかし著者等は下記の検討を行ない、新しいモデルを提案するに至った。

(1) MNOSメモリ素子の電荷保持特性の解析において、蓄込み側(電子)と消去側(ホール)の減衰がまったく異なる挙動を示すことから、電子とホールは別々のトラップに捕獲される可能性を指摘した。さらにプログラム特性の解析から、電子のトラップ密度はおよそ $7 \times 10^{14} \text{ cm}^{-2}$ と小さく、蓄積する電荷の分布が箱型をし、ホールのトラップ密度はおよそ $1.2 \times 10^{16} \text{ cm}^{-2}$ と大きく、蓄積する電荷の分布が指数関数型をしていることを見出した。

(2) Si_3N_4 膜について液体ヘリウム温度の高感度ESR測定を行い、2種類の分離した信号を観測した。それらは、バックボンドにSi原子のみを持つ場合($\text{S}_3\equiv\text{Si}^0$, g値: 2.005)とN原子のみを持つ場合($\text{N}_3\equiv\text{Si}^0$, g値: 2.002)と考えられる。またバックボンドにSi原子とN原子が混合するような中間型のSiダングリングボンドのESR信号がみられないことから、 Si_3N_4 膜内にSiクラ

スターが散在する描像を提案した。Siのマイクロクラスターは、Si₃N₄膜形成時の反応ガス中にて気相成長したものと考えられる。

(3) Si₃N₄膜内のSiクラスターの境界面上には、

(A) 弱い結合: $Si_3 \equiv Si : Si \equiv N_3$ (結合電子がN₃Si原子側に局在)

(B) 緩い結合: $Si_3 \equiv Si^\circ \& Si^\circ \equiv N_3$ (両側は不対電子を持ち中性)

(C) 離れた結合: $Si_3 \equiv Si^+ \& Si^- \equiv N_3$ (電気陰性度によりイオン化状態)

の3種類の状態が存在し得る。これらの結合状態は電子もホールも蓄え得ると考えられる。電気陰性度を考慮すると、バックボンドにSi原子のみを持つ側(Si₃Si)が電子を捕獲し、N原子のみを持つ側(N₃Si)がホールを捕獲する。3種類の結合密度の合計は電子のトラップ密度と同程度のおよそ $7 \times 10^{14} \text{ cm}^{-3}$ と考えられる。このうちESRで検出可能な緩い結合($Si_3 \equiv Si^\circ \& Si^\circ \equiv N_3$)はスピン密度の評価からおよそ $2 \times 10^{17} \text{ cm}^{-3}$ である。ところでホールのトラップ密度は $1.2 \times 10^{20} \text{ cm}^{-3}$ と大きい。そこでSiO₂膜内のホールトラップと同じ考え方から、Si₃N₄膜内の中性のN原子空孔(N₃Si:SiN₃)が存在し、ホールのトラップになっているモデルを提案した。

第5章では、MNOSメモリ素子の実用化に関して、EEPROM用メモリセルの設計技術と、生産性・信頼性について述べた。

(1) メモリセルの設計に関して、信頼性も考慮しもっとも有効な動作枠の範囲を導く設計技術を体系化した。これにより、EEPROM技術のなかでMNOSメモリ素子が高集積化可能で、実用に向くことを示した。

(2) EEPROM製品の開発に関して、MNOSメモリ素子を用いた0.4kビットEEPROMおよびEEPROM搭載のマイクロコンピュータを開発した。

(A) MNOS素子を採用したEEPROMにおいて、書換え回数 10^8 回以上データ保持10年以上の高信頼性を達成した。

(B) MNOS素子を採用したEEPROMにおいて、同一微細加工レベルで作製した他の半導体汎用メモリの欠陥密度と比べ、同水準以上を達成した。

以上から、電気的に書換え可能で高機能な半導体不揮発性メモリをMNOSメモリ素子によって実現した。

第6章では、前章までの結果を総括して本論文の結論としている。

本研究により、MNOSメモリ素子の実用化に向けて、トンネルSiO₂膜の膜厚制御技術と電荷蓄積用Si₃N₄膜のトラップ制御技術の2点の検討と、EEPROM用メモリセルの設計技術の検討とを行い、他の汎用メモリと同水準の信頼性および生産性を有するEEPROM実用化の道を開いた。また極めて薄いトンネルSiO₂膜の酸化機構にMott-Cabreraの成長則が適用できること、Si₃N₄膜内にSiクラスターが存在し、その境界面の結晶不整合に電子と正孔とが蓄積されるモデルを提案した。今後、これらの成長則モデルおよびトラップモデルの検証を得ることは、学問的な興味他に、製造技術への波及効果も大きい。