

外3-26

早稲田大学大学院理工学研究科

博士論文概要

論文題目

微細相補型MOS (CMOS) 集積回路のための
縮小則に関する研究

申請者

各務 正一

Masakazu Kakumu

平成 3 年 7 月

理 1545 (1804)

半導体集積回路は1970年にMOSトランジスタを使用して実用化された1kビットダイナミックRAM(DRAM)以降、加工技術を始めとする微細化技術を中心としたプロセス技術の進歩によって発展してきた。そして1990年には64Mbit DRAMが発表されるにいたり、その素子密度は着実に3年で4倍になってきた。また動作速度にともなうアクセスタイムも着実に速くなってきた。この様にMOSデバイスの微細化は単に素子の高密度化のみならず高速動作といった回路性能を上げることに寄与してきた。

このMOSデバイスの微細化の概念はMOSデバイスの比例縮小則(スケーリング則)として1974年に発表された。MOSデバイスの比例縮小則はMOSFET、又はそれに付随する配線、層間膜などの物理的な寸法と共に電源電圧を一定の係数 κ (スケーリングファクタ)($1 < \kappa$)で縮小すると素子密度が κ^2 、動作速度が $1/\kappa$ になり、MOSデバイスの高密度化と高性能化を同時に実現するというものである。この比例縮小則は長年の間、MOSデバイスの微細化の基本になってきた。ただし実際のLSIでは電圧を縮小しないで一定の電圧を用いながら、MOSデバイスの寸法を縮小してきた。この電圧一定の比例縮小則は実際の集積回路の基本となり、MOS LSIの回路密度、動作速度などが飛躍的に向上させ、集積回路の発展に寄与してきた。しかし電圧一定でMOSデバイスを縮小した場合には寸法がサブミクロン領域になると、MOSFET中の電界強度が増大し、ホットキャリアによる劣化、ゲート酸化膜にかかる高電界による信頼性の問題が深刻になってきた。またLSIの動作周波数が上り、素子密度が上がることによる消費電力の問題が表面化してきた。これらの問題を解決するためには再度オリジナルの電界一定のスケーリング則の思想を導入する事も考えられるが、性能の面での改善が今までの電圧一定のスケーリング則に及ばない。このため両者の比例縮小則とも破綻が起こってきた。

そこで本論文ではどういった電源電圧、プロセス、デバイスパラメータを選べば信頼性が確保でき、性能を損なわないCMOSデバイスの縮小ができるかを実験結果と共に明らかにしていく。さらにこれを元にデバイスの縮小則を提案していくことを目的とする。

本論文は7章からなり、以下にその概要を示す。

第1章 序論

従来のMOSデバイスの比例縮小則(スケーリング則)についてまず解説を行い現在のMOS LSIの高密度化、高速化にいかに関与してきたかを論じた。また実際に行われてきた電圧一定の比例縮小則についても言及した。それらを元にして従来の比例縮小則がMOSデバイスの寸法がサブミクロン以下になると、この法則が破綻することを示唆した。そして何を解決しなければならないかを明らかにする

とともに、本研究の目的が電源電圧を中心とした微細相補形MOS集積回路のための新しい縮小則を提案するものであるという事を順次説明していく。

第2章 デバイス最適化シミュレータの作成

本章ではデバイスの最適化を行うシミュレータを作成するためにMOSFETのドレイン電流、基板電流、遅延時間のモデル作りを行った。その結果MOSFETのモデルに関して、今まで発表されてきた解析的なモデルにさらに実効チャンネル長反転層容量まで考慮した新しいモデルを提案できた。さらにゲート酸化膜厚やジャンクションの深さが電界に与える影響を実験的に確かめて、nMOSFETの基板電流を正しく示すモデルができた。またCMOSゲートの遅延時間についても新たに電界効果を考慮したドレイン電流のモデルをもとに解析的なモデルを提案する事ができた。

そしてこれらのモデルを組み込んだCMOSデバイスの最適化のためのシミュレータの作成について述べた。このシミュレータはパンチスルー、ショートチャンネル効果、サブスレシールドリークや信頼性について定められた境界条件を満たしつつかつ遅延時間が最小となるCMOSデバイスのパラメータを自動的に選び出せる新しい概念を持った物である。またこのシミュレータが持っている機能についても言及した。

第3章 デバイス最適化シミュレーション

第2章で紹介されたデバイス最適化シミュレータを使って求めたデバイスパラメータを用いて作成された $0.5\mu\text{m}$ CMOSデバイスの性能を従来の比例縮小則に従って作成されたものと比較を行った。その結果、従来と比較して、信頼性では優れており、かつ遜色ない性能を達成でき、第2章で開発されたシミュレータの有用性を明らかにできた。さらにこれを色々なデザインルールのサブミクロンデバイスへにも応用し、そのシミュレーション結果をもとにして、最適な電源電圧 V_{DD} をデザインルールの値を用いて、MOSFETがソース、ドレインが従来構造の場合には $V_{DD} = 6.1 \times (L/2)^{1/2}$ 、LDD構造の場合には $V_{DD} = 8.4 \times (L/2)^{1/2}$ (ここで V_{DD} は電源電圧、 L はデザインルール)と半定量的に記述する事ができた。

第4章 新しいデバイス縮小則の提案

この章では電源電圧の境界条件を信頼性から定められる電源電圧の上限と回路性能から決まる電源電圧の下限という観点から議論した。デバイスの物理的な寸法を $1/\kappa$ で縮小した場合には電源電圧を $1/\sqrt{\kappa}$ で下げれば、デバイス内部の最大電界を一定に保つ事ができ、その結果生成する基板電流がほぼ一定となり、ホットキ

キャリアに対する信頼性を維持できる事がわかった。

一方で遅延時間を解析することによっての観点からは電源電圧の下限値が $1.1 \times (E_{cn}L_{effn} + E_{cp}L_{effp}) / 2$ (ここで L_{effn} 、 L_{effp} は各々 nMOSFET と pMOSFET の実効チャネル長、 E_{cn} 、 E_{cp} は各々電子と正孔が速度飽和を起こす電界) と記述できる事がわかった。そして信頼性で決まる電源電圧の上限値が常に回路特性から決まる電源電圧の下限値よりも高いために電源電圧を $1/\sqrt{\kappa}$ で下げる事を軸にして CMOS デバイスのための新しい縮小則を提案した。この縮小則によればデバイス内部の電界を一定に保ち、信頼性が今までに比較して大幅に改善されると同時に遅延時間の改善は定電圧のスケーリング則とまったく変わらないさらに素子の電力密度や配線電流密度を軽減する事ができる CMOS デバイスのための縮小則を提案できた。

第5章 デバイス最適化シミュレータの低温動作 CMOS デバイスへの拡張

本章では第2章で述べた最適化シミュレータを低温動作の CMOS デバイスまで使用できるようにモデルを拡張し、それを用いて最適な電源電圧やデバイスパラメータを求めた。その結果、低温動作では室温と違い、最適な電源電圧は信頼性でなく、回路の性能で決まる事が分かった。またこれを CMOS デバイスに応用して、ゲート長が $0.3 \mu\text{m}$ でデザインされたインバータで 2V 、 77K で $40\text{ps}/\text{段}$ の遅延時間を、 $F/O=3$ での遅延時間は約 $80\text{ps}/\text{段}$ を得ることができた。またこの CMOS デバイスを 1V で動作させたときには電力遅延積は 1fJ 以下の非常に低い値を実現できた。そして低温動作においても最適な電源電圧は室温の場合と同様、デザインルールの平方根に従って下がっていくことを明らかにできた。

第6章 CMOS デバイスの微細化の今後

本章では CMOS デバイスの微細化における電源電圧を物理的な限界と集積回路への応用という2つの観点から論じた。物理的な限界という観点からは CMOS デバイスの微細化の限界はまだ遠い事を明らかにした。一方、集積回路への応用の観点からは電源電圧は約 $0.5 \sim 1.0\text{V}$ あたりに限界があることが分かった。さらに実際の LSI の電源電圧の選択には入出力電圧、バーンイン電圧などまだ多くの検討項目があることを示唆した。

第7章 結論

本章では、第2章から第6章までの内容をまとめて本論文の結論とした。