

# 博士論文概要

## 論文題目

ノイズ耐性を持つ電源/GND ネットワークの  
最適化設計手法

Power/Ground Networks Optimization  
Design Methods with Noise Immunity

申請者

田中(袖)	美樹子
Mikiko	TANAKA (SODE)

情報理工学専攻 マルチメディアシステム研究

2011 年 12 月

近年、プロセス技術の進歩に伴い、回路の動作速度は向上した。また、搭載されるデジタル回路規模が増加し、これに伴い大電流化が進み、デジタル回路におけるノイズ、即ち電圧降下（電圧ドロップ）は増大の傾向にある。一方、低消費電力化の要求により、低電圧化が進んでいる。このため、相対的にノイズが大きくなり、デジタル回路のノイズ耐性は弱くなる傾向にある。デジタル回路に於いては、電圧ドロップによる誤動作や電圧ドロップによる遅延劣化が原因の動作速度低下が問題となっている。これは、高速化要求への障害となっている。

一方、ノイズに敏感なアナログマクロ（HDMI、DDR、USB 等高速 IO マクロ、ADC、DAC マクロ、アンテナマクロ）とデジタル回路が 1 チップに搭載されるようになってきた。これにより、アナログマクロの誤動作や特性劣化が顕著化してきている。ノイズ問題は、一旦発生すると解決に多くの時間を要することが多く、大きな問題となっている。回路が放出したノイズをその回路自身が受け誤動作を引き起こす自家中毒は、LSI を製造するメーカーにとっては、最も考慮すべきノイズである。また、近年、EMC では、VCCI 等の規格が制定され、規格を満足しないシステムの販売が禁止されている。また、ノイズイミュニティ（ノイズ耐性）に対する要求も増大している。

加えて、近年の価格競争の激化により、低コスト化の要求が増大している。LSI のサイズは、ウエハコストに直結するため、コスト削減に於いて、最も重要な項目である。このため、チップ内で大きな面積を占めている、電源/GND ネットワークやオンチップデカップリング容量削減は重要な項目である。また、設計期間の短縮要求により、高速に、精度良く解析、設計を行える設計手法が重要となってきた。

これらの要因から、正確な電圧ドロップ、基板ノイズの解析モデルの構築が重要となってきた。モデル化に於いて、以下の 4 つが重要な項目である。 1) ノイズ（電圧ドロップ）の発生を正しくモデル化する。 2) 電圧ドロップによる遅延変動を正しくモデル化する。 3) 伝播経路を正しくモデル化する。 4) ノイズを受けた場合のアナログマクロの動作を正しくモデル化する。そこで、本論文では、これらの 4 つを正確にモデル化する方法、即ち、基板ノイズモデル化手法を提案する。また、コスト削減のために、ノイズ耐性を満足し、かつ電源/GND ネットワークの総配線面積、オンチップデカップリング容量の総面積を最小化することが重要である。加えて、アナログマクロに伝播する基板ノイズをチップサイズ、配線層数の増加なしに、アナログマクロのノイズ耐性以内となる様に減少させることも重要である。これらを実現するために、本論文では、上で述べた 4 つのモデル化技術、即ち基板ノイズモデル化手法を用い、高速に高精度に電源/GND ネットワークの最適化設計を行う以下の 3 つの手法： 1) 電源/GND ネットワーク最適化手法、 2) オンチップデカップリング容量最適化手法、 3) 基板ノイズ最適化手法、の提案を行う。

本論文は以下の各章から構成される。

第 2 章では、大規模回路に対して、電圧ドロップ、基板ノイズ解析を高速に、高精度に行う方法を提案する。本手法は、大規模回路を高速に、精度良く解析する為に、LSI を複数の領域に分割し、その領域毎にマクロモデルを作成し、電圧ドロップ解析、基板ノイズ解析を行う。領域数を削減することによりノード数が減少するので、計算複雑度は大きく減少する。しかし、解析精度は悪化する。そこで、領域サイズ、解析時間、解析精度のトレードオフ関係を考察した。考察結果より、領域の電流密度変動係数と見積もり基板ノイズ誤差の間に線形の関係があることが判明した。この結果から、領域サイズを領域の電流密度変動係数を元に決定することにより、精度と処理時間の両方を満足できることが判明した。提案手法では、この線形関係を利用し、まず目標誤差を設定し、その誤差に対応する電流密度変動係数を求め、各領域を電流密度変動係数以内となるように領域分割を行う。これにより、精度と解析時間の両立を実現する。実験結果より、ノイズ誤差を 15 % に設定し、領域分割を行った場合、見積もりジッタ（クロック周期のゆらぎ）の精度は 85% 以上であった。これは、電流密度変動係数による、領域分割が正しく動作していることを示す。また、提案手法は従来手法と比べ、10000 倍以上高速であった。提案手法を用いると解析速度と精度の両方を満足できるので、数千億のトランジスタを持つマイクロプロセッサの様なシステム LSI に対しても適用可能な方法である。

第 3 章では、電圧ドロップ制約を満足し、同時に電源/GND ネットワーク配線の総面積を最小化する手法を提案する。提案手法は、非線形計画問題を逐次線形計画法で解くのではなく、電流をフロー、許容電圧降下値を容量として捕らえ、ネットワークフロー問題として解くことにより解を求める。即ち、ネットワークの枝の容量を増やす既存ネットワークの最小費用改良問題の拡張問題として捉え解を求める。これにより、非線形計画問題を解く時に用いる緩和を行う必要がなく、良い解を得ることができる。提案手法は、まず、電圧ドロップに影響のあるパスを求める。これは、解析空間を絞り、解析時間の向上に有効である。次に、そのパスの中でフローが容量を最も超えて流れているパスを 1 つ求める。その後、パス上の枝で電圧ドロップに最も影響のある枝を見つけ、その枝の抵抗を変更、即ち容量を増加させることにより電圧を改善する。提案手法は電圧ドロップに最も影響のある枝を更新するため効率的な方法である。また、提案手法は電流モードではなく電圧モードで制約を設定する方式を採用した。これにより、電圧ドロップ、即ち電圧を直接制約として扱うことが出来るようになり、従来手法と比べ抵抗による電圧誤差を解消でき、良い解を得ることが出来るようになった。計算機実験結果より、従来手法と比べ電源/GND ネットワークの配線面積を 1/3 に縮小することを示した。また、提案手法は従来手法では電圧ドロップ制約を満足することができなかったデータに対しても電圧ドロップ制約を満足する解を得ることができた。

第 4 章では、電圧ドロップ制約を満足すると同時に、オンチップデカップリング容量の総面積を最小化する手法を提案する。提案手法は、非線形計画問題を逐次線形計画法で解くのではなく、電流をフロー、許容電圧降下値を容量として捕らえ、ネットワークフロー問題として解くことにより解を求める。即ち、ネットワークの枝を追加する既存ネットワークの最小費用改良問題の拡張問題として捉え解を求める。非線形計画問題を解く時に用いられる緩和を行う必要がなく、良い解を得ることができる。提案手法は、電圧ドロップに影響のあるパスを求め、そのパスの中でフローが容量を最も超えて流れているパスを 1 つ求める。次に、パス上のノードで、電圧ドロップに最も影響のあるノードを見つけ、そのノードにオンチップデカップリング容量を追加、即ちそのノードにソースノードからの枝を追加し、電圧改善を行う。提案手法は、電圧ドロップに最も影響のあるノードにオンチップデカップリング容量を追加するため、効率的な手法である。また、デカップリング容量から電荷が供給される時間を考慮し、電流が必要なノードと電流を供給するデカップリング容量の距離を、一定距離以内にする制約を設定し、実効的なデカップリング容量追加を可能にした。これにより効果のない箇所へのデカップリング容量の追加を避けることができ、オンチップデカップリング容量の総面積の増加を抑えることができた。計算機実験結果より、提案手法は実サイズデータに対し、処理時間が数分と実用的な方法である。また、従来手法と比べ、オンチップデカップリング容量の総面積を 40～50% に減らせることを示した。

デジタルアナログ混在 LSI に於いて、デジタル電源ノイズは、Si 基板を介してアナログマクロに伝播しアナログマクロの特性を劣化させる。この電源ノイズを、基板ノイズと呼ぶ。第 5 章では、基板ノイズ削減を、デジタル電源/GND ネットワークを最適化することにより実現する手法について提案する。ガードリングを用いた従来手法では、ガードリング追加により、LSI の面積、製造マスク数が増加し製造コストが増加する。そこで、基板ノイズの原因がデジタル電源ノイズであることに着目し、デジタル電源ノイズ(ノイズ源)を直接削減し、基板ノイズの低減を図る手法を提案する。直接デジタル電源ノイズを削減するため、LSI の面積増加、製造マスク数増加無しに、基板ノイズを削減することができ、有効な手法である。提案手法は、アナログマクロに最も電流を伝播しているデジタル回路を電流経路探索により特定する。次に、この最も電流をアナログマクロに供給しているデジタル回路の電圧ドロップを、3 章で述べた電圧ドロップ改善アルゴリズムを用い改善し、アナログマクロに伝播する電流の総量を削減する。提案手法は、ガードリングを用いる従来手法と比べ、LSI 面積の増加、製造マスク数の増加無しに、基板ノイズを低減できる点で優れている。計算機実験結果より、提案手法は、実データサイズデータに対し、処理時間 4 分 6 秒で LSI 面積の増加無しに、ADC のノイズ耐性以内に基板ノイズを削減する結果を得た。

第 6 章では、本論文全体を総括する。

## 早稲田大学 博士（工学） 学位申請 研究業績書

氏 名 田中 美樹子 印

(2011年11月 現在)

種 類 別	題名、 発表・発行掲載誌名、 発表・発行年月、 連名者（申請者含む）
論文(学術誌原著論文)	<p>○Mikiko Sode Tanaka, Nozomu Togawa, Masao Yanagisawa and Satoshi Goto, "Greedy Algorithm for the On-chip Decoupling Capacitance Optimization to Satisfy the Voltage Drop Constraint," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E94-A, No. 12, Dec. 2011.</p> <p>○Mikiko Sode Tanaka, Nozomu Togawa, Masao Yanagisawa and Satoshi Goto, "Greedy Optimization Algorithm for the Power/Ground Network Design to Satisfy the Voltage Drop Constraint," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E94-A, No. 4, pp. 1082-1090, Apr. 2011.</p> <p>袖美樹子, 竹内修, 小川隼人, 佐々木英樹, 内田浩享, 小野光博, "アナデジ混載システムにおけるチップ、パッケージ、ボードの微小ノイズ設計/検証技術開発," 電子情報通信学会論文誌C, Vol. J93-C, No. 11, pp. 424-432, 2010年11月.</p> <p>Mikiko Sode Tanaka, Mikihiro Kajita, Naoya Nakayama and Satoshi Nakamoto, "Full Chip Circuit/Substrate Macro Modeling Method Which Controls the Analysis Accuracy and CPU Time by Using Current Density," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E93-A, No. 2, pp. 448-455, Feb. 2010.</p>
論文(国際学会)	<p>Mikiko Sode Tanaka, Masairo Toyama, Ryo Mori, Hidenari Nakashima, Masahiro Haida and Izumi Ooshima, "Early Stage Chip/package/Board Co-design Techniques for System-on-Chip," Electrical Performance of Electronic Packaging and Systems (EPEPS), pp. 21-24, Oct. 2011.</p> <p>○Mikiko Sode Tanaka, Nozomu Togawa, Masao Yanagisawa and Satoshi Goto, "Substrate Noise Reduction Algorithm by Using the Current Flow Path," International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC), pp. 375-376, Jun. 2011.</p> <p>Mikiko Sode Tanaka, O. Takeuchi, H. Ogawa, M. Ono, H. Uchida and H. Sasaki, "Noise Verification techniques for the mixed-signal chip/package/board of digital TV systems," Electrical Performance of Electronic Packaging and Systems (EPEPS), pp. 205-208, Oct, 2010.</p> <p>○Mikiko Sode Tanaka, "Noise Analysis Method in Mixed-Signal Soc Floorplan Design for a Fast Success," 15th Asia and South Pacific Design Automation Conference (ASP-DAC), Poster session, Jan. 2010.</p> <p>Mikiko Sode Tanaka, Mikihiro Kajita, Naoya Nakayama and Satoshi Nakamoto, "A Method Using Circuit/Substrate Modeling to Analyze Substrate Noise in a 3.2GHz 350M Transistor Microprocessor," Custom Integrated Circuits Conference(CICC), pp. 319-327, Sep. 2008.</p> <p>Mikiko Sode Tanaka, Y. Miyazawa, H. Aizawa and M. Minowa, "Minimum Delay Placement with Influence of Nets and Hierarchical Clustering," Custom Integrated Circuits Conference (CICC), pp. 663-666, Sep. 1994.</p>

## 早稲田大学 博士（工学） 学位申請 研究業績書

種 類 別	題名、 発表・発行掲載誌名、 発表・発行年月、 連名者（申請者含む）
国内会議 (査読付)	Mikiko Sode Tanaka and Masaki Ishikawa, "A Multilayer Channel Router Based on Optimal Multilayer Net Assignment," International Conference on Very Large Scale (VLSI), pp. 301-310, Sep. 1993.
	Mikiko Sode Tanaka, "A Multi-layer Channel Routing Algorithm," Joint Technical Conference on Circuits/Systems, Computers and Communications (JTC-CSCC), pp. 465-470, Jan. 1991.
	袖美樹子, 古林紀哉, "多層チャネル配線のための割り当てネット選択アルゴリズム," 電子情報通信学会回路とシステム軽井沢ワークショップ, pp. 85-90, 1993 年 4 月.
	石塚昭, 岡本匠, 多和田茂芳, 袖美樹子, 高見沢一彦, "ゲートアレイ/セルベースIC自動レイアウトシステム ～GALET～," 情報処理学会DAシンポジウム, pp. 137-142, 1994 年 8 月.
	袖美樹子, 枝広正人, 吉村猛, "ゲート敷き詰め型ゲートアレイ用配置アルゴリズム," 電子情報通信学会回路とシステム軽井沢ワークショップ, pp. 367-372, 1991 年 4 月.
研究会	袖美樹子, 枝広正人, "ゲートアレイレイアウトのためのチャネルへのネット割り当て手法によるグローバル配線," 電子情報通信学会回路とシステム軽井沢ワークショップ, 1990 年 5 月.
	多和田茂芳, 水牧俊博, 田形充, 袖美樹子, 岩元圭一郎, 水沼貞幸, "GA/CBIC自動レイアウトシステムGALETにおけるタイミングドリブン自動配置手法," 情報処理学会研究報告, 設計自動化研究会報告 94(93), pp. 25-30, 1994 年 10 月.
	多和田茂芳, 水牧俊博, 田形充, 袖美樹子, 岩元圭一郎, 水沼貞幸, "GA/CBIC自動レイアウトシステムGALETにおけるタイミングドリブン自動配置手法," 電子情報通信学会技術研究報告, FTS, フォルトトレランスシステム 94(313), pp. 25-30, 1994 年 10 月.
	多和田茂芳, 水牧 俊博, 田形 充, 袖 美樹子, 水沼 貞幸, 石森 彰雄, "ゲートアレイ/CBIC自動レイアウトシステムGALET(3):自動配置手法," 情報処理学会全国大会第 49 回平成 6 年後期(6), pp. 119-120, 1994 年 9 月.
	宮澤義幸, 袖美樹子, 石川正樹, "遅延考慮配置における遅延コストの動的反映方," 電子情報通信学会 秋季大会, 1993 年 9 月.
	袖美樹子, 宮沢義幸, "遅延考慮配置アルゴリズム," 情報処理学会研究報告, 設計自動化研究会報告, 93(55), pp. 55-61, 1993 年 6 月.
	袖美樹子, 吉村猛, "多層チャネルルータ," 情報処理学会全国大会 第 45 回 平成 4 年後期(6), pp. 71-72, 1992 年 9 月.
	袖美樹子, 吉村猛, "多層チャネルルータ," 情報処理学会研究報告, 設計自動化研究報告, pp. 31-36, 1992 年 5 月.
	袖美樹子, "ゲートアレイレイアウトのための概略配線に関する一考案," 情報処理学会全国大会 第 43 回 平成 3 年後期, 1991 年 10 月.

## 早稲田大学 博士（工学） 学位申請 研究業績書

種 類 別	題名、 発表・発行掲載誌名、 発表・発行年月、 連名者（申請者含む）
Meeting (査読付)	袖美樹子, 枝廣正人, 吉村猛, “ゲート敷き詰め型ゲートアレイ用配置アルゴリズム,” 情報処理学会全国大会 第42回 平成3年前期(6), pp. 236-237, 1991年2月.
	袖美樹子, 枝広正人, “遅延を考慮したチャンネル配線手法,” 電子情報通信学会 秋季大会, 1990年10月.
	袖美樹子, 枝廣正人, 吉村猛, “階層クラスタリング手法を用いたゲートアレイ配置手法,” 情報処理学会全国大会 第39回 平成元年後期(3), pp 1615-1616, 1989年10月.
講演	Mikiko Sode Tanaka, “Relative accuracy simulation method by using ADIT and CPU Distribution,” Mentor user meeting (Mentor U2U’08), Nov. 2008.
	Mikiko Sode Tanaka, “Reliability Simulation in Advanced LSI Design,” Mentor user meeting (Mentor U2U’07), Mar. 2007.
	袖美樹子, 佐々木英樹, “アナデジ混載システムにおけるノイズ低減の考え方,” 日本能率協会主催 EMC・ノイズ対策シンポジウム, 2011年7月.
雑誌	袖美樹子, “Eldo活用事例紹介,” EDA Tech Forum, 2006年9月.
	袖美樹子, “ADvanceMS適用事例,” EDA Tech Forum, 2005年9月.
	袖美樹子, “高周波向け設計環境 サブストレート関連を中心,” Cadence User Group Meeting Japan (CUMJ), 2004年10月.
特許	Mikiko Sode Tanaka, “Relative Accuracy Simulation Method by Using ADIT and CPU Distribution,” EE Times Mentor Graphics Technical Library, Nov. 2008.
	袖美樹子, 横川慎二, 加藤一郎, 村井正宣, 関口亨, “先端LSI設計における信頼性シミュレーション,” Mentor News & Views, 2007年10月.
	Mikiko Sode Tanaka, Masanobu Murai, Shinji Yokogawa, Toru Sekiguchi and Ichiro Kato, “Reliability-Simulation Environment Tackles LSI Design,” Chip Design Magazine, Jun. 2007.
特許	袖美樹子, 横川慎二、加藤一郎, 村井正宣, 関口亨, “10年後の動作をシミュレーションで確認するNECエレクトロニクスが信頼性確保で新手法,” 日経マイクロデバイス, 2007年2月.
	静塚昇, 尾崎英晴, 高瀬宣言之, 袖美樹子, “大規模ASICにおけるテスト技術,” NEC技報 50(3), pp. 253-257, 1997年3月.
	Mikiko Sode and Yoichi Iizuka, “Flip Flop Circuit for Scan Test with Two Latch Circuits,” US Patent #6,006,348.