

# 博士論文審査報告書

## 論文題目

ノイズ耐性を持つ電源/GND ネットワークの  
最適化設計手法

Power/Ground Networks Optimization  
Design Methods with Noise Immunity

申請者

田中(袖)	美樹子
Mikiko	TANAKA (SODE)

情報理工学専攻 マルチメディアシステム研究

2012年 2月

近年、プロセス技術の進歩に伴い、回路の動作速度は向上した。また、搭載されるデジタル回路規模が増加し、これに伴い大電流化が進み、デジタル回路におけるノイズ、即ち電圧降下（電圧ドロップ）は増大の傾向にある。一方、低消費電力化の要求により、低電圧化が進んでいる。このため、相対的にノイズが大きくなり、デジタル回路のノイズ耐性は弱くなる傾向にある。デジタル回路に於いては、電圧ドロップによる誤動作や遅延劣化が原因の動作速度低下が問題となっている。これは、高速化要求への障害となっている。

一方、ノイズに敏感なアナログマクロ（HDMI、DDR、USB等高速IOマクロ、ADC、DACマクロ、アンテナマクロ）とデジタル回路が1チップに搭載されるようになってきた。これにより、アナログマクロの誤動作や特性劣化が顕著化してきている。ノイズ問題は、一旦発生すると解決に多くの時間を要することが多く、大きな問題となっている。回路が放出したノイズをその回路自身が受け誤動作を引き起こす自家中毒は、LSIを製造するメーカーにとっては、最も考慮すべきノイズである。近年、EMCでは、VCCI等の規格が制定され、規格を満足しないシステムの販売が禁止されている。ノイズ耐性に対する要求が増大している。

加えて、近年の価格競争の激化により、低コスト化の要求が増大している。LSIのサイズは、ウエハコストに直結するため、コスト削減に於いて、最も重要な項目である。このため、チップ内で大きな面積を占めている、電源/GNDネットワークやオンチップデカップリング容量削減は重要な項目である。また、設計期間の短縮要求により、高速に、精度良く解析、設計を行える設計手法が重要となってきた。

以上の要因から、精度の良い基板ノイズの解析モデルの構築が重要となってきた。そのモデルの上で、ノイズ耐性を満足し、かつ、電源/GNDネットワークの総配線面積、オンチップデカップリング容量の総面積を最小化すること、加えて、アナログマクロに伝播する基板ノイズをチップサイズ、配線層数の増加なしにアナログマクロのノイズ耐性以内となる様に減少させることが重要である。これらを実現するために、本論文ではマクロモデリングによるノイズ解析アルゴリズムを構築し、高速に高精度に電源/GNDネットワークの最適化設計を行う3つのアルゴリズム：1) 電源/GNDネットワーク最適化アルゴリズム、2) オンチップデカップリング容量最適化アルゴリズム、3) 基板ノイズ最適化アルゴリズムを提案している。

本論文は6章から構成されている。以下、各章の概要を述べ、評価を加える。

第1章「序論」では、本論文の背景と目的および概要をまとめ、ノイズ耐性を持つ電源/GNDネットワーク設計における問題点を指摘し、著者の研究の位置づけを明らかにしている。

第2章「マクロモデリングによるノイズ解析アルゴリズム」では、大規模回路に対してノイズ解析を高速、高精度に行う方法について議論している。

Badarogluは、プリミティブブロックレベルでマクロモデリングを行い、ノイズ解析を行う方法を提案した（IEEE Trans., 2006）。しかしこの方法は、プ

リミティブブロックレベルでモデル化を行い、解析を行うため、SoCの様な大規模回路に適用することは難しい。そこで本章では、大規模回路を高速に、精度良く解析する為に、LSIを複数のドメインに分割し、そのドメイン毎にマクロモデルを作成しノイズ解析を行うアルゴリズムを提案している。ドメインサイズ、解析時間、解析精度のトレードオフ関係を考察することにより、ドメインの電流密度変動係数と見積もり基板ノイズ誤差の間に線形の関係があることと導いている。この結果から、ドメインサイズを電流密度変動係数から決定することによって、精度と処理時間の両方を満足できることが可能となった。実験結果から、ノイズ誤差を15%に設定した際には、ドメイン分割を行った場合見積もりジッタ（クロック周期のゆらぎ）の精度は85%以上となることを示している。また、提案アルゴリズムはBadarogluのアルゴリズムと比べ、10000倍以上高速である。提案アルゴリズムを適用すると解析速度と精度の両方を満足できるので、数千億のトランジスタを持つマイクロプロセッサの様なシステムLSIに対しても適用可能な方法である。

第3章「電源/GNDネットワークの最適化アルゴリズム」では、電圧ドロップ制約を満足し、同時に電源/GNDネットワーク配線の総面積を最小化するアルゴリズムについて議論している。Zhaoは、数学的に定式化し、非線形計画問題として解く方法を提案した（DAC 2007）。しかしこの方法では、SoCのような大規模回路に適用することは難しいのに加え、緩和のため解が悪化する。また、Singhは、ノイズ制約を満足しないドメイン内の配線幅を均一に増加させる欲張り最適化アルゴリズムを提案した（IEEE Trans., 2006）。しかし、均一に電源/GNDネットワークの配線の抵抗を変更するので、電源/GNDネットワークの配線面積が大きくなってしまふという欠点がある。本章では、非線形計画問題に対し、電流をフロー、許容電圧ドロップ値を容量として捕らえ、ネットワークフロー問題として解くことによって解を求めるアルゴリズムを提案している。これによって、緩和を行う必要がなく、良い解を得ることができる。提案アルゴリズムは、まず、電圧ドロップに影響のあるパス上の枝で電圧ドロップに最も影響のある枝を見つけ、その枝の抵抗を変更し電圧を改善する。提案アルゴリズムは電圧ドロップに最も影響のある枝を更新するため効率的な方法である。計算機実験結果から、Singhのアルゴリズムと比べ電源/GNDネットワークの配線面積を1/3に縮小することを示している。また、提案アルゴリズムはSingh、Zhaoのアルゴリズムでは電圧ドロップ制約を満足することができなかったデータに対しても電圧ドロップ制約を満足する解を得ることができている。

第4章「オンチップデカップリング容量最適化アルゴリズム」では、電圧ドロップ制約を満足すると同時に、オンチップデカップリング容量の総面積を最小化するアルゴリズムについて議論している。Zhaoは、この問題を数学的に定式化し、非線形計画問題として解く方法を提案している（DAC 2006）。しかしこの方法は、SoCの様な大規模回路に適用することは難しく、緩和のため解が

悪化する。本章では、前章と同様の技法により、この非線形計画問題に対し電流をフロー、許容電圧ドロップ値を容量として捕らえ、ネットワークフロー問題として解くことによって解を求めるアルゴリズムを提案している。提案アルゴリズムは、電圧ドロップに影響のあるパス上のノードで、電圧ドロップに最も影響のあるノードを見つけ、オンチップデカップリング容量を追加し電圧改善を行う。電圧ドロップに最も影響のあるノードにオンチップデカップリング容量を追加するため、効率的なアルゴリズムである。また、オンチップデカップリング容量から電荷が供給される時間を考慮することにより、効果のない箇所へのオンチップデカップリング容量の追加を避ける。計算機実験結果から、提案アルゴリズムは実サイズデータに対し、処理時間が数分と実用的な方法である。また、Zhao のアルゴリズムと比べ、オンチップデカップリング容量の総面積を40～50%に減らしている。

第5章「基板ノイズ最適化アルゴリズム」では、基板ノイズ削減を、デジタル電源/GND ネットワークを最適化することによって実現するアルゴリズムについて議論する。この問題を解決するために、ガードリング手法 (Bronckers, IEEE Trans., 2010) が提案されている。ガードリングを用いた従来手法では、ガードリング追加によって、LSI の面積、製造マスク数が増加し製造コストが増加する。そこで、基板ノイズの原因がデジタル電源ノイズであることに着目し、デジタル電源ノイズ(ノイズ源)を直接削減し、基板ノイズの低減を図るアルゴリズムを提案している。提案アルゴリズムは直接デジタル電源ノイズを削減するため、ガードリングを用いる従来手法と比べ、LSI 面積の増加、製造マスク数の増加無しに、基板ノイズを低減できる点で優れている。計算機実験により、提案アルゴリズムは実データサイズデータに対し、4分6秒の処理時間でLSI面積の増加無しに、ADCのノイズ耐性以内に基板ノイズを削減する結果を得ている。

第6章「結論」では、本論文全体を総括している。

以上が本論文の概要であるが、著者は、高速に高精度にノイズ解析を行うマクロモデリングによるノイズ解析アルゴリズムをベースとして、ノイズ耐性を持つ電源/GNDネットワークの最適化設計に必要な3つのアルゴリズムを提案し、その有効性を示した。この成果は高度情報化社会を支える重要な基盤情報技術たるシステムLSI設計技術の発展に寄与するところが大きい。よって本論文は博士(工学)早稲田大学の学位論文として価値あるものと認める。

2012年2月

審査員	主査	早稲田大学教授	工学博士(早稲田大学)	柳澤政生
		早稲田大学教授	工学博士(早稲田大学)	後藤 敏
		早稲田大学教授	工学博士(早稲田大学)	
			Ph.D. (スタンフォード大学)	松山泰男
		早稲田大学教授	博士(工学)早稲田大学	戸川 望