

早稲田大学大学院情報生産システム研究科

博士論文審査結果報告書

論文題目

Research on Low Power Technology
by AC Power Supply Circuits

申請者

Yimeng ZHANG

情報生産システム工学専攻
回路構成技術研究

2012年7月

LSI は半導体デバイスの微細化技術に支えられ、高速、低消費電力、低コストという高性能を実現してきた。その一方で多くの機能を集積したいという要求に応える中で、集積度はムーアの法則に見られるように、1年半で2倍のペースで増大してきており、消費電力は増大の一途である。さらに、携帯情報端末が広く用いられるようになり、電池の使用時間を長くするためにもLSIの低消費電力化が高速化の問題以上に大きな課題となっている。近年、半導体デバイスの微細化が限界に近くなってきたため、微細化をベースとした低消費電力化が困難となり、そのため、電源電圧を複数用いるマルチ電源手法、しきい値を複数使い分けるマルチしきい値手法、しきい値電圧以下の電源電圧で動作させるサブスレシールド回路技術、回路の一部だけ動作させるクロックゲーティング技術、ブロックゲーティング技術、DVFS(Dynamic Voltage and Frequency Scaling)技術、パワーマネジメント手法などシステム構造、アルゴリズムと回路技術を含めて様々な方向でLSIの低消費電力化技術が研究されているが、LSIの高速性と低消費電力を両立させることが困難な状況になっている。

電源にAC電源を用いる、チャージリカバリロジックは回路の低消費電力化技術の一つであり、主な特長はAC電源をLSIの電源として使い、消費される電力がAC電源で回収できることである。AC電源であるパークロックが立ち上がる時、パークロックから回路に充電し、パークロックの立ち下がる時、回路から電力をパークロックに回収することで、電力を電源と回路でリサイクルし、寄生抵抗だけが電力を熱として消費するので、回路の消費電力が削減できる。チャージリカバリロジックの基礎理論は最初に1960年代初めに提案されたが、微細化技術による低消費電力化の期間が長く続いた。低消費電力化の問題が顕在化するとともに、微細化の限界が言われた。1990年頃からチャージリカバリロジックが再度注目されるようになってきた。これまでEBL(Enhanced Boost Logic), SBL(Subthreshold Boost Logic), ECRL(Efficient Charge Recovery Logic), ADCL(Adiabatic Dynamic CMOS Logic)等の様々な構造が提案されている。これら提案されたチャージリカバリロジックは低消費電力を実現できるが、高速動作に課題があった。高速回路にチャージリカバリロジックを応用するために、ロジック判定部を相補型にする、ブーストロジック等の構造が提案され、ギガヘルツに近い回路動作が可能となっている。しかし、ブーストロジックはDC電源を必要とするので、回路の複雑度が上がり、DC-DCコンバーターなど余分な周辺回路が必要である。DC電源を使用するために、一部の消費電力が回収できなくなり、消費電力が大きくなるという問題もある。高速・低消費電力を両立させる技術とともにチャージリカバリロジックの特性を生かした応用面の検討も重要な課題である。

本論文はチャージリカバリロジックの高性能化と応用に関する上記の課題に対し、これまで行ってきた研究の成果をまとめたものである。以下に各章毎の概略を述べ、評価を加えることにする。

第1章“Introduction”は序論であり、LSIの低消費電力化の背景、低消費電力回路技術動向について述べ、本研究の意義を明らかにしている。

第2章 “ Pulse Boost Logic and Application on Multiplier” では Pulse Boost Logic (PBL) という新たなチャージリカバリーロジック構造を提案している。PBL は2相のパワーロックで駆動されている。PBL はロジック値判定部と増幅部に分かれており、ロジック値判定部は二つの相補型ロジック値判定部で構成され、高速動作のために、それぞれのロジック値判定部は NMOS のプルアップネットワークとプルダウンネットワークで構成され、増幅部はラッチの構造をしており、判定部で計算した値を増幅し出力する。判定部、増幅部ともにパワーロックで駆動するのが従来構造と大きく異なる点である。PBL の消費電力を解析的に導出しており、PBL は従来のチャージリカバリーロジックより低消費電力であることを明らかにしている。PBL の低消費電力性能を検証するために、4ビットパイプラインの乗算器を設計している。シミュレーションによる比較では、従来の SBL 構造の動作周波数が 1.3GHz で消費電力が 3.35pJ/cycle であったのに対し PBL は 1.8GHz まで動作し、消費電力は 3.09pJ/cycle と良好な結果を得ている。また 0.18 μ m 技術を用いてチップを試作しその効果を検証している。これらシミュレーションと測定結果により、PBL が高速と低消費電力の両方を実現できることを明らかにした。新たなチャージリカバリーロジック構造を提案した上、提案構造を定量的に解析し、低消費電力の特性を把握できるようにしたという点で評価できる。

第3章 “ Pseudo NMOS Boost Logic and Application on Large Scale Logic Circuits” では、PBL の構造の改善を課題として取り上げ、Pseudo NMOS Boost Logic (PNBL) という新たなチャージリカバリーロジック構造を提案している。PBL は四つの相補型判定ブロックが必要なため、トランジスタ数が多い。PNBL はこの課題の解決手法を提案している。PNBL のロジック値判定部のプルアップネットワークに擬似 NMOS を使用することにより、トランジスタ数を約半分に削減している。PNBL がロジック値を判定する時、判定部の PMOS が出力信号をプルアップしながら、片方のプルダウンネットワークが出力信号をプルダウンするので、二つの入力信号を相補型にしている。エネルギーの注入と回収は PBL と同じ原理である。PNBL の消費電力を解析的に計算し、PBL と従来の EBL より PNBL が低い消費電力であることを示している。PNBL が大規模回路に応用できることを検証するために、LDPC (Low Density Parity Check) 用の Processing Engine (PE) を PNBL で設計し、0.18 μ m CMOS プロセスで試作している。従来のスタティック CMOS と比べると、約 64% の消費電力低減を実現している。従来型の PBL や EBL のチャージリカバリーロジックと比べて、PNBL がより低消費電力であることをテストチップの試作・評価により明らかにした。PNBL が PBL の高速・低消費電力の特性を保持しながら、トランジスタ数が多いという弱点を改善しており、提案された構造が大規模回路への応用を実現できるという点で評価できる。

第4章 ” Application of Charge Recovery Logic” では、チャージリカバリーロジック回路技術を取り入れ、無線給電システムと水晶発振タイマーの二つの分野について応用面からの検討を行っている。チャージリカバリーロジックが AC 電源で駆動されているために、AC 電源環境に適していることに着目し、無線給電システムへ適用を図っている。インダクタンスカップリング方式の無線給電システムでは電力が AC で伝送され

ており、従来の DC 電源で動作する回路を駆動するためには、電源を AC/DC 変換するための整流器が必要である。しかし、整流器は大きな電力を消費するため、効率を低くしている。チャージリカバリーロジックは AC 電源で駆動できるため、整流器が不要となり、回路の消費電力を低減できる。無線給電システムのテストチップの設計、 $0.18\mu\text{m}$ 技術による試作を行った。測定結果では、従来方式が整流器部での損失により、電力効率が 4% であるのに対し、30% の電力効率と大幅な改善ができています。また、本システムで無線通信によるカウンター回路の動作を確認している。上記の無線給電システムの他、マイコン応用機器にもチャージリカバリーロジックの適用を図っている。マイコン応用機器ではセンサーネットワークノードのようにマイコンが動作している時間が短く、スリープ時間の長い応用も多い。そこでは、電池の使用時間をより長くするために、スリープ状態での消費電力低減が強く求められている。スリープ時間を決めるリアルタイムカウンタ回路は、水晶発振器からのサイン波をコンパレータで矩形波にしたマイコン駆動用クロックを用いた CMOS カウンターで構成しているが、水晶発振器からのサイン波を電源として使用するチャージリカバリーロジックを利用したタイマー回路構成を提案している。従来のスタティック CMOS 回路によるリアルタイムカウンタ回路をチャージリカバリーロジックで構成することで、92% の大幅な消費電力を削減している。チャージリカバリーロジックの特性を生かした応用面からの提案はチャージリカバリーロジックの可能性を具体的に示した点で評価できる。

第 5 章” Conclusion” では本論文をまとめ、本研究で得られた成果を総括し、今後の研究課題について論じている。

以上が本論文の概要であるが、要約すれば、本論文は LSI の低消費電力化のために、新しいチャージリカバリーロジック回路技術の課題に取り組み、高速性と低消費電力を両立させるための具体的な回路提案を行い、シミュレーション、実チップの試作評価によりその有用性を確認するとともに、その応用面の検討により、チャージリカバリーの可能性についての技術的指針を与え、LSI の低消費電力化技術に大きく貢献したといえることができる。よって、本論文は、博士（工学）の学位論文として価値のあるものと認める。

2012 年 6 月 29 日

審査員

主査	早稲田大学 教授	工学博士 (大阪大学)	吉原 務
	早稲田大学 教授	博士(工学) (早稲田大学)	井上 靖秋
	早稲田大学 教授	博士(学術) (神戸大学)	吉増 敏彦
	ルネサスエレクトロニクス	博士(工学) (早稲田大学)	大石 司