

システム LSI 向け混載 SRAM の
高性能化に関する研究

2009 年 2 月

大林 茂樹

目次

第 1 章	序論	1
1. 1	SRAM 開発の歴史.....	1
1. 2	本研究の目的.....	7
1. 3	本研究の内容と本研究の構成.....	9
1. 4	第 1 章参考文献.....	14
第 2 章	SRAM の高速化技術	28
2. 1	序.....	28
2. 2	配線容量を考慮した SRAM デコーダのファンアウトの最適化手法.....	28
2. 3	大容量 ECL BiCMOS SRAM の高速化技術.....	35
2. 3. 1	高速 X1/X4 切換バイポーラ・センスアンプ.....	35
2. 3. 2	シフトリダンダンシ.....	38
2. 3. 3	試作結果.....	42
2. 4	ECL Synchronous BiCMOS SRAM の高速化技術.....	45
2. 4. 1	Synchronous 化による高速化.....	46
2. 4. 2	融合型 BiNMOS ワードドライバ.....	48
2. 4. 3	2分割リードデータバスのバイポーラ・メインセンスアンプ.....	50
2. 4. 4	階層型 ECL 入力バッファ用リファレンス電位発生回路.....	51
2. 4. 5	試作結果.....	54
2. 5	多ビット TTL BiCMOS SRAM の高速化技術.....	58
2. 5. 1	センタパワーピン配置.....	59
2. 5. 2	センタパワーピンに最適なビット線負荷交互配置構成.....	63
2. 5. 3	NMOS による高速ライトリカバリ可能なビット線負荷回路.....	67

2. 5. 4	ワイヤードオア型カラムセンスアンプ	69
2. 5. 5	ダブルポリシリコン・バイポーラを搭載した 0.6 μ m BiCMOS プロセス.....	71
2. 5. 6	試作結果.....	73
2. 6	多ビット 3.3V TTL BiCMOS SRAM の高速化技術.....	76
2. 6. 1	3.3V 対応ワイヤードオア型カラムセンスアンプ.....	78
2. 6. 2	バイポーラを用いた高速ライトリカバリ可能なビット線負荷回 路	80
2. 6. 3	ダブルポリシリコン・バイポーラを搭載した 0.5 μ m 3.3V BiCMOS プロセス	83
2. 6. 4	試作結果.....	87
2. 7	まとめ.....	90
2. 8	第 2 章参考文献	93
第 3 章	SRAM の高歩留化	99
3. 1	序.....	99
3. 2	Embedded SRAM に適したシフトリダンダンシ	99
3. 3	Cu 配線で形成された電気ヒューズ(Cu-E-trim Fuse).....	103
3. 3. 1	Cu-E-trim Fuse の切断メカニズムと切断方法.....	103
3. 3. 2	試作結果.....	110
3. 4	微細化に伴う 6T-SRAM の動作マージン低下に対応する技術	113
3. 4. 1	直線的な拡散層とポリシリコンを用いた 6T-cell レイアウト	115
3. 4. 2	リード・アシスト回路	120
3. 4. 3	ライト・アシスト回路	123
3. 4. 4	試作結果.....	126
3. 5	まとめ.....	129
3. 6	第 3 章参考文献	131
第 4 章	SRAM の高品質化	136

4. 1	序.....	136
4. 2	低コスト KGD を実現する Embedded SRAM の回路技術.....	136
4. 2. 1	低コスト KGD を実現するためのプロービング・テストフロー.....	142
4. 2. 2	6T-cell 向けウェハレベルバーンイン.....	145
4. 2. 3	リークビット・リダンダンシ.....	149
4. 2. 4	Cu-E-trim Fuse の回路技術.....	153
4. 2. 5	試作結果.....	159
4. 3	まとめ.....	164
4. 4	第4章参考文献.....	166
第5章	結論.....	169
5. 1	総括.....	169
5. 2	今後の展望.....	176
5. 3	第5章参考文献.....	178
	謝辞.....	179
	研究業績目録.....	181

第1章 序論

1. 1 SRAM 開発の歴史

(1)SRAMの市場動向

スタティック・ランダム・アクセス・メモリ(以後SRAM)は、電源電圧を与えておく限りデータを保持することが可能で、かつ、ランダム・アクセスがReadもWriteも可能なメモリである。ダイナミック・ランダム・アクセス・メモリ(以後DRAM)に比べ、定期的なWrite動作(リフレッシュ)が不要なため、ユーザにとっては使用方法が容易である。また、ReadやWriteの高速化が可能であり、待機時(スタンバイ)電流が小さいという特徴もある。そして、システムLSI向け混載SRAM(以後Embedded SRAM)は、ロジックプロセスにSRAMを搭載するための付加的なプロセスステップが非常に少ない、もしくは不要なことから、小容量であれば低コストで形成できるという特徴がある。しかしながら、通常、そのメモリセルが容量素子とトランジスタの2素子で構成できるDRAMに対し、4-6素子から構成されるSRAMは、同一テクノロジノードを用いた場合、集積度が1/4から近年のsub-100nmテクノロジでは約1/10にまで落ちてしまい、コストが高くなりやすいという欠点がある。

また、2000年代に入り、急速に普及してきたメモリが不揮発性メモリである。不揮発性メモリとは、SRAM、DRAMとは異なり、電源を切ってもデータを保持することが可能なメモリである。不揮発性メモリは主として、NOR型フラッシュ・メモリとNAND型フラッシュ・メモリに代表される。NOR型フラッシュ・メモリは、Readのランダム・アクセスは、SRAM並みに高速であるが、Writeが非常に遅くマイクロ秒オーダーの時間が必要である。NAND型フラッシュ・メモリは、ランダム・アクセスはRead、Writeとともにマイクロ秒オーダー以上の時間が必要であるが、シリアル・アクセスでは、SRAM、DRAM、NOR型フラッシュ・メモリに劣らないナノ秒オーダーの性能を実現しており、その集積度は近年ではDRAMを上回り、かつ不揮発メモリの特長を生かして、デジタルカメラ用のストレージカードや、メモリ内蔵型の携帯音楽プレイヤーの内蔵メモリや、パソコンのUSBメモリとして普及している。

上記のようなDRAM、不揮発性メモリ、SRAMといった代表的なメモリは、その特徴により、応用分野のすみ分けが行われている。DRAMは、ワークステーション、パソコン、サーバーや高性能ゲーム機のメインメモリや、グラフィック用途のロジックチップ混載メモリ(Embedded Memory)として使用されている。NOR型フラッシュ・メモリは携帯電話の辞書、アドレス帳用途や、パソコンの書き換え可能なプログラム格納用途のEmbedded Memoryとして使用されている。NAND型フラッシュ・メモリは前述のとおり、デジタルカメラ用のストレージカードや、メモリ内蔵型の携帯音楽プレイヤーの内蔵メモリや、パソコンのUSBメモリとして使用されて

いる。

SRAMは高速性を生かして、1990年代までは、主として、汎用高速Asynchronous SRAMが大型コンピュータやスーパーコンピュータのメインメモリ[1_1]-[1_4]として使用され、高速多ビットSynchronous SRAMがワークステーション、パソコンやサーバーの外部キャッシュ[1_5]-[1_6]として使用され、2000年以降はネットワーク系の外部メモリとして使用されている。また、ロジックプロセスとの親和性と高速性を生かし、もともと代表的なEmbedded Memory[1_7]-[1_9]として使用されており、2000年以降、テクノロジノードの進展により1チップに搭載できるトランジスタ数の劇的な増大により、Embedded SRAMの大容量化が進み、現在では、サーバー用途のMicro Processing Unit(MPU)では3次キャッシュまでもが1チップに搭載される例も出てきている[1_97]。そして、リフレッシュ動作不要で使い易く、低消費電力であることを生かし、汎用Asynchronous SRAM [1_10]-[1_11]が1990年代中は、携帯電話の外部メインメモリ、ハードディスクの外部バッファメモリ、電子手帳、電子辞書、計測機器や産業用途の小容量メモリシステムで使用されてきた。2000年代に入り、携帯電話のメインメモリは、汎用Asynchronous SRAMから、DRAMメモリセルを用いながら外部インタフェースとしては汎用Asynchronous SRAMとほぼ同じ動作をする擬似SRAMや、Low Power Synchronous DRAMに置換えられた。理由は、携帯電話の高機能化によるメインメモリ容量の増大への対応と低コスト化である。また、ハードディスクのバッファメモリも、DRAMやNAND型フラッシュ・メモリに置換えられている。加えて、Embedded SRAMの搭載容量の増大もあり、汎用Asynchronous SRAM市場規模は縮小し、2000年代初期ごろから汎用Asynchronous SRAM市場から撤退するメーカーが相次いでいる。しかしながら、汎用Asynchronous SRAMの使い易さ、低消費電力に対する計測機器、産業用途の根強い要求から汎用Asynchronous SRAM市場はある一定の規模を維持し続けると予想される。

(2)SRAMの学会動向

こうしたSRAM市場の動向は、SRAMの学会発表の傾向にも現れている。図1-1は、半導体の学会の中でもっとも注目度の高いInternational Solid-State Circuits Conference (ISSCC)のSingle Port SRAM (SP-SRAM)に関する発表内容のトレンドを示したものである[1_12]-[1_118]。図1-1で、「CMOS」にはCMOS技術を用いた汎用Asynchronous高速SRAMと汎用Asynchronous低消費電力SRAMと汎用Synchronous SRAMを分類している。「BiCMOS」には、BiCMOS技術を用いた汎用ECL(エミッタ結合論理:Emitter-Coupled Logic)-IO-SRAMと汎用Asynchronous高速SRAMとECL-CMOS-SRAM [1_56], [1_67]を分類している。「Embedded」には、CMOS技術とBiCMOS技術を用いたEmbedded SRAMを分類している。「Novel-Cell」には、シングルビット線メモリセル[1_57], [1_59]やPMOSアクセ

スTrの4T-Cell [1_87]や7T-Cell [1-105]やSub-threshold SRAM [1_109], [1_115]-[1_117]などを分類している。「Novel-Circuit」には、Voltage Down Converter [1_14]や、新センスアンプ[1-90], [1-93]や、リークの多いメモリセルを置換する回路技術[1_89], [1_118]などを分類している。

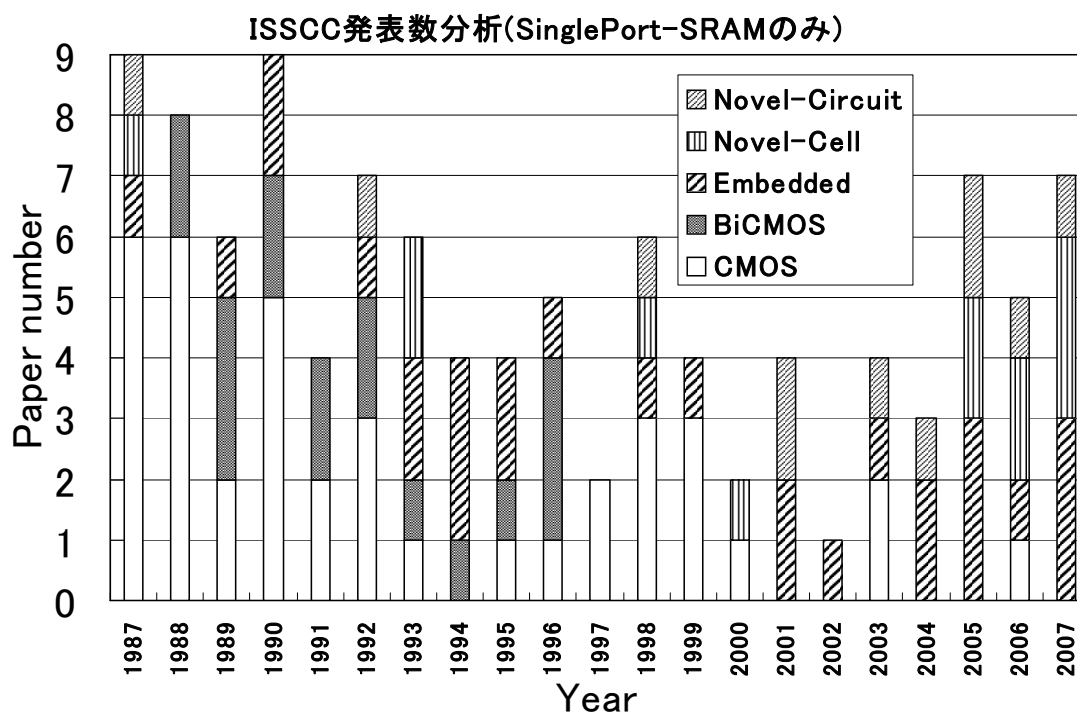


図 1-1 Single Port-SRAM の ISSCC での発表数[1_12]～[1_118]

(2-1) 汎用Asynchronous SRAMの技術動向

汎用Asynchronous低消費電力SRAMは1991年の発表[1_44]以後、2003年まで発表[1_95]がなかった。汎用Asynchronous高速SRAMの発表は1993年が最後である[1_58]。図1-1において、「CMOS」の発表は、1993年以後2003年の1件[1_95]を除き汎用Synchronous SRAMばかりである。汎用Asynchronous SRAMのメインの市場は、大型コンピュータのメインメモリと携帯電話の外部メインメモリであった。大型コンピュータ向けSRAM市場は、コンピュータのダウンサイジングの影響で1990年代中にほぼなくなり、携帯電話の外部メインメモリ市場は、DRAM系メモリに置換えられた。それを先取りする形でISSCCでも汎用Asynchronous SRAMの発表は1993年を最後にほぼ姿を消した。

(2-2) BiCMOS技術の動向

BiCMOS技術は、バイポーラとCMOSを同一基板に混載し、日立より提案されたBiCMOS

論理ゲート[1_119]-[1_120]の高速性能により、SRAMのみならず、IntelのMPUにも採用された[1_121]優れた技術である。図1-2にBiCMOSプロセスの断面とBiCMOS論理ゲートの回路図[1_119]を示す。特に、大型コンピュータに多く用いられていたバイポーラ回路に適したIOレベルであるECL-IO-SRAMをBiCMOS技術で構成すると、IO回路は従来どおりバイポーラで形成し、メモリセルをバイポーラではなく、汎用CMOS-SRAMで用いられていた高抵抗負荷型SRAMメモリセルで形成することにより、ECL-IO-SRAMの低電力化、大容量化、高歩留化、低コスト化が可能となった[1_122]。TTL-IO-SRAMに適用しても、デコーダなどの論理ゲートの高速化とセンスアンプの高速化により、メリットがあることが実証され[1_123]、高速SRAMのみならず、高速LSIで一時代を築いた。しかし、2.5V以下でのBiCMOS論理ゲートの高速性能がCMOS論理ゲートに対して優位性がないことが判明[1_124]-[1_126]し、電圧スケーリングによる低電圧化に伴い2.5V以下のLSIではほぼ姿を消した。図1-1のISSCCにおける「BiCMOS」の発表も1996年が最後となり姿を消している。

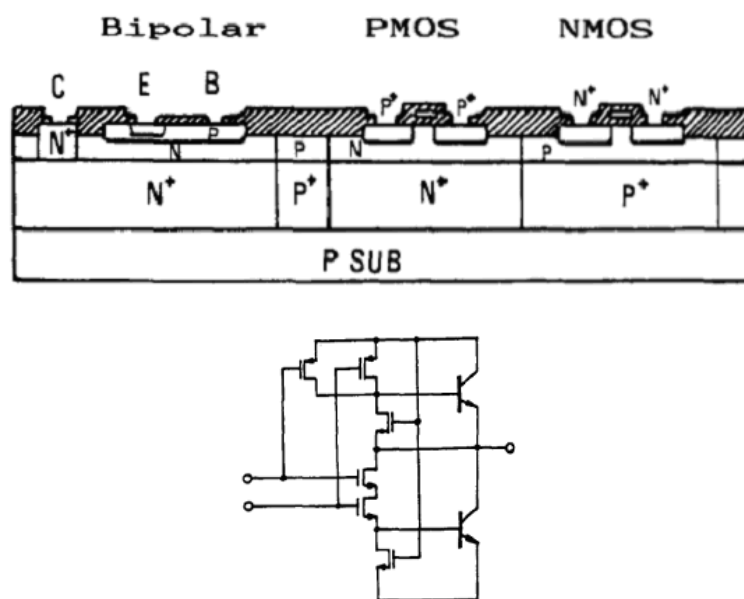


図 1-2 BiCMOS プロセスの断面と BiCMOS 論理ゲートの回路図[1_119]

(2-3) SRAMメモリの技術動向

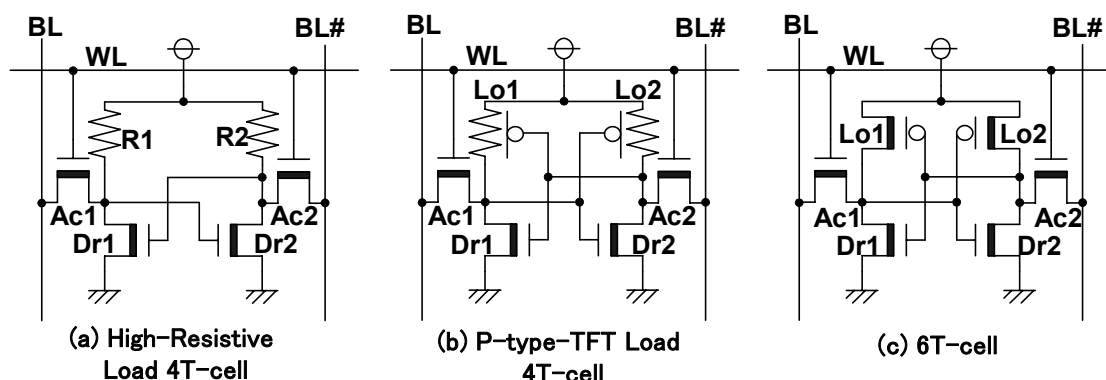


図 1-3 SP-SRAM (Single Port-SRAM)の回路図

図1-3に代表的なSP-SRAM (Single Port-SRAM)セルの回路図を示す。(a)が高抵抗負荷型4T-cellであり、Access Tr1(Ac1), Driver Tr1(Dr1), Ac2, Dr2がバルクのNMOSで構成され、R1,R2が高抵抗である。R1,R2は薄膜のポリシリコンから構成されて、バルクのNMOSの上層に配置されている。このため、小面積でSRAMセルが形成できる。高抵抗値は用途、容量により設定を変えるのが普通であり、スタンバイ電流をあまり気にしない高速SRAMでは、ギガオーダの抵抗値とするが、256Kbitレベルの低消費SRAMでは、チップとしてのスタンバイ電流を $1\mu\text{A}$ 以下に抑えるためテラオーダの抵抗値に設定する。(b)がP型TFT(Thin Film Transistor)負荷型4T-cellであり、高抵抗負荷型4T-cellと同様に4つのバルクNMOSの上層に薄膜のポリシリコンを2層以上形成することでP型TFTを配置している。しかし、薄膜ポリシリコンから形成されるTFTのトランジスタ特性はバルク・トランジスタと比べると非常に貧弱であり、オン・オフ比が2桁程度しか確保できない。面積はTFTをバルクのNMOS上に形成しているため基本的に高抵抗負荷型4T-cellと変わらない。例えば、1M-4Mbit以上の大容量低消費SRAMでチップとしてのスタンバイ電流を $1\mu\text{A}$ 以下に抑えるために、オフ時の抵抗値を $100\text{T}\Omega$ 程度に設定すると、オン時の抵抗値は $1\text{T}\Omega$ 程度のため、動作マージン的には高抵抗負荷とあまり変わりはない。(c)がバルクのPMOSを負荷とする6T-cellである。4T-cellに比べて動作マージンは大きく、 2.5V 以下の低電圧動作も可能であるが、平面的に6つのバルクのトランジスタを配置するため面積が大きい。

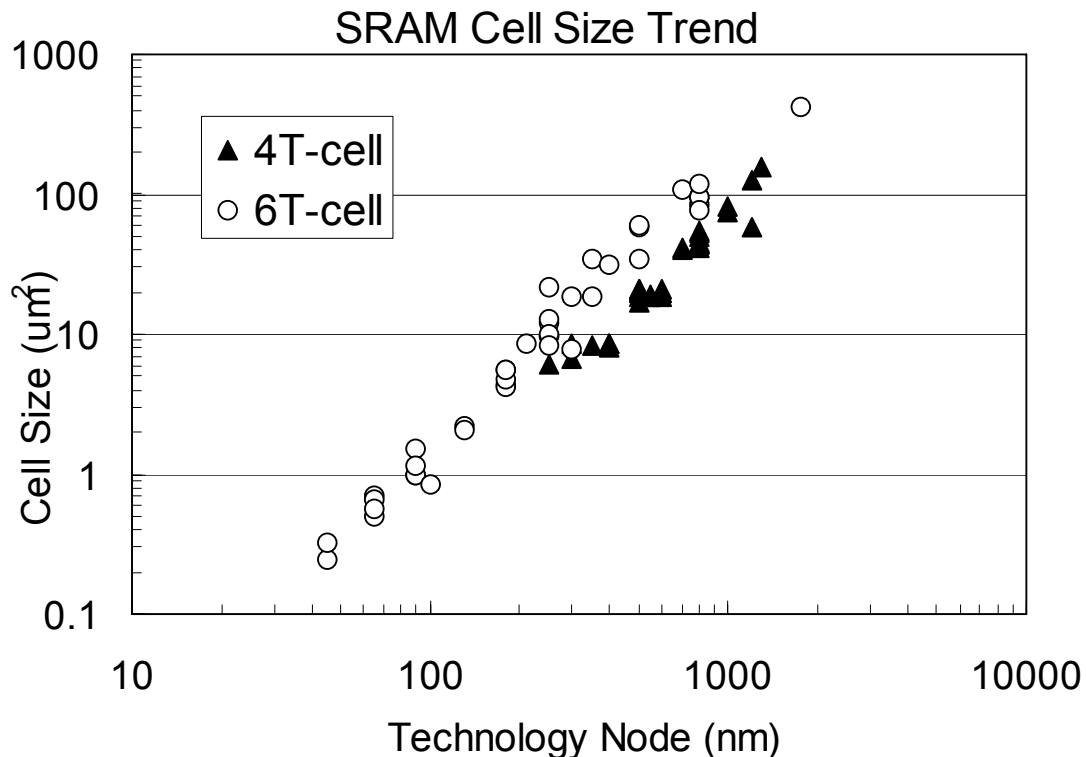


図 1-4 SP-SRAM サイズのトレンド (ISSCC87~07 より) [1_12]-[1_118]

図1-4にSP-SRAMセルサイズのトレンドをISSCCよりまとめたもの[1_12]-[1_118]を示す。この図は4T-cellと6T-cellのセルサイズのトレンドを示している。テクノロジノードが $0.4\mu\text{m}$ より緩い場合は、6T-cellは4T-cellの約2倍の面積が必要であった。このため、汎用SRAMは「CMOS」と「BiCMOS」の両者ともに、1990年代半ばまで、ほとんど4T-cellを使用している。また、1990年代前半のISSCCの「Embedded」の発表の中にはロジックプロセスに4T-cell用の高抵抗負荷を構成するためのプロセス工程を付加してまでも、4T-cellをEmbedded SRAMとして使用した例も含まれている[1_37], [1_60]。しかし、4T-cellは3V以下での動作が難しく、Shallow Trench Isolation (STI)とBuried Contact (トランジスタのゲートと拡散層のコンタクト)の導入で6T-cellのPMOSとNMOSを非常に近づけて作成することにより、2.5V以下でも動作可能な6T-cellが4T-cellとほぼ同等のサイズで実現できることを、東芝が $3.3\text{V}-0.35\mu\text{m}$ CMOSプロセスで実証 [1_127]-[1_128]した。さらに、Buried Contactだけでなく、Local Interconnect (LI)の導入により6T-cellの小型化に成功し[1_129], [1_73], [1_130]、4T-cellもまたBiCMOS技術と同様に、電圧スケールリングによる低電圧化に伴い2.5V以下のLSIではほぼ姿を消した。また、4T-cellの末期には、4層以上のpolyレイヤが必要となり、ロジックプロセスと4T-cellプロセスの親和性が低くなっていたことも、Embedded

SRAMで4T-cellが普及しなかった理由のひとつである。そして、テクノロジノードの進展とともに、ロジックプロセスの低電圧化とEmbedded SRAMの大容量化が進み、2.5V以下のプロセスではVoltage Down Converterを搭載した汎用Synchronous SRAMをEmbedded SRAMと同一プロセスを用いて開発し、ロジックプロセス開発と新奇SRAM用回路の開発を行うという開発スキームをとるメーカーも現れるようになった。こうして、図1-3のように0.3 μ mプロセス以降は、6T-cellがメインとなり、それは、Embedded SRAMの開発がSRAM開発の主流となったことを意味している。

しかし、ISSCCにおける「Embedded」の発表は、図1-1においては1990年代後半から増加しているように見えない。それは、ロジックチップにEmbedded SRAMを搭載することが当たり前となり、搭載することだけでは論文としての主張点とならなくなったため、件数としては増加してないだけと思われる。1989年、1990年の「Embedded」の発表[1_30], [1_36], [1_37]は、ロジック領域はゲートアレイで、同一チップ内にEmbedded SRAMが搭載されているものである。こうした現在では当たり前の技術が当時は論文の主張点として発表されていた。

1. 2 **本研究の目的**

前節にて過去20年間のSRAM開発の歴史を説明した。その中の、大きな出来事として、BiCMOS技術の隆盛と衰退、4T-cellの衰退と6T-cellの隆盛、汎用Asynchronous SRAMの衰退とEmbedded SRAMの隆盛があげられる。また、汎用SRAMを使って開発された技術はEmbedded SRAMにおいても応用できるものである。そして、時ともに主流となる技術内容が変遷しても、リーズナブルなコストの範囲で、用途に応じて、汎用SRAMやEmbedded SRAMだけでなくすべての半導体製品は、(1)高速、(2)低消費電力、(3)高密度、(4)高歩留、(5)高品質でという高性能であることが常に市場から求められ続ける。また、それぞれの項目は独立しておらず、互いに複雑に絡み合い、時にはトレードオフの関係となり、時には同時に向上できる関係となる。

本研究においては、上記のEmbedded SRAMに要求される高性能化の項目のうち

(1) 高速化

Embedded SRAMは、キャッシュ用途では、MPUの高速化に追従して高速動作が必要とされる。また、MPUは高速化とともに、スケーリング則にのっとり、低電圧化も様々な半導体のうちでも真っ先に進められる。Embedded SRAMはこうしたMPUの動向にしたがって、高速化とともに低電圧化にも対応が必要である。

(2) 高歩留化

汎用SRAMが主流の時代には、当然SRAMのメモリセルの欠陥を救済して歩留を向上してコストを低減すること(冗長回路技術)が必須である。また、System on Chip (SoC)あるいは、MPUにおけるEmbedded SRAMの占める面積が時とともに増大し、sub-50nmプロセスの時代(2009年ごろ)には、SoCでもメモリの占める割合が80%を超えるとITRS2003で予想されている。つまり、Embedded SRAMでも冗長回路技術は重要な技術である。また、sub-100nmプロセスの時代より、隣り合った設計的には同一な形状のトランジスタでもその V_{th} , I_{ds} が統計的にばらついてしまう現象(ローカルばらつき)が、メモリセルの縮小により顕著になり、ローカルばらつきを考慮して動作マージンを見積ることが必須となっている。そして、動作マージンの V_{th} 設定のウィンドウが非常に狭くなっているため、sub-100nmプロセスの時代でも、130nmより緩いデザインルールのプロセス並みの歩留を維持するためには、Embedded SRAMの動作マージンを広げる回路が必要である。

(3) 高品質化

1つのパッケージ内に複数のチップを実装するSystem in Package(SiP)、Multi Chip Module(MCM)または3次元実装(3D-stack)を低コストで実現するには、1つのパッケージ内の各チップが低コストのKnown Good Die(KGD)であることが必要である。SRAMはロジックプロセスとの親和性が高いため、SoCにEmbedded SRAMとして搭載されることが多い。このため、SoCのKGD化にはEmbedded SRAMを高品質にする技術が必須である。また、自動車に搭載される半導体の量が急激に成長しており、車載用途に耐えうるSoCを低コストで実現するために、Embedded SRAMの品質を上げることも重要である。

を解決すべく、著者が研究した技術についてまとめる。そして、これらの技術の工学的応用により、Embedded SRAMの高性能化はもとより、システム全体の性能を向上するための技術指針を得ることを本研究の目的とする。

1.3 本研究の内容と本研究の構成

2008年現在、LSIを使用した電子機器のますますの高機能化と多くの人への普及が進み、また非接触カードによる個人認証や電子マネー、あるいは、自動車のエンジン制御やエアバックの制御などのようにエンドユーザが電子機器とは意識せずに使用する機器へのLSIの搭載が進み、暮らしのありとあらゆる場面で無意識にLSIに搭載された大小様々な規模のコンピュータを利用している社会（ユビキタス社会）が実現しようとしている。このため、LSIの市場は今後も大きく成長することは間違いない。

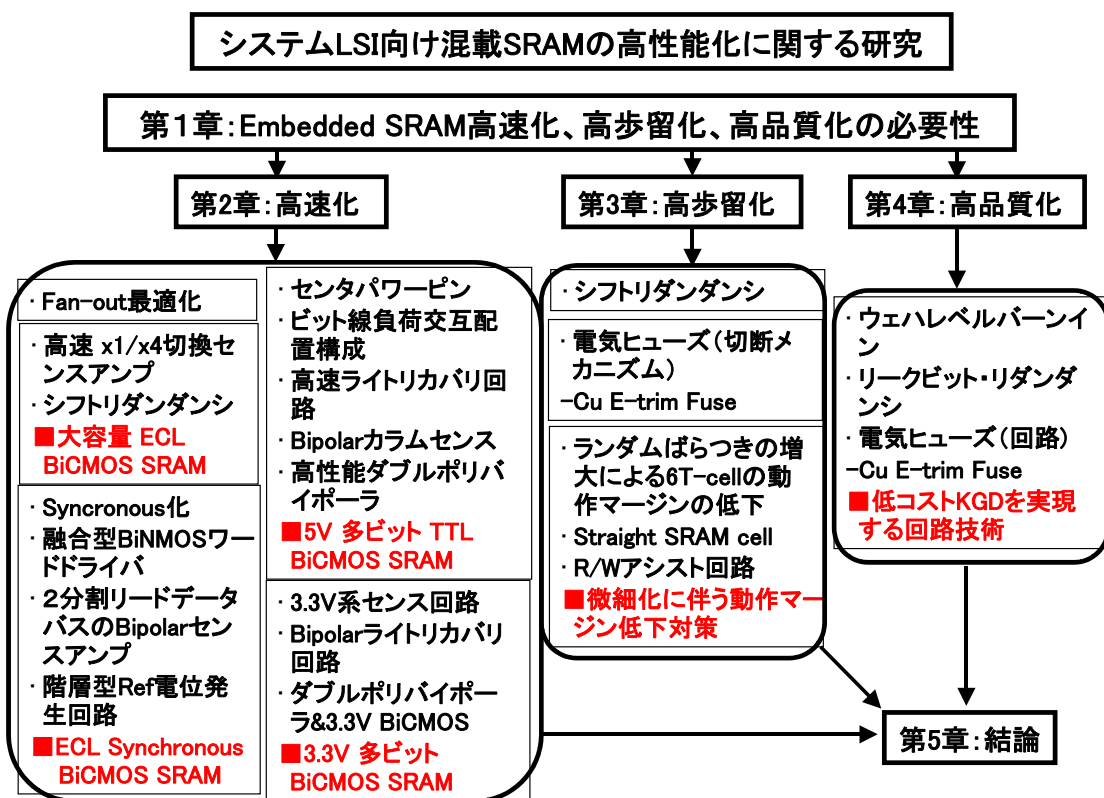


図 1-5 本研究の構成

SRAMはロジックプロセスとの親和性と高速性を生かし、もっとも代表的なEmbedded Memoryとして使用されており、2000年以降、テクノロジノードの進展により1チップに搭載できるトランジスタ数の劇的な増大により、Embedded SRAMの大容量化が進み、現在では、サーバー用途のMicro Processing Unit(MPU)では3次キャッシュまでもが1チップに搭載される例も出てきている。LSI市場が大きく成長し続けているなかで、Embedded SRAMも高性能化が市場から要求されている。この高性能化の項目の中から、高速化、高歩留化、高品質化を本研究で取り上げた。

本研究の内容は、前節で示した本研究の目的を達成するために著者が行った研究成果を報告するものである。本研究の構成の概略は図1-5に示すとおりであり、下記に、さらに詳細な内容について述べる。

第1章 序論

本研究を進めるにあたって SRAM 開発の歴史と、技術開発動向について述べ、Embedded SRAM の高性能化が市場から要求される中で、高性能化の項目の中から、高速化、高歩留化、高品質化を本研究で取り上げた意義を明らかにするとともに、汎用 SRAM を使って開発された技術も、Embedded SRAM の高性能化に貢献していることから、汎用 SRAM, Embedded SRAM に関わらず、本研究の目的達成のために開発された技術を本研究の概要として説明する。

第2章 SRAM の高速化技術 [1_131], [1_3], [1_4], [1_132]- [1_135]

Embedded SRAM の高速化について検討し、電源電圧が 5V~3V 時代の SRAM の高速化に大きく貢献した BiCMOS 技術の回路技術のみならずプロセス技術に関して以下を提案を行った。

1) 配線容量を考慮した SRAM デコーダのファンアウトの最適化手法 [1_131]

SRAM の高速化にとって、デコーダ全体の遅延を最小にすることが必要である。本節ではデコーダの負荷として配線容量までを考慮してファンアウトを最適化する手法を提案する。

2) 大容量 ECL I/O BiCMOS SRAM の高速化技術 [1_3], [1_4]

ECL I/O の大容量 SRAM では、X1 の構成の要求が多いため、特にテスト時間の短縮が必要となる。このため、高速 X1/X4 切換バイポーラ・センスアンプを提案した。また、大容量 ECL I/O SRAM では、配線抵抗によるチップ内のリファレンス電位の変動が問題となる。これを解決する階層型 ECL 入力バッファ用のリファレンス電位発生回路を提案した。そして、大容量化によりデータバスの電圧振幅を押さえたバイポーラ使用の電流・電圧変換形メインセンスアンプでも配線抵抗によるわずかな電位変化による遅延が発生する。これを抑えるために、電流・電圧変換形メインセンスアンプにおいて、データバスを 2 分割することで高速化することができた。また、いまでは、当たり前となっている Synchronous 化によりシステムレベルの高速化は、まず、最初に ECL I/O で実現された。その ECL I/O の Synchronous SRAM の入出力レジスタとして、小振幅で高速な内部クロックを利用できる ECL レジスタと高速な ECL-CMOS レ

ベルコンバータを提案した。

3) 5V, 3.3V TTL I/O BiCMOS SRAM の高速化 [1_132]- [1_135]

5V, 3.3V の TTL SRAM では多ビットが要求され、このため、出力バッファの高速動作による電源ノイズが高速化を妨げていた。このため、ワイヤボンディングやチップ内電源配線のインダクタンスと出力バッファの高速動作が電源ノイズに及ぼす影響をシミュレーションで明らかにし、電源ノイズに強く出力バッファの高速化が容易なセンタパワーピン配置を採用した。そして、センタパワーピン配置でもデータバス長を短くでき、かつ、ビット線周りの回路を緩いレイアウト制約の中で高速回路を選択できる新しいアーキテクチャであるビット線負荷交互配置構成を提案した。また、高速 TTL SRAM では、ライト直後のリードが遅れることが問題であり、それを解決するために、ビット線交互配置を生かして、素子数が多い高速ライトリカバリが可能なビット線負荷回路を提案した。また、BiCMOS SRAM 技術を使用しても TTL SRAM で、5ns 前後のアクセスタイムの実現は、回路技術だけでは不可能である。このため、5V 系プロセスでも、3V 系プロセスでも、高性能ダブルポリシリコン・バイポーラプロセスを搭載した BiCMOS プロセスを開発した。

第3章 SRAM の高歩留化 [1_3], [1_136], [1_7]

高歩留化は、SRAM のみならず、半導体製品すべてで要求されることであるが、本章では、特に 2000 年代以降の Embedded SRAM の時代において必要とされる Embedded SRAM の高歩留化技術として以下の提案を行った。

1) Embedded SRAM に適したシフトリダンダンシ[1_3]

救済アルゴリズムが単純でかつ歩留向上効果が高い奇数・偶数デューダ出力別系統シフトリダンダンシを提案した。このリダンダンシでは、Memory Built-In-Self-Test (M-BIST)回路や Built-In-Self-Repair (BISR)回路の面積の増加を抑えられ、かつ、冗長メモリセルを使用した時と使用しない時でアクセスタイムが変わらないため、Embedded SRAM に適した冗長回路方式である。

2) Cu 配線で形成された電気ヒューズ(Cu-E-trim Fuse) [1_136]

先に提案されていた Cu-eFuse の切断メカニズムは、Cu 配線の層間絶縁膜にクラックを発生させることによりクラックに Cu を吸い上げて、Cu 配線に隙間を作ることであることを明らかにした。その上で、ヒューズの周りにクラックやダメージの発生のない Cu 配線で形成された電気ヒューズである Cu-E-trim Fuse を提案し、その切断メカニズムを明らかにした。

3) 微細化に伴う 6T-SRAM の動作マージンに対応する技術 [1.7]

微細化とともに 100nm ノード以降では、6T-SRAM に使用するトランジスタサイズが小さくなり、ペリグロムの法則にしたがって、ランダムなトランジスタ特性のばらつきがグローバルなばらつき以上に大きくなってきている。このランダムばらつきの増大が 6T-SRAM の動作マージンを小さくする。

直線的なレイアウトにすることでプロセス変動によるグローバルなトランジスタの特性ばらつきによる動作マージンの劣化を抑えた。

また、活性化されたワード線の電圧レベルを、グローバルな SRAM NMOS の特性変動に合わせて電気的なメモリセルの β 比を自己調整的に制御するリード・アシスト回路を提案し、Static Noise Margin (SNM)の劣化を抑えた。

そして、書込み時に選択カラムのみのメモリセル V_{dd} を、メモリセル上に配置した配線の容量を用いて強制的に引下げる配線容量を使ったライト・アシスト回路を提案し、ランダムばらつきにより低下した書込みマージンを広げ、高速書込み動作を可能とした。

第4章 SRAM の高品質化 [1.8]

プロセスの微細化の限界が見えはじめた近年、微細化に頼らずとも、トランジスタの高密度化を進める技術(More than Moore)として、1 つのパッケージ内に複数のチップを実装する SiP, MCM, 3D-stack などの先端パッケージ技術が注目され研究が進められている。こうした技術を低コストで実現するには、1 つのパッケージ内の各チップが低コストの KGD であることが必要である。また、半導体の新たな有望な市場として自動車向けの製品が注目されている。当然、半導体の不具合が人の命に直結しかねない車載用途では、低コストでありながら高品質が要求される。このため、低コスト KGD 化の技術は車載用途の Embedded SRAM に応用できる。こうした市場の要求に対応する低コストで高品質を実現する技術として以下の提案を行った。

1) 低コスト KGD を実現するためのプロービング・テストフロー

ここで提案する低コスト KGD を実現する3つのキーとなる技術は、1) Wafer Level Burn-In (WLBI)モード、2) リークビット・リダンダンシ、3) Cu-E-trim Fuse である。この3つの技術を使用し、通常のプロービング・テスト治工具を用い、できるだけ短いテスト時間で高品質を実現するプロービング・テストフローを提案し、その技術を使用した 6T-SRAM のブロック図を示した。

2) 6T-cell 向けウェハレベルバーンイン

DRAMや4T-cellのSRAMでは同時に多数のワード線やビット線を活性化して書込み状態とするWLBIモードが可能であったが、6T-SRAMでは大きな貫通電流のために不可能であった。ここでは、貫通電流の流れない6T-SRAM用のWLBIモード回路を提案した。提案のWLBIモード回路の面積ペナルティはなく、50psの非常に小さな速度ペナルティがある。このWLBIモードでは、貫通電流なしにロウストライプの書込みが可能で、6T-cellの全てのノードとトランジスタにDCストレスの印加が可能となる。

3) リークビット・リダンダンシ

6T-SRAMに存在するレイテント・ディフェクト(隠れた欠陥)による異常なリーク電流を持ちながらも通常の動作が可能なビットである「リークビット」を検出して冗長セルと置換するリークビット・リダンダンシを提案した。

4) Cu-E-trim Fuseの回路技術

メタルゲートを使用する先端プロセスにおいても使用でき、付加的なプロセス工程の追加が不要なCu配線で形成された電気ヒューズであり、クラックの発生がなく切断可能なCu-E-trim FuseをEmbedded SRAMに搭載して実際に使用できるCu-E-trim Fuse回路を提案した。

第5章 結論

第2章から第4章までの研究成果をまとめ、結論とした。

1. 4 第 1 章参考文献

- [1_1] Kohno, Y.; Wada, T.; Anami, K.; Kawai, Y.; Yuzuriha, K.; Matsukawa, T.; Kayano, S.; “A 14-ns 1-Mbit CMOS SRAM with variable bit organization,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 23, No.5, pp. 1060 - 1066, October 1988.
- [1_2] Hirose, T.; Kuriyama, H.; Murakami, S.; Yuzuriha, K.; Mukai, T.; Tsutsumi, K.; Nishimura, Y.; Kohno, Y.; Anami, K.; “A 20-ns 4-Mb CMOS SRAM with hierarchical word decoding architecture,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 25, No.5, pp. 1068 - 1074, October 1990.
- [1_3] Ohba, A.; Ohbayashi, S.; Shiomi, T.; Takano, S.; Anami, K.; Honda, H.; Ishigaki, Y.; Hatanaka, M.; Nagao, S.; Kayano, S.; “A 7ns 1Mb BiCMOS ECL SRAM with Shift Redundancy,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.26, No.4, pp. 507 - 512, April 1991.
- [1_4] 大林 茂樹, 塩見徹, 大庭敦, 本田裕己, 石垣佳之, 日根史郎, 穴見健二, 角正, 鈴木公男, “融合型 Bi-nMOSゲートを用いた同期式256K Bi-CMOS ECL RAM,” 信学論(C-II), Vol.J75-C-II, No.7, pp. 340-345, 1992-7.
- [1_5] Sato, H.; Ohbayashi, S.; Okamoto, Y.; Kondoh, S.; Wada, T.; Matsuo, R.; Yamada, M.; Yasuoka, A.; “111MHz 1Mbit CMOS Synchronous Burst SRAM using a Clock Activation Control Method,” IEICE TRANS. ELECTRON., VOL.E79-C, No.6, pp. 735-742, June 1996.
- [1_6] Sato, H.; Wada, T.; Ohbayashi, S.; Kozaru, K.; Okamoto, Y.; Higashide, Y.; Shimizu, T.; Maki, Y.; Morimoto, R.; Otoi, H.; Koga, T.; Honda, H.; Taniguchi, M.; Arita, Y.; Shiomi, T.; “A 500-MHz pipelined burst SRAM with improved SER immunity,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 34, No.11, pp. 1571 - 1579, November 1999.
- [1_7] Ohbayashi, S.; Yabuuchi, M.; Nii, K.; Tsukamoto, Y.; Imaoka, S.; Oda, Y.; Yoshihara, T.; Igarashi, M.; Takeuchi, M.; Kawashima, H.; Yamaguchi, Y.; Tsukamoto, K.; Inuishi, M.; Makino, H.; Ishibashi, K.; Shinohara, H.; “A 65-nm SoC Embedded 6T-SRAM Designed for Manufacturability With Read and Write Operation Stabilizing Circuits,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 42, No.4, pp. 820 - 829, April 2007.
- [1_8] Ohbayashi, S.; Yabuuchi, M.; Kono, K.; Oda, Y.; Imaoka, S.; Usui, K.; Yonezu, T.; Iwamoto, T.; Nii, K.; Tsukamoto, Y.; Arakawa, M.; Uchida, T.; Okada, M.; Ishii, A.; Makino, H.; Ishibashi, K.; Shinohara, H.; “A 65nm Embedded SRAM with Wafer-Level Burn-In Mode, Leak-Bit Redundancy and Cu E-Trim Fuse for Known Good Die,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.43, No.1, pp. 96-108, January 2008.
- [1_9] Nii, K.; Yabuuchi, M.; Tsukamoto, Y.; Ohbayashi, S.; Imaoka, S.; Makino, H.; Yamagami, Y.; Ishikura, S.; Terano, T.; Oashi, T.; Hashimoto, K.; Sebe, A.; Okazaki, G.; Satomi, K.; Akamatsu, H.; Shinohara, H.;

- “A 45nm Low-Standby-Power Embedded SRAM with Improved Immunity Against Process and Temperature Variations,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.43, No.1, pp. 180-191, January 2008.
- [1_10] Wada, T.; Hirose, T.; Shinohara, H.; Kawai, Y.; Yuzuriha, K.; Kohno, Y.; Kayano, S.; “A 34-ns 1-Mbit CMOS SRAM using triple polysilicon,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 22, No.5, pp. 727 - 732, October 1987.
- [1_11] Murakami, S.; Fujita, K.; Ukita, M.; Tsutsumi, K.; Inoue, Y.; Sakamoto, O.; Ashida, M.; Nishimura, Y.; Kohno, Y.; Nishimura, T.; Anami, K.; “A 21-mW 4-Mb CMOS SRAM for battery operation,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 26, No.11, pp. 1563 - 1570, November 1991.
- [1_12] Wang, K.; Bader, M.; Voss, P.; Soorholtz, V.; Mauntel, R.; Mendez, H.; Kung, R.; “A 21ns 32K x 8 CMOS SRAM with a selectively pumped P-well array,” in Digest of Technical Papers. ISSCC, pp. 254 - 255, February 1987.
- [1_13] Ohtani, T.; Hashimoto, K.; Matsui, M.; Tsujimoto, J.; Iwai, H.; Saitoh, M.; Shibata, H.; Sasaki, H.; Isobe, M.; Matsunaga, J.; Iizuka, T.; “A 25ns 1Mb CMOS SRAM,” in Digest of Technical Papers. ISSCC, pp. 264 - 265, February 1987.
- [1_14] Roberts, A.; Dreibelbis, J.; Braceras, G.; Gabric, J.; Gilbert, L.; Goodwin, R.; Hedberg, E.; Maffitt, T.; Meunier, L.; Moran, D.; Phuong Nguyen; Reed, D.; Reismiller, D.; Sasaki, R.; “A 256K SRAM with on-chip power supply conversion,” in Digest of Technical Papers. ISSCC, pp. 252 - 253, February 1987.
- [1_15] Suzuki, A.; Yamaguchi, S.; Ito, H.; Suzuki, N.; Yabu, T.; “A 19ns memory,” in Digest of Technical Papers. ISSCC, pp. 134 - 135, February 1987.
- [1_16] O’Connor, K.; “Modular Embedded cache memories for a 32b pipelined RISC microprocessor,” in Digest of Technical Papers. ISSCC, pp. 256 - 257, February 1987.
- [1_17] Minato, O.; Sasaki, T.; Honjo, S.; Ishibashi, K.; Sasaki, Y.; Moriwaki, N.; Nishimura, K.; Sakai, Y.; Meguro, S.; Tsunematsu, M.; Masuhara, T.; “A 42ns 1Mb CMOS SRAM,” in Digest of Technical Papers. ISSCC, pp. 260 - 261, February 1987.
- [1_18] Komatsu, T.; Okazaki, N.; Nishihara, T.; Kayama, S.; Hoshi, N.; Aoyama, J.; Shimada, T.; “A 35ns 1Mb CMOS SRAM,” in Digest of Technical Papers. ISSCC, pp. 258 - 259, February 1987.
- [1_19] Wada, T.; Hirose, T.; Shinohara, H.; Kawai, Y.; Yuzuriha, K.; Kohno, Y.; Kayano, S.; “A 34ns 1Mb CMOS SRAM using triple poly,” in Digest of Technical Papers. ISSCC, pp. 262 - 263, February 1987.
- [1_20] Hanamura, S.; Minato, O.; Masuhara, T.; Sakai, Y.; Yamanaka, T.; Moriwaki, N.; Kojima, F.; “A 256K CMOS SRAM with internal refresh,” in Digest of Technical Papers. ISSCC, pp. 250 - 251, February 1987.

- [1_21] List, F.; Bell, S.; Sow Chu; Dikken, J.; Hartgring, C.; Raemaekers, J.; Walsh, B.; Salters, R.; "A 25ns Full-CMOS 1Mb SRAM," in Digest of Technical Papers. ISSCC, pp. 252 - 253, 17-19 February 1988.
- [1_22] Wada, T.; Anami, K.; Kawai, Y.; Yuzuriha, K.; Kohno, Y.; Matsukawa, T.; Kayano, S.; "A 14ns 1Mb CMOS SRAM With Variable Bit-organization," in Digest of Technical Papers. ISSCC, pp. 252 - 253, 17-19 February 1988.
- [1_23] Kertis, R.A.; Smith, D.D.; Bowman, T.L.; "A 12ns 256k BiCMOS SRAM," in Digest of Technical Papers. ISSCC, pp. 186 - 187, 17-19 February 1988.
- [1_24] Hiep V. Tran; Scott, D.B.; Kuen Fung; Havemann, R.; Eklund, R.E.; Ham, T.E.; Haken, R.A.; Shah, A.H.; "An 8ns Battery Back-Up Submicron BiCMOS 256K ECL SRAM," in Digest of Technical Papers. ISSCC, pp. 188 - 189, 17-19 February 1988.
- [1_25] Flannagan, S.; Nogle, S.; Faber, A.; Herr, N.; Mauntel, R.; Engles, B.; Kung, R.; "A 16ns 256kx1 CMOS SRAM," in Digest of Technical Papers. ISSCC, pp. 182 - 183, 17-19 February 1988.
- [1_26] Sasaki, K.; Hanamura, S.; Ueda, K.; Oono, T.; Minato, O.; Nishimura, K.; Sakai, Y.; Meguro, S.; Tsunematsu, M.; Masuhara, T.; Kubotera, M.; Toyoshima, H.; "A 15ns 1Mb CMOS SRAM," in Digest of Technical Papers. ISSCC, pp. 174 - 175, 17-19 February 1988.
- [1_27] Hsing-San Lee; El Kareh, B.; Flaker, R.C.; Gravenities, G.G.; Lipa, R.A.; Maslack, J.P.; Pessetto, J.R.; Pokorny, W.F.; Roberge, M.A.; Williams, T.; Zeller, H.A.; Beilstein, K.E.; "An Experimental 1Mb CMOS SRAM with Configurable Organization and Operation," in Digest of Technical Papers. ISSCC, pp. 180 - 181, 17-19 February 1988.
- [1_28] Shimada, H.; Tange, Y.; Tanimoto, K.; Shiraishi, M.; Suzuki, N.; Nomura, T.; "An 18ns 1Mb CMOS SRAM," in Digest of Technical Papers. ISSCC, pp. 176 - 177, 17-19 February 1988.
- [1_29] Tran, H.; Fung, K.; Bell, D.; Chapman, R.; Harward, M.; Suzuki, T.; Havemann, R.; Eklund, R.; Fleck, R.; Le, D.; Wei, C.; Iyengar, N.; Rodder, M.; Haken, R.; Scott, D.; "An 8 ns BiCMOS 1 Mb ECL SRAM with a configurable memory array size," in Digest of Technical Papers. ISSCC, pp. 36 - 37, 15-17 February 1989.
- [1_30] Takahashi, T.; Kawashima, M.; Fujita, M.; Kobayashi, I.; Arai, K.; Okabe, T.; "A 1.4 M-transistor CMOS gate array with 4 ns RAM," in Digest of Technical Papers. ISSCC, pp. 178 - 179, 15-17 February 1989.
- [1_31] Miyaji, F.; Matsuyama, Y.; Naiki, I.; Takahashi, H.; Sasaki, M.; Takeda, M.; Sugano, Y.; Hagiwara, Y.; Nishiyama, K.; Tsumori, T.; Kobayashi, K.; Hirano, K.; Shimada, T.; "A 25 ns 4 Mb CMOS SRAM with dynamic bit line loads," in Digest of Technical Papers. ISSCC, pp. 250 - 251, 15-17 February 1989.

- [1_32] Odaka, M.; Nakamura, K.; Eno, K.; Ogiue, K.; Saito, O.; Ikeda, T.; Hirao, M.; Higuchi, H.; “A 512 kb/5 ns BiCMOS RAM with 1 kG/150 ps logic gate array,” in Digest of Technical Papers. ISSCC, pp. 28 - 29, 15–17 February 1989.
- [1_33] Matsui, M.; Momose, H.; Urakawa, Y.; Maeda, T.; Suzuki, A.; Urakawa, N.; Sato, K.; Makita, K.; Matsunaga, J.; Ochii, K.; “An 8 ns 1 Mb ECL BiCMOS SRAM,” in Digest of Technical Papers. ISSCC, pp. 38 - 39, 15–17 February 1989.
- [1_34] Sasaki, K.; Hanamura, S.; Ishibashi, K.; Yamanaka, T.; Hashimoto, N.; Nishida, T.; Shimohigashi, K.; Honjo, S.; “A 9 ns 1 Mb CMOS SRAM,” in Digest of Technical Papers. ISSCC, pp. 34 - 35, 15–17 February 1989.
- [1_35] Hirose, T.; Kuriyama, H.; Murakami, S.; Yuzuriha, K.; Mukai, T.; Tsutsumi, K.; Nishimura, Y.; Kohno, Y.; Anami, K.; “A 20 ns 4 Mb CMOS SRAM with hierarchical word decoding architecture,” in Digest of Technical Papers. ISSCC, pp. 132 - 133, 14–16 February 1990.
- [1_36] Petrovick, J., Jr.; Taylor, R.; Bertolet, A.; Chu, A.; Harroun, T.; Keyser, F.; LaMarche, C.; Pastel, L.; Richardson, G.; Worth, B.; “A 300 K-circuit ASIC logic family,” in Digest of Technical Papers. ISSCC, pp. 88 - 89, 14–16 February 1990.
- [1_37] Sawada, K.; Takayanagi, T.; Nogami, K.; Takahashi, M.; Uchida, M.; Itoh, Y.; Kobayashi, S.; Noda, M.; Matsuoka, F.; Oyamatsu, H.; Kakumu, M.; Maeguchi, K.; Iizuka, T.; “A 5 ns 369 kb port-configurable Embedded SRAM with 0.5 μ m CMOS gate array,” in Digest of Technical Papers. ISSCC, pp. 226 - 227, 14–16 February 1990.
- [1_38] Takada, M.; Nakamura, K.; Takeshima, T.; Furuta, K.; Yamazaki, T.; Imai, K.; Ohi, S.; Fukuda, Y.; Minato, Y.; Kimoto, H.; “A 5 ns 1 Mb ECL BiCMOS SRAM,” in Digest of Technical Papers. ISSCC, pp. 138 - 139, 14–16 February 1990.
- [1_39] Maki, Y.; Kamata, S.; Okajima, Y.; Yamauchi, T.; Fukuma, H.; “A 6.5 ns 1 Mb BiCMOS ECL SRAM,” in Digest of Technical Papers. ISSCC, pp. 136 - 137, 14–16 February 1990.
- [1_40] Flannagan, S.; Pelley, P.; Herr, N.; Engles, B.; Feng, T.; Nogle, S.; Eagan, J.; Dunnigan, R.; Day, L.; Kung, R.; “8 ns CMOS 64 K x 4 and 256 K x 1 SRAMs,” in Digest of Technical Papers. ISSCC, pp. 134 - 135, 14–16 February 1990.
- [1_41] Sasaki, K.; Ishibashi, K.; Yamanaka, T.; Shimohigashi, K.; Moriwaki, N.; Honjo, S.; Ikeda, S.; Koike, A.; Meguro, S.; Minato, O.; “A 23 ns 4 Mb CMOS SRAM with 0.5 μ A standby current,” in Digest of Technical Papers. ISSCC, pp. 130 - 131, 14–16 February 1990.
- [1_42] Hayakawa, S.; Kakumu, M.; Takeuchi, H.; Sato, K.; Ohtani, T.; Yoshida, T.; Nakayama, T.; Morita, S.; Kinugawa, M.; Maeguchi, K.; Ochii, K.; Matsunaga, J.; Aono, A.; Noguchi, K.; Asami, T.; “A 1 μ A

- retention 4 Mb SRAM with a thin-film-transistor load cell,” in Digest of Technical Papers. ISSCC, pp. 128 - 129, 14-16 February 1990.
- [1_43] Aizaki, S.; Ohkawa, M.; Aizaki, A.; Okuyama, Y.; Sasaki, I.; Shimizu, T.; Abe, K.; Ando, M.; Kudoh, O.; “A 15 ns 4 Mb CMOS SRAM,” in Digest of Technical Papers. ISSCC, pp. 126 - 127, 14-16 February 1990.
- [1_44] Murakami, S.; Fujita, K.; Ukita, M.; Tsuisumi, K.; Inoue, Y.; Sakamoto, O.; Ashida, M.; Nishimura, Y.; Kohno, Y.; Nishimura, T.; Anami, K.; “A 21mW 4Mb CMOS SRAM For Battery Operation,” in Digest of Technical Papers. ISSCC, pp. 46 - 47, 13-15 February 1991.
- [1_45] Okajima, Y.; Sato, Y.; Kurosaki, K.; Yamada, S.; “7ns 4Mb BiCMOS SRAM With Parallel Testing Circuit,” in Digest of Technical Papers. ISSCC, pp. 54 - 55, 13-15 February 1991.
- [1_46] Shimada, H.; Kawashima, S.; Matsumiya, M.; Suzuki, N.; Itabashi, K.; Kazio, K.; Miyamoto, Y.; Kagohashi, M.; “A 10ns 4Mb BiCMOS TTL SRAM,” in Digest of Technical Papers. ISSCC, pp. 52 - 53, 13-15 February 1991.
- [1_47] Chappell, T.I.; Chappell, B.A.; Schuster, S.E.; Allan, J.W.; Kepner, S.P.; Joshi, R.V.; French, R.L.; “A 2ns Cycle, 4ns Access 512kb CMOS ECL SRAM,” in Digest of Technical Papers. ISSCC, pp. 50 - 51, 13-15 February 1991.
- [1_48] Sato, K.; Fujita, K.; Miyazawa, H.; Shirai, M.; Kobayashi, M.; Ishihara, M.; Nakao, T.; “A system-integrate ULSI chip containing eleven 4 Mb RAMs, six 64 kb SRAMs and an 18 k gate array,” in Digest of Technical Papers. ISSCC, pp. 52 - 53, 19-21 February 1992.
- [1_49] Goto, H.; Ohkubo, H.; Kondou, K.; Ohkawa, M.; Mitani, H.; Horiba, S.-I.; Soeda, M.; Hayashi, F.; Hachiya, Y.; Shimizu, T.; Ando, M.; Matsuda, Z.; “A 3.3-V 12 ns 16 Mb CMOS SRAM,” in Digest of Technical Papers. ISSCC, pp. 216 - 217, 19-21 February 1992.
- [1_50] Matsumiya, M.; Kawashima, S.; Sakata, M.; Miyabo, T.; Koga, T.; Itabashi, K.; Mizutani, K.; Ema, T.; Toyoda, K.; Yabu, T.; Shimada, H.; Suzuki, N.; Ookura, M.; “A 15 ns 16 Mb CMOS SRAM with reduced voltage amplitude data bus,” in Digest of Technical Papers. ISSCC, pp. 214 - 215, 19-21 February 1992.
- [1_51] Nakamura, K.; Oguri, T.; Atsumo, T.; Takada, M.; Ikemoto, A.; Suzuki, H.; Nishigori, T.; Yamazaki, T.; “A 6 ns 4 Mb ECL I/O BiCMOS SRAM with LV-TTL mask option,” in Digest of Technical Papers. ISSCC, pp. 212 - 213, 19-21 February 1992.
- [1_52] Kato, H.; Suzuki, A.; Hamano, T.; Kobayashi, T.; Sato, K.; Nakayama, T.; Gojohbori, H.; Maeda, T.; Ochiai, K.; “A 9 ns 4 Mb BiCMOS SRAM with 3.3 V operation,” in Digest of Technical Papers. ISSCC, pp. 210 - 211, 19-21 February 1992.

- [1_53] Sasaki, K.; Ishibashi, K.; Ueda, K.; Komiyaji, K.; Yamanaka, T.; Hashimoto, N.; Toyoshima, H.; Kojima, F.; Shimizu, A.; "A 7 ns 140 mW 1 Mb CMOS SRAM with current sense amplifier," in Digest of Technical Papers. ISSCC, pp. 208 - 209, 19-21 February 1992.
- [1_54] Ishibashi, K.; Takasugi, K.-I.; Yamanaka, T.; Hashimoto, T.; Sasaki, K.; "A 1 V TFT-load SRAM using a two-step word-voltage method," in Digest of Technical Papers. ISSCC, pp. 206 - 207, 19-21 February 1992.
- [1_55] Inoue, T.; Goto, J.; Yamashina, M.; Suzuki, K.; Nomura, M.; Koseki, Y.; Kimura, T.; Atsumo, T.; Motomura, M.; Shih, B.S.; Horiuchi, T.; Hamatake, N.; Kumagai, K.; Enomoto, T.; Yamada, H.; Takada, M.; "A 300 MHz 16 b BiCMOS video signal processor," in Digest of Technical Papers. ISSCC, pp. 36 - 37, 24-26 February 1993.
- [1_56] Tamba, N.; Akimoto, K.; Ohhayashi, M.; Hiramoto, T.; Kokubu, T.; Ohmori, S.; Muraya, T.; Kishimoto, A.; Tsuji, S.; Hayashi, H.; Handa, H.; Igarashi, T.; Fujiwara, T.; Watanabe, K.; Uchida, A.; Odaka, M.; Nambu, H.; Yamaguchi, K.; Ikeda, T.; "A 1.5 ns 256 kb BiCMOS SRAM with 11 k 60 ps logic gates," in Digest of Technical Papers. ISSCC, pp. 246 - 247, 24-26 February 1993.
- [1_57] Ukita, M.; Murakami, S.; Yamagata, T.; Kuriyama, H.; Nishimura, Y.; Anami, K.; "A single bitline cross-point cell activation (SCPA) architecture for ultra low power SRAMs," in Digest of Technical Papers. ISSCC, 24-pp. 252 - 253, 26 February 1993.
- [1_58] Seno, K.; Knorpp, K.; Shu, L.-L.; Miyaji, F.; Sasaki, M.; Takeda, M.; Yokoyama, T.; Fujita, K.; Kimura, T.; Tomo, Y.; Chuang, P.; Kobayashi, K.; "A 9 ns 16 Mb CMOS SRAM with offset reduced current sense amplifier," in Digest of Technical Papers. ISSCC, pp. 248 - 249, 24-26 February 1993.
- [1_59] Sasaki, K.; Ueda, K.; Takasugi, K.; Toyoshima, H.; Yamanaka, T.; Hashimoto, N.; Ohki, N.; "A 16 Mb CMOS SRAM with a 2.3 μ m² single-bit-line memory cell," in Digest of Technical Papers. ISSCC, pp. 250 - 251, 24-26 February 1993.
- [1_60] Saito, Y.; Shimazu, Y.; Kobayashi, S.; Shimizu, T.; Matsuo, M.; Ohtsuka, A.; Shirai, K.; Murata, H.; Nishiwaki, Y.; Fujioaka, I.; Nabeta, Y.; Kanamoto, H.; Hiraoka, S.; Suzuki, T.; Hinata, J.; Shimotsuna, Y.; "A 1.71 M-transistor CMOS CPU chip with a testable cache architecture," in Digest of Technical Papers. ISSCC, pp. 86 - 87, 24-26 February 1993.
- [1_61] Braceras, G.; Frederick, T.; Hall, S.; Koch, G.; McDonald, R.; Purvee, R.; Ross, R.; "A 200 MHz internal/66 MHz external 64 kB Embedded virtual three-port cache SRAM," in Digest of Technical Papers. ISSCC, pp. 262 - 263, 16-18 February 1994.
- [1_62] Matsuura, T.; Yano, K.; Hiraki, M.; Sasaki, Y.; Miyamoto, M.; Ishii, T.; Nagai, R.; Nishida, T.; Seki, K.; Imaizumi, E.; Anbo, T.; Sumi, N.; Rikino, K.; "1.2 V mixed analog/digital circuits using 0.3 μ m

- CMOS LSI technology,” in Digest of Technical Papers. ISSCC, pp. 250 - 251, 16–18 February 1994.
- [1_63] Yamashita, N.; Kimura, T.; Fujita, Y.; Aimoto, Y.; Manabe, T.; Okazaki, S.; Nakamura, K.; Yamashina, M.; “A 3.84 GIPS integrated memory array processor LSI with 64 processing elements and 2 Mb SRAM,” in Digest of Technical Papers. ISSCC, pp. 260 - 261, 16–18 February 1994.
- [1_64] Nakamura, K.; Kuhara, S.; Kimura, T.; Takada, M.; Suzuki, H.; Yoshida, H.; Yamazaki, T.; “A 220 MHz pipelined 16 Mb BiCMOS SRAM with PLL proportional self-timing generator,” in Digest of Technical Papers. ISSCC, pp. 258 - 259, 16–18 February 1994.
- [1_65] Ishibashi, K.; Komiyajī, K.; Toyoshima, H.; Minami, M.; Ooki, N.; Ishida, H.; Yamanaka, T.; Nagano, F.; Nishida, T.; “A 300 MHz 4-Mb wave-pipeline CMOS SRAM using a multi-phase PLL,” in Digest of Technical Papers. ISSCC, pp. 308 - 309, 15–17 February 1995.
- [1_66] Izumikawa, M.; Igura, H.; Furuta, K.; Ito, H.; Wakabayashi, H.; Nakaĵima, K.; Mogami, T.; Horiuchi, T.; Yamashina, M.; “A 0.9 V 100 MHz 4 mW 2 mm² 16 b DSP core,” in Digest of Technical Papers. ISSCC, pp. 84 - 85, 15–17 February 1995.
- [1_67] Okamura, H.; Toyoshima, H.; Takeda, K.; Oguri, T.; Nakamura, S.; Takada, M.; Imai, K.; Kinoshita, Y.; Yoshida, H.; Yamazaki, T.; “A 1 ns, 1 W, 2.5 V, 32 Kb NTL-CMOS SRAM macro using a memory cell with p-channel access transistors,” in Digest of Technical Papers. ISSCC, pp. 306 - 307, 15–17 February 1995.
- [1_68] Kushiya, N.; Tan, C.; Clark, R.; Lin, J.; Perner, F.; Martin, L.; Leonard, M.; Coussens, G.; Cham, K.; Chiu, K.; “A 295 MHz CMOS 1 M (x 256) Embedded SRAM using bi-directional read/write shared sense amps and self-timed pulsed word-line drivers,” in Digest of Technical Papers. ISSCC, pp. 304 - 305, 15–17 February 1995.
- [1_69] Pilo, H.; Lamphier, S.; Towler, F.; Hee, R.; “A 300 MHz, 3.3 V 1 Mb SRAM fabricated in a 0.5 μ m CMOS process,” in Digest of Technical Papers. ISSCC, pp. 148 - 149, 8–10 February 1996.
- [1_70] Kuhara, S.; Toyoshima, H.; Takeda, K.; Nakamura, K.; Okamura, H.; Takada, M.; Suzuki, H.; Yoshida, H.; Yamazaki, T.; “A 6 ns 1.5 V 4 Mb BiCMOS SRAM,” in Digest of Technical Papers. ISSCC, pp. 144 - 145, 8–10 February 1996.
- [1_71] Suzuki, A.; Kobayashi, T.; Hamano, T.; Hatada, H.; Kawasumi, A.; Matsuoka, F.; Ishimaru, K.; Takahashi, M.; Nishigohri, M.; Okayama, Y.; Unno, Y.; Kakumu, M.; Tsujimoto, J.; “A 400 MHz 4.5 Mb synchronous BiCMOS SRAM with alternating bit-line loads,” in Digest of Technical Papers. ISSCC, pp. 146 - 147, 8–10 February 1996.
- [1_72] DiMarco, D.; Balmer, M.; Freeman, C.; Hose, K.; Miller, J.L.; Riggs, E.; “A 200 MHz 256 kB second level cache with 1.6 GB/s data bandwidth,” in Digest of Technical Papers. ISSCC, pp. 158 - 159,

8-10 February 1996.

- [1_73] Furumochi, K.; Shimizu, H.; Fujita, M.; Akita, T.; Izawa, T.; Katsube, M.; Aoyama, K.; Kawamura, S.; "A 500 MHz 288 kb CMOS SRAM macro for on-chip cache," in Digest of Technical Papers. ISSCC, pp. 156 - 157, 8-10 February 1996.
- [1_74] Nakamura, K.; Takeda, K.; Toyoshima, H.; Noda, K.; Ohkubo, H.; Uchida, T.; Shimizu, T.; Itani, T.; Tokashiki, K.; Kishimoto, K.; "A 500 MHz 4 Mb CMOS pipeline-burst cache SRAM with point-to-point noise reduction coding I/O," in Digest of Technical Papers. ISSCC, pp. 406 - 407, 6-8 February 1997.
- [1_75] Braceras, G.; Evans, D.; Sousa, J.; Conner, J.; "A 350 MHz 3.3 V 4 Mb SRAM fabricated in a 0.3 μ m CMOS process," in Digest of Technical Papers. ISSCC, pp. 404 - 405, 6-8 February 1997.
- [1_76] Suzuki, T.; Higeta, K.; Fujimura, Y.; Nambu, H.; Yamagata, R.; Yamaguchi, K.; "Synonym hit RAM; a 500 MHz 1.5 ns CMOS SRAM macro with 576 b parallel comparison and parity check functions," in Digest of Technical Papers. ISSCC, pp. 348 - 349, 5-7 February 1998.
- [1_77] Sato, H.; Nagaoka, H.; Honda, H.; Maki, Y.; Wada, T.; Arita, Y.; Tsutsumi, K.; Yamada, M.; "A 3.6 mW 1.4 V SRAM with non-boostered, vertical bipolar bitline contact memory cell," in Digest of Technical Papers. ISSCC, pp. 352 - 353, 5-7 February 1998.
- [1_78] Mori, T.; Amrutur, B.; Mai, K.; Horowitz, M.; Fukushi, I.; Izawa, T.; Mitarai, S.; "A 1 V 0.9 mW at 100 MHz 2 k x 16 b SRAM utilizing a half-swing pulsed-decoder and write-bus architecture in 0.25 μ m dual-Vt CMOS," in Digest of Technical Papers. ISSCC, pp. 354 - 355, 5-7 February 1998.
- [1_79] Nambu, H.; Kanetani, K.; Yamasaki, K.; Higeta, K.; Usami, M.; Kusunoki, T.; Yamaguchi, K.; Homma, N.; "A 1.8 ns access, 550 MHz 4.5 Mb CMOS SRAM," in Digest of Technical Papers. ISSCC, pp. 360 - 361, 5-7 February 1998.
- [1_80] Park, H.-C.; Yang, S.-K.; Jung, M.-C.; Kang, T.-G.; Kim, S.-C.; Sohn, K.-M.; Bae, D.-G.; Kim, S.-S.; Kim, K.-H.; Sohn, B.-S.; Kim, H.-S.; Byun, H.-G.; Shin, Y.-S.; Lim, H.-K.; "A 833 Mb/s 2.5 V 4 Mb double data rate SRAM," in Digest of Technical Papers. ISSCC, pp. 356 - 357, 5-7 February 1998.
- [1_81] Bateman, B.; Freeman, C.; Halbert, J.; Hose, K.; Petrie, G.; Reese, E.; "A 450 MHz 512 kB second-level cache with a 3.6 GB/s data band," in Digest of Technical Papers. ISSCC, pp. 358 - 359, 5-7 February 1998.
- [1_82] Shimizu, H.; Ijitsu, K.; Akiyoshi, H.; Aoyama, K.; Takatsuka, H.; Watanabe, K.; Nanjo, R.; Takao, Y.; "A 1.4 ns access 700 MHz 288 kb SRAM macro with expandable architecture," in Digest of Technical Papers. ISSCC, pp. 190 - 191, 15-17 February 1999.
- [1_83] Cangsang Zhao; Bhattacharya, U.; Denham, M.; Kolousek, J.; Yi Lu; Yong-Gee Ng; Nintunze, N.;

- Sarkez, K.; Varadarajan, H.; "An 18 Mb, 12.3 GB/s CMOS pipeline-burst cache SRAM with 1.54 Gb/s/pin," in Digest of Technical Papers. ISSCC, pp. 200 - 201, 15-17 February 1999.
- [1_84] Braceras, G.; Roberts, A.; Conner, J.; Wistort, R.; Frederick, T.; Robillard, M.; Hall, S.; Burns, S.; Graf, M.; "A 940 MHz data rate 8 Mb CMOS SRAM," in Digest of Technical Papers. ISSCC, pp. 198 - 199, 15-17 February 1999.
- [1_85] Wada, T.; Ohbayashi, S.; Sato, H.; Kozaru, K.; Okamoto, Y.; Higashide, Y.; Shimizu, T.; Maki, Y.; Morimoto, R.; Otoi, H.; Koga, T.; Honda, H.; Taniguchi, M.; Arita, Y.; Shiomi, T.; "A 500 MHz pipelined burst SRAM with improved SER immunity," in Digest of Technical Papers. ISSCC, pp. 196 - 197, 15-17 February 1999.
- [1_86] Pilo, H.; Allen, A.; Covino, J.; Hansen, P.; Lamphier, S.; Murphy, C.; Traver, T.; Yee, P.; "An 833 MHz 1.5 W 18 Mb CMOS SRAM with 1.67 Gb/s/pin," in Digest of Technical Papers. ISSCC, pp. 266 - 267, 7-9 February 2000.
- [1_87] Takeda, K.; Aimoto, Y.; Nakamura, N.; Toyoshima, H.; Iwasaki, T.; Noda, K.; Matsui, K.; Itoh, S.; Masuoka, S.; Horiuchi, T.; Nakagawa, A.; Shimogawa, K.; Takahashi, H.; "A 16 Mb 400 MHz loadless CMOS four-transistor SRAM macro" in Digest of Technical Papers. ISSCC, pp. 264 - 265, 7-9 February 2000.
- [1_88] Hill, J.M.; Lachman, J.; "A 900 MHz 2.25 MB cache with on-chip CPU now in Cu SOI," in Digest of Technical Papers. ISSCC, pp. 176 - 177, 5-7 February 2001.
- [1_89] Kanda, K.; Nguyen Duc Mihn; Kawaguchi, H.; Sakurai, T.; "Abnormal leakage suppression (ALS) scheme for low standby current SRAMs," in Digest of Technical Papers. ISSCC, pp. 174 - 175, 5-7 February 2001.
- [1_90] Wicht, B.; Schmitt-Landseidel, D.; Paul, S.; Sanders, A.; "SRAM current-sense amplifier with fully-compensated bit line multiplexer," in Digest of Technical Papers. ISSCC, pp. 172 - 173, 5-7 February 2001.
- [1_91] Osada, K.; Jin-Uk Shin; Khan, M.; Yu-De Liou; Wang, K.; Shoji, K.; Kuroda, K.; Ikeda, S.; Ishibashi, K.; "Universal-Vdd 0.65-2.0V 32 kB cache using voltage-adapted timing-generation scheme and a lithographical-symmetric cell," in Digest of Technical Papers. ISSCC, pp. 168 - 169, 5-7 February 2001.
- [1_92] Weiss, D.; Wu, J.J.; Chin, V.; "The on-chip 3 MB subarray based 3rd level cache on an Itanium microprocessor," in Digest of Technical Papers. ISSCC, Vol.1, pp. 112 - 113, 3-7 February 2002.
- [1_93] Wicht, B.; Larguier, J.-Y.; Schmitt-Landsiedel, D.; "A 1.5V 1.7ns 4k x 32 SRAM with a fully-differential auto-power-down current sense amplifier," in Digest of Technical Papers. ISSCC, Vol.1,

pp. 462 - 463, 9-13 February 2003.

- [1_94] Uk-Rae Cho; Tae-Hyoung Kim; Yong-Jin Yoon; Jong-Cheol Lee; Dae-Gi Bae; Nam-Seog Kim; Kang-Young Kim; Young-Jae Son; Jeong-Suk Yang; Kwon-Il Sohn; Sung-Tae Kim; In-Yeol Lee; Kwang-Jin Lee; Tae-Gyoung Kang; Su-Chul Kim; Kee-Sik Ahn; Hyun-Geun Byun; "A 1.2 V 1.5 Gb/s 72 Mb DDR3 SRAM," in Digest of Technical Papers. ISSCC, Vol.1, pp. 300 - 301, 9-13 February 2003.
- [1_95] Osada, K.; Saitoh, Y.; Ibe, E.; Ishibashi, K.; "16.7 fA/cell tunnel-leakage-suppressed 16 Mb SRAM for handling cosmic-ray-induced multi-errors," in Digest of Technical Papers. ISSCC, Vol.1, pp. 302 - 303, 9-13 February 2003.
- [1_96] Akiyoshi, H.; Shimizu, H.; Matsumoto, T.; Kobayashi, K.; Sambonsugi, Y.; "A 320ps access, 3GHz cycle, 144Kb SRAM macro in 90nm CMOS technology using an all-stage reset control signal generator," in Digest of Technical Papers. ISSCC, Vol.1, pp. 460 - 461, 9-13 February 2003.
- [1_97] Chang, J.; Shoemaker, J.; Haque, M.; Huang, M.; Truong, K.; Karim, M.; Chiu, S.; Leong, G.; Desai, K.; Goe, R.; Kulkarni, S.; Rao, A.; Hannoun, D.; Rusu, S.; "A 0.13 μ m triple-Vt 9MB third level on-die cache for the Itanium®2 processor," in Digest of Technical Papers. ISSCC, Vol.1, pp. 496 - 497, 15-19 February 2004.
- [1_98] Takeda, K.; Hagihara, Y.; Aimoto, Y.; Nomura, M.; Uchida, R.; Nakazawa, Y.; Hirota, Y.; Yoshida, S.; Saito, T.; "Per-bit sense amplifier scheme for 1GHz SRAM macro in sub-100nm CMOS technology," in Digest of Technical Papers. ISSCC, Vol.1, pp. 502 - 503, 15-19 February 2004.
- [1_99] Yamaoka, M.; Shinozaki, Y.; Maeda, N.; Shimazaki, Y.; Kato, K.; Shimada, S.; Yanagisawa, K.; Osadal, K.; "A 300MHz 25 μ A/Mb leakage on-chip SRAM module featuring process-variation immunity and low-leakage-active mode for mobile-phone application processor," in Digest of Technical Papers. ISSCC, Vol.1, pp. 494 - 495, 15-19 February 2004.
- [1_100] Suzuki, T.; Yamagami, Y.; Hatanaka, I.; Shibayama, A.; Akamatsu, H.; Yamauchi, H.; "0.3 to 1.5V Embedded SRAM with device-fluctuation-tolerant access-control and cosmic-ray-immune hidden-ECC scheme," in Digest of Technical Papers. ISSCC, Vol.1, pp. 484 - 485, 6-10 February 2005.
- [1_101] Kim, C.H.; Jae-Joon Kim; Ik-Joon Chang; Roy, K.; "PVT-aware leakage reduction for on-die caches with improved read stability," in Digest of Technical Papers. ISSCC, Vol.1, pp. 482 - 483, 6-10 February 2005.
- [1_102] Zhang, K.; Bhattacharya, U.; Chen, Z.; Hamzaoglu, F.; Murray, D.; Vallepalli, N.; Wang, Y.; Zheng, B.; Bohr, M.; "A 3-GHz 70MB SRAM in 65nm CMOS technology with integrated column-based dynamic power supply," in Digest of Technical Papers. ISSCC, Vol.1, pp. 474 - 475, 6-10 February 2005.

- [1_103] Dhong, S.H.; Takahashi, O.; White, M.; Asano, T.; Nakazato, T.; Silberman, J.; Kawasumi, A.; Yoshihara, H.; “A 4.8GHz fully pipelined Embedded SRAM in the streaming processor of a CELL processor,” in Digest of Technical Papers. ISSCC, Vol.1, pp. 486 - 487, 6–10 February 2005.
- [1_104] Yamaoka, M.; Maeda, N.; Shinozaki, Y.; Shimazaki, Y.; Nii, K.; Shimada, S.; Yanagisawa, K.; Kawahara, T.; “Low-power Embedded SRAM modules with expanded margins for writing,” in Digest of Technical Papers. ISSCC, Vol.1, pp. 480 - 481, 6–10 February 2005.
- [1_105] Takeda, K.; Hagihara, Y.; Aimoto, Y.; Nomura, M.; Nakazawa, Y.; Ishii, T.; Kobatake, H.; “A read-static-noise-margin-free SRAM cell for low-V_{dd} and high-speed applications,” in Digest of Technical Papers. ISSCC, Vol.1, pp. 478 - 479, 6–10 February 2005.
- [1_106] Suh, Y.H.; Nam, H.Y.; Kang, S.B.; Choi, B.G.; Mo, H.S.; Han, G.H.; Shin, H.K.; Jung, W.R.; Lim, H.; Kwak, C.K.; Byun, H.G.; “A 256Mb synchronous-burst DDR SRAM with hierarchical bit-line architecture for mobile applications,” in Digest of Technical Papers. ISSCC, Vol.1, pp. 476 - 477, 6–10 February 2005.
- [1_107] Khellah, M.; Nam Sung Kim; Howard, J.; Ruhl, G.; Sunna, M.; Yibin Ye; Tschanz, J.; Somasekhar, D.; Borkar, N.; Hamzaoglu, F.; Pandya, G.; Farhang, A.; Zhang, K.; Vivek De; “A 4.2GHz 0.3mm² 256kb Dual-V_{cc} SRAM Building Block in 65nm CMOS,” in Digest of Technical Papers. ISSCC, pp. 2572 - 2581, 6–9 February 2006.
- [1_108] Chih Tseng; Jae-Hyeong Kim; Chen, S.; Mu-Hsiang Huang; Chungji Lu; Hashiguchi, I.; Miyazima, Y.; Ichihashi, M.; Maki, K.; Nakashima, K.; Chuang, P.; “A 72Mb Separate-I/O Synchronous SRAM Chip with 504Gb/s Data Bandwidth,” in Digest of Technical Papers. ISSCC, pp. 2582 - 2591, 6–9 February 2006.
- [1_109] Calhoun, B.H.; Chandrakasan, A.; “A 256kb Sub-threshold SRAM in 65nm CMOS,” in Digest of Technical Papers. ISSCC, pp. 2592 - 2601, 6–9 February 2006.
- [1_110] Takeda, K.; Ikeda, H.; Hagihara, Y.; Nomura, M.; Kobatake, H.; “Redefinition of Write Margin for Next-Generation SRAM and Write-Margin Monitoring Circuit,” in Digest of Technical Papers. ISSCC, pp. 2602 - 2611, 6–9 February 2006.
- [1_111] B.; Chopra, R.; Seong-Ook Jung; Chiming Show; Hyun-Jin Cho; “Thyristor-Based Volatile Memory in Nano-Scale CMOS,” in Digest of Technical Papers. ISSCC, pp. 2612 - 2621, 6–9 February 2006.
- [1_112] Pille, J.; Adams, C.; Christensen, T.; Cottier, S.; Ehrenreich, S.; Kono, T.; Nelson, D.; Takahashi, O.; Tokito, S.; Torreiter, O.; Wagner, O.; Wendel, D.; “Implementation of the CELL Broadband Engine in a 65nm SOI Technology Featuring Dual-Supply SRAM Arrays Supporting 6GHz at 1.3V,” in Digest of

- Technical Papers. ISSCC, pp. 322 - 323, 11-15 February 2007.
- [1_113] Wang, Y.; Ahn, H.; Bhattacharya, U.; Coan, T.; Hamzaoglu, F.; Hafez, W.; Jan, C.-H.; Kolar, R.; Kulkarni, S.; Lin, J.; Ng, Y.; Post, I.; Wel, L.; Zhang, Y.; Zhang, K.; Bohr, M.; “A 1.1GHz 12 μ A/Mb-Leakage SRAM Design in 65nm Ultra-Low-Power CMOS with Integrated Leakage Reduction for Mobile Applications,” in Digest of Technical Papers. ISSCC, pp. 324 - 325, 11-15 February 2007.
- [1_114] Yabuuchi, M.; Nii, K.; Tsukamoto, Y.; Ohbayashi, S.; Imaoka, S.; Makino, H.; Yamagami, Y.; Ishikura, S.; Terano, T.; Oashi, T.; Hashimoto, K.; Sebe, A.; Okazaki, G.; Satomi, K.; Akamatsu, H.; Shinohara, H.; “A 45nm Low-Standby-Power Embedded SRAM with Improved Immunity Against Process and Temperature Variations,” in Digest of Technical Papers. ISSCC, pp. 326 - 327, 11-15 February 2007.
- [1_115] Naveen Verma; Chandrakasan, A.P.; “A 65nm 8T Sub-Vt SRAM Employing Sense-Amplifier Redundancy,” in Digest of Technical Papers. ISSCC, pp. 328 - 329, 11-15 February 2007.
- [1_116] Tae-Hyoung Kim; Liu, J.; Keane, J.; Kim, C.H.; “A High-Density Subthreshold SRAM with Data-Independent Bitline Leakage and Virtual Ground Replica Scheme,” in Digest of Technical Papers. ISSCC, pp. 330 - 331, 11-15 February 2007.
- [1_117] Bo Zhai; Blaauw, D.; Sylvester, D.; Hanson, S.; “A Sub-200mV 6T SRAM in 0.13 μ m CMOS,” in Digest of Technical Papers. ISSCC, pp. 332 - 333, 11-15 February 2007.
- [1_118] Ohbayashi, S.; Yabuuchi, M.; Kono, K.; Oda, Y.; Imaoka, S.; Usui, K.; Yonezu, T.; Iwamoto, T.; Nii, K.; Tsukamoto, Y.; Arakawa, M.; Uchida, T.; Okada, M.; Ishii, A.; Makino, H.; Ishibashi, K.; “A 65nm Embedded SRAM with Wafer-Level Burn-In Mode, Leak-Bit Redundancy and E-Trim Fuse for Known Good Die,” in Digest of Technical Papers. ISSCC, pp. 488 - 489, 11-15 February 2007.
- [1_119] Higuchi, H.; Kitsukawa, G.; Ikeda, T.; Nishio, Y.; Sasaki, N.; Ogiue, K.; “Performance and structures of scaled-down bipolar devices merged with CMOSFETs,” in International Electron Devices Meeting (IEDM), Technical Digest, Vol. 30, pp. 694 - 697, 1984.
- [1_120] 増田郁郎, 西尾洋二, 池田隆英, ”バイポーラCMOS複合による高速論理回路,” 信学論 (C), Vol. J67-C, No.12, pp.999-1005, 1984-12.
- [1_121] Alpert, D.; Avnon, D.; “Architecture of the Pentium microprocessor,” Micro, IEEE, VOL. 13, No.3, June 1993 pp. 11 - 21, June 1993.
- [1_122] Ogiue, K.; Odaka, M.; Miyaoka, S.; Masuda, I.; Ikeda, T.; Tonomura, K.; Ohba, T.; “A 13ns/500mW 64Kb ECL RAM,” in Digest of Technical Papers. ISSCC, pp. 212 - 213, February 1986.
- [1_123] Ogiue, K.; Odaka, M.; Masuda, I.; Ikeda, T.; Yasui, T.; Suzuki, Y.; Uchida, H.; “15ns 250mW 641Cstatic RAM,” in IEEE International Conference on Computer Design, pp. 17-20, October 1985.

- [1_124] 山内経則, 谷沢 哲, 岡島義憲, 稲吉勝幸, ”ハイ-CMOS、3.3V電源で、CMOS比2~3倍の高速性能を維持,” NIKKEI MICRODEVICES, Vol. J67-C, No.12, pp.65-69, 1988-4.
- [1_125] Nagano, T.; Shukuri, S.; Hiraki, M.; Minami, M.; Watanabe, A.; Nishida, T.; “What can replace BiCMOS at lower supply voltage regime?,” in International Electron Devices Meeting (IEDM), 1992 Technical Digest, pp. 393 - 396, 13-16 December 1992.
- [1_126] Fletcher, T.D.; “Microprocessor technology trends,” in International Electron Devices Meeting (IEDM), 1994 Technical Digest, pp. 269 - 271, 11-14 December 1994.
- [1_127] Ishimaru, K.; Gojohbori, H.; Koike, H.; Unno, Y.; Sai, M.; Matsuoka, F.; Kakumu, M.; “Trench isolation technology with 1 μ m depth n- and p-wells for a full-CMOS SRAM cell with a 0.4 μ m n+/p+ spacing,” in Symposium VLSI Technology, 1994. Digest of Technical Papers, pp. 97 - 98, 7-9 June 1994.
- [1_128] Koike, H.; Unno, Y.; Ishimaru, K.; Matsuoka, F.; Kakumu, M.; “Dual polycide gate and dual buried contact technologies achieving a 0.4 μ m nMOS/pMOS spacing for a 7.65 μ m² full-CMOS SRAM cell,” in International Electron Devices Meeting (IEDM), 1994 Technical Digest, pp. 855 -858, 11-14 December 1994.
- [1_129] Minami, M.; Ohki, N.; Ishida, H.; Yamanaka, T.; Ishibashi, K.; Shimizu, A.; Kure, T.; Nishida, T.; Nagano, T.; “A 6.93- μ m² n-gate full CMOS SRAM cell technology with high-performance 1.8-V dual-gate CMOS for peripheral circuits,” in Symposium VLSI Technology, 1995. Digest of Technical Papers, pp. 13 - 14, 6-8 June 1995.
- [1_130] Inohara, M.; Oyamatsu, H.; Unno, Y.; Fukaura, Y.; Goto, S.; Egi, Y.; Kinugawa, M.; “Highly scalable and fully logic compatible SRAM cell technology with metal damascene process and W local interconnect,” in Symposium VLSI Technology, 1998. Digest of Technical Papers, pp. 64 - 65, 9-11 June 1998.
- [1_131] Ohbayashi, S.; Wada, T.; Hirose, T.; Anami, K.; “A Study on Fanout Optimization of SRAM Decoder with a Line Capacitance,” IEICE TRANS. ELECTRON., VOL.E73, No.11, pp.1855-1857, November 1990.
- [1_132] 大林 茂樹, 塩見徹, 松尾龍一, 本田裕己, 石垣佳之, 宇賀公治, 石田雅宏, 河野芳雄, 角正, “ビット線負荷交互配置構成を用いた 5ns 32Kx8/x9 Bi-CMOS TTL SRAM,” 信学論 (C-II), Vol. J76-C-II, No.7, pp.511-520, 1993-7.
- [1_133] Honda, H.; Uga, K.; Ishida, M.; Ishigaki, Y.; Takahashi, J.; Shiomi, T.; Ohbayashi, S.; Kohno, Y.; “A high performance 0.6 μ m BiCMOS SRAM technology with emitter-base self-aligned bipolar transistors and retrograde well for MOS transistors,” in Symposium VLSI Technology, 1992. Digest of

Technical Papers, pp. 34 - 35, 2-4 June 1992.

- [1_134] Ishigaki, Y.; Kuriyama, H.; Honda, H.; Kohno, Y.; Tsuchimoto, J.; Sakamori, S.; Kinoshita, A.; Hirose, T.; Ohbayashi, S.; Ashida, M.; Matsuo, H.; Miyoshi, H.; “Low parasitic resistance technologies with NES-SAC and SWT-CVD process for low supply voltage, high speed BiCMOS SRAMs,” in Symposium VLSI Technology, 1994. Digest of Technical Papers, pp. 99 - 100, 7-9 June 1994.
- [1_135] 広瀬愛彦, 大林 茂樹, 藤野良幸, 早坂 隆, 細金 明, 石垣佳之, 栗山祐忠, 牧 幸生, 本田 裕己, 西村安正, “低電圧マージンを拡大した1MビットBiCMOS TTL SRAM,” 電子情報通信学会 技術研究報告, Vol. 93, No. 349, SDM93-151, pp. 85-92, November 1993.
- [1_136] Kono, K.; Yonezu, T.; Ohbayashi, S.; Arakawa, M.; Asano, Y.; Uchida, T.; Iwamoto, T.; “A Crackless and High Reliable Cu eTrim Fuse using the Pinch Effect for 65nm,” Advanced Metallization Conference 2006 (AMC 2006), 2007 Materials Research Society, pp.671-676, 2007.

第2章 SRAMの高速化技術

2.1 序

Embedded SRAMは、キャッシュ用途では、MPUの高速化に追従して高速動作が必要とされる。また、MPUは高速化とともに、スケーリング則に従って、低電圧化も、様々な半導体のうちでも真っ先に進められる。Embedded SRAMはこうしたMPUの動向にしたがって、高速化とともに低電圧化にも対応が必要である。

2008年現在の先端SoCプロセスは、45nm、65nmノードであり、その電源電圧は1.2～1.0V程度である。また、現在のマチュアなSoCプロセスとして生産されているのは、ほとんど250nmノード以下であり、その電源電圧は2.5V以下とBiCMOS論理ゲートの高速性能がCMOS論理ゲートに対して優位性がない領域[2_1]-[2_3]であるため、BiCMOS SRAMあるいは、BiCMOS SoCは、現在では、学会発表だけでなく製品もほとんど姿を消してしまっている。

しかし、ECL-IOのEmbedded BiCMOS SRAMが大型コンピュータ用途に89年[2_4]と93年[2_5]と95年[2_6]にISSCCにおいて発表され、Intelが0.8 μ mプロセス使用(論文で93年に発表)の電源電圧5VのPentium第1世代[2_7]から、0.35 μ mプロセス使用(論文で96年に発表)の電源電圧3.3VのPentium第3世代(P54CS: 133MHz - 200MHz) [2_8]まで、BiCMOSプロセスを使用して製品を大量に出荷し、Intel以外でもTTL-IO or CMOS-IOのBiCMOS Embedded SRAMを93年[2_9]と94年[2_10]にISSCCにて発表していることを考えると、電源電圧が5V～3V時代のSRAMやロジックLSIの高速化にBiCMOS技術が大きく貢献していることは間違いない。

本章では、BiCMOS SRAMの回路技術、プロセス技術の高速化手法、低電圧化手法を中心に筆者が提案する技術を説明する。

2.2 配線容量を考慮したSRAMデコーダの ファンアウトの最適化手法 [2_48], [2_49]

(1)はじめに

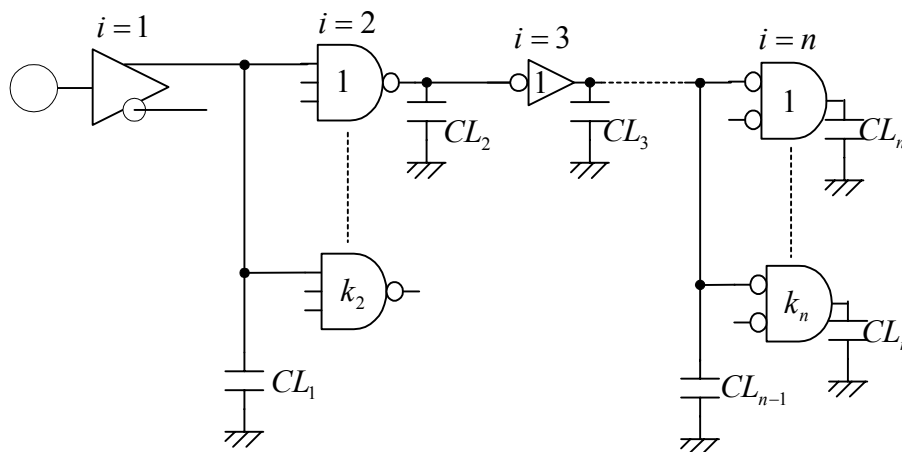
BiCMOS SRAMに限らず、SRAMのアクセスタイムのうち、インプットバッファからワード線までのデコード経路の遅延時間は比較的大きな割合を占めている。例えば、64Kx1 Bi-CMOS ECL RAM [2_11]の場合にはその割合は約60%であり、高速4Mbit CMOS SRAM [2_12]の場合には約40%である。従って、SRAMの高速化にとって、デコード経路の

設計は非常に重要であるといえる。

デコード経路の設計項目の代表的なものとして、デコード経路の全体構成をどうするかということと、全体構成の決定されたデコーダの各段のファンアウトをどう決定するかということが挙げられる。SRAMの場合、前者に対しては、分割ワード線構成[2_13]、変形分割ワード線構成[2_14]、T字型ビット線構成[2_15]や階層的分割ワード線構成[2_12]といった手法が提案されている。また、後者に対しては、デコード経路はカスケード接続されたインバータ列とみなせるため、CMOSに対しては各段のファンアウトを自然対数 e に設定する「 e 倍の定理」[2_16]、あるいは、BiCMOSについては各段のファンアウトを e^2 に設定する「 e^2 倍の定理」[2_17]をデコーダ各段のファンアウトの決定に利用することが多かった。これは、いずれも、配線容量などの固定容量のない場合のファンアウト最適化手法であり、各段のファンアウトを等しく設定する等ファンアウトによる最適化手法である。しかし、配線容量等の固定容量が大きいSRAMのデコーダに、固定容量を無視したファンアウト最適化手法を用いるのは矛盾している。

そこで、1989年に固定容量を考慮し、計算機による最急降下法を用いるファンアウト最適化手法が提案された[2_18]。その手法は計算機を用いたものであるので、様々な構成を持つデコーダの各段のファンアウトを容易に最適化できる汎用性の高いものであった。しかし、この手法も万能ではなく、この手法である程度最適値に近づけた後、再度、詳細シミュレーションにより、各段のファンアウトを微調整する必要がある。

最急降下法を用いた手法では、設計者にとって得られたファンアウトがなぜ得られた



k : 並列に接続されたゲート数
CL : 固定容量

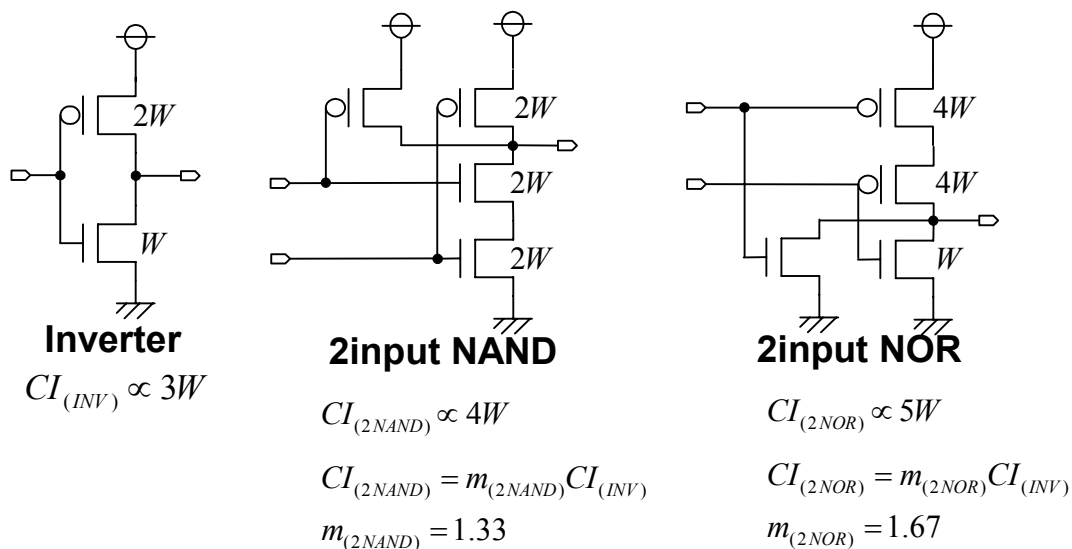
図 2-1 n 段の SRAM デコーダの一例

のか物理的イメージが掴みにくく、このファンアウトの微調整の際に、どこを微調整するべきかわかりにくいものであった。

そこで、本節では、固定容量を考慮し、しかも設計者にとって物理的イメージのつかみやすいデコーダのファンアウト最適化手法を提案する。

(2)デコーダのモデル化

n段のSRAMデコーダの一例を図2-1に示す。ここで、各ゲートの出力に接続されたゲート数をkと定義し、各ゲートの出力に接続された固定容量をCLと定義する。このCLは配線容量を意識している。



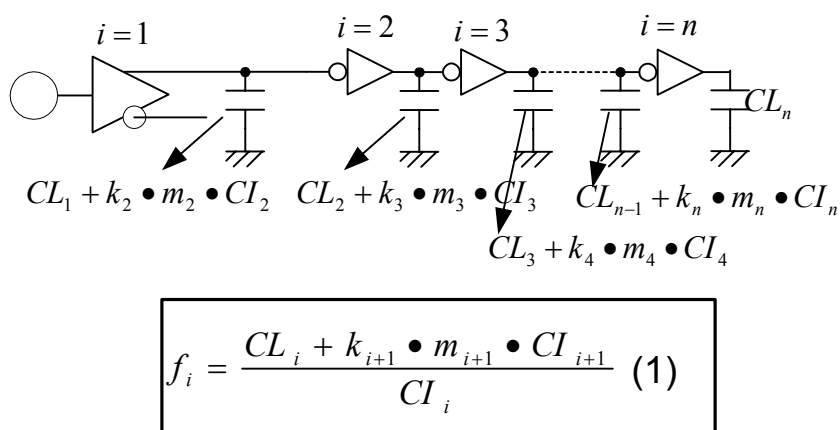
CI：入力容量, m：入力容量係数

図 2-2 同じ駆動力をもつ CMOS 論理ゲートの一例

次に、同じ駆動力を持つCMOS論理ゲートの一例を図2-2に示す。図2-2の上部に示すインバータと、同じ駆動力を持つ2入力NANDと2入力NORのゲート幅Wは大まかには図中に示した値となる。ここで、論理ゲートの入力容量をCIと定義すると、インバータの入力容量は $3W$ に比例し、2入力NANDの入力容量は $4W$ に比例し、2入力NORの入力容量は $5W$ に比例する。さらに入力容量係数mを導入し、各論理ゲートの入力容量を、同じ駆動力をもつインバータの入力容量と入力容量係数mの積で表すことにすると、2入力NANDの場合は $4/3$ となり、2入力NORの場合、mは $5/3$ となる。mの値は、ここで示したように、2入力NAND、2入力NORあるいは3入力NAND等の論理の違いや入力数により変化

する。また、BiCMOSゲートやBiNMOSゲートといった論理回路の種類あるいはMOSTランジスタのゲート長のようなプロセスの違いによっても変わってくる。

入力容量係数 m を導入すると、図2-1に示した n 段のSRAMデコーダは図2-3に示す n 段の仮想インバータ列として考えることができる。ここでいう仮想インバータとは、駆動力としては入力容量 CI の通常のインバータと同じ駆動力を有し、負荷容量としての入力容量はゼロのインバータである。すると、仮想インバータ列においては i 段目のファンアウトは図中の(1)式のように定義できる。(1)式は、 i 段目の負荷容量を、駆動するインバータの駆動力を表現する入力容量 CI_i で割ったものである。デコーダにおいては、入力初段の駆動力 CI_1 は入力バッファの回路形式により決まり、任意に変更することはできない。また、デコーダの構成を決定すると、並列ゲート数 k 、論理回路の種類によって決まる入力容量係数 m 、固定容量 CL は決まる。すなわち、最適化する際に任意に変えることができるのは、2段目から n 段目までの入力容量 CI だけといえる。



仮想インバータ
 駆動力=入力容量 CI の通常のインバータの駆動力
 入力容量=0

図 2-3 n 段の SRAM デコーダと等価な仮想インバータ列

(3)ファンアウトの最適化

図2-4にファンアウト最適化の条件式を示す。ここでは見通しのよい式を得るために、総遅延時間を最小にするという条件のみで最適化を行った。消費電力あるいはレイアウト面積といった総遅延時間以外の条件は考慮していない。(1)式は図2-3で定義した i 段目のファンアウトである。各段の遅延時間を t_p とし、無負荷時の遅延時間を τ_0 とし、遅延時間のファンアウト依存性を決定する定数を τ_1 とすると、各段の遅延時間はCMOSだけ

でなくBiNMOS、BiCMOSについても近似的に(2)式で表すことができる[2.19]。つまり、CMOS、BiNMOS、BiCMOSあるいは、プロセスの世代や電源電圧により、 τ_0 と τ_1 を求めなおせば、各世代にわたり、同じ式を使えることを意味する。総遅延時間 T_p は、(2)式の1段目から n 段目までの総和であるため、(3)式のように表せる。ここで任意に変えることができるのは、2段目から n 段目までの入力容量 CI だけであるので、総遅延時間最小の条件は(4)式で表せる。この(4)式を解くことにより(5)式が得られる。

(5)式は、 i が2から n までについて得られるので、 $n-1$ 個の(5)式の連立方程式を解くことにより、最適なファンアウトを求めることができる。

$$f_i = \frac{CL_i + k_{i+1} \cdot m_{i+1} \cdot CI_{i+1}}{CI_i} \quad (1)$$

$$tp_i = \tau_0 + \tau_1 \cdot f_i \quad (2)$$

$$Tp = n \cdot \tau_0 + \tau_1 \cdot \sum_{i=1}^n f_i \quad (3)$$

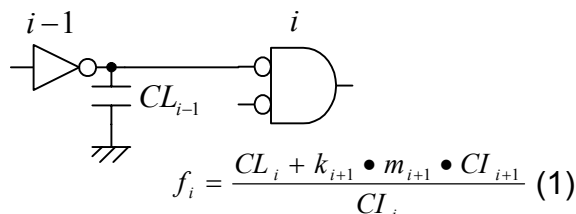
$$\frac{\partial Tp}{\partial CI_i} = \tau_1 \cdot \frac{\partial}{\partial CI_i} \cdot (f_{i-1} + f_i) = 0 \dots (2 \leq i \leq n) \quad (4)$$

$$f_{i-1} - \frac{CL_{i-1}}{CI_{i-1}} = f_i \dots (2 \leq i \leq n) \quad (5)$$

図 2-4 総遅延時間最小の条件によるファンアウトの最適化

(4)ファンアウトの最適化の物理的イメージ

$$f_{i-1} - \frac{CL_{i-1}}{CI_{i-1}} = f_i \dots (2 \leq i \leq n) \quad (5)$$



i段目のファンアウトを前段より大きくすると
 i-1段目の負荷容量大(遅延時間増加)
 i段目の負荷駆動力増加(遅延時間減少)

図 2-5 (5)式の意味

図2-4で得られた(5)式の意味について、図2-5を用いて考察する。(5)式は入力に CL_{i-1} の固定容量が接続された i 段目のゲートのファンアウトを前段より小さく設定することを意味している。 i 段目のファンアウトを小さく設定するということは、(1)式の分母である入力容量を等ファンアウトの場合より大きく設定するということである。

すなわち、 i 段目のファンアウトを前段より小さく設定すると、 $i-1$ 段目の負荷容量は大きくなり、 $i-1$ 段目の遅延時間は増加する。しかし、 i 段目の負荷駆動力が増加し i 段目の遅延時間は減少するので、総遅延時間としては等ファンアウトより小さくなる。

これは、 $i-1$ 段目の出力には固定容量がついているので、 i 段目の入力容量が大きくなったことによる $i-1$ 段目の遅延時間の増加は小さく、 i 段目の駆動力が増したことによる i 段目の遅延時間減少の方が大きいことを示している。

(5)本手法と等ファンアウトとの比較

図2-6に固定容量を持つ3段のCMOSインバータ列の遅延時間を示す。図2-6に示す遅延時間は、(5)式の連立方程式により各段のファンアウトを求め、その値を(2)式に代入することにより求めたものである。(2)式において、 τ_0 と τ_1 は、それぞれ102.1psと89.3ps

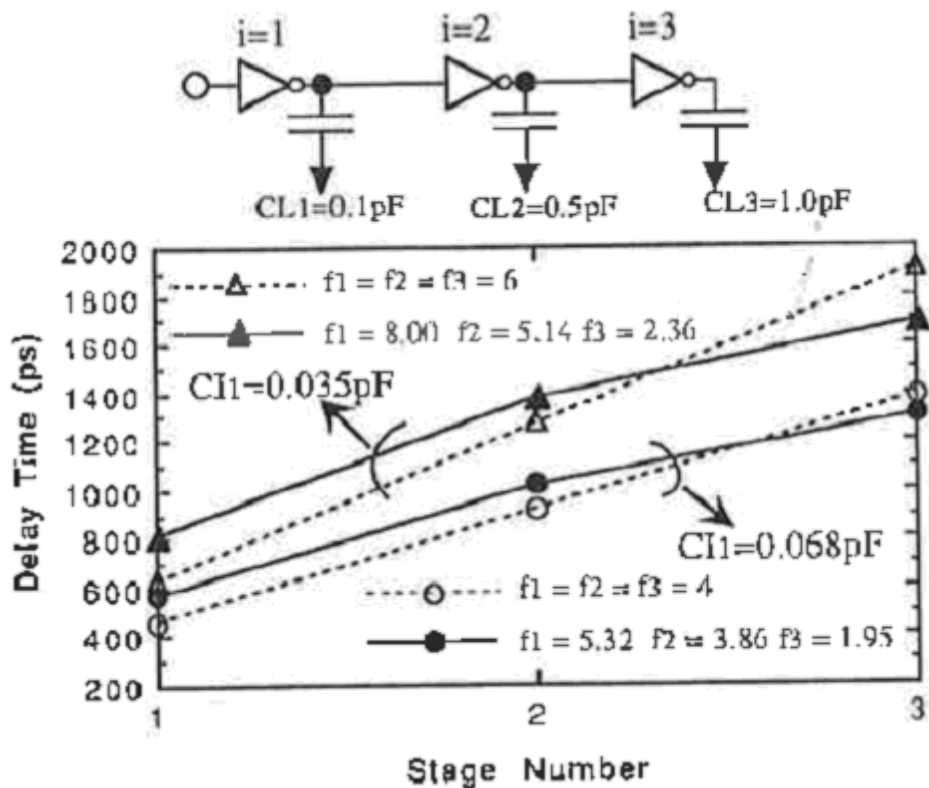


図 2-6 本手法と等ファンアウトとの比較

とした。これらは、2.4節で説明する $0.8\mu\text{m}$ 256Kbit BiCMOS ECL Self-Timed SRAMの設計に用いたSPICEパラメータによりインバータのリングオシレータのシミュレーションを行い、そのファンアウト依存性から求めたものである。図2-6において、本手法と等ファンアウトの場合の比較を行った。入力初段の容量は35fFと68fFの2つについて比較した。入力初段が68fFの時等ファンアウトのファンアウトは4となり、入力初段が35fFの時、等ファンアウトのファンアウトは6となる。いずれの場合も本手法の場合、1段目の出力の負荷容量が大きいため、等ファンアウトの場合より、1段目の遅延時間は大きい。しかし、2段目以降は負荷駆動力が本手法の方が等ファンアウトより大きいため、総遅延時間としては本手法の方が小さい。

等ファンアウトの場合、CMOSでは(2)式に示した無負荷時の遅延時間 τ_0 を無視しない時には、各段のファンアウトが4程度の時遅延時間は最小になると報告されている[2_19]。しかし、SRAMデコーダでは、デコーダの構成を決定してしまうと、入力初段の容量と各段の固定容量は決まってしまうので、等ファンアウトの場合、ファンアウトは必ずしも最適値に設定できるとは限らない。従って、等ファンアウトの場合、図2-6に示すように各段のファンアウトが4の最適値から外れて6となると、本手法と等ファンアウトとの差は広がる。

(6)まとめ

本節において、固定容量を考慮し、しかも設計者にとって物理的イメージの掴みやすいSRAMデコーダのファンアウト最適化手法を提案した。

本手法は、連立方程式を解くことにより各段のファンアウトを最適化できるものである。本手法により、各段のファンアウトの最適値は、固定容量が入力に接続された段のファンアウトを前段より小さく設定することにより得られることがわかった。本手法を用いることにより、等ファンアウト法よりも総遅延時間を短くすることが可能である。

2. 3 大容量 ECL BiCMOS SRAM の高速化技術 [2_50]-[2_52]

はじめに

第1章で述べたとおり、高集積・高速化に対し、BiCMOSデバイスがバイポーラの高速性とCMOSの低消費電力性・高集積性を兼ね備えたデバイスとして電源電圧が5Vから3Vの時代に注目を集めていた。90年ごろ、メモリセルをCMOS SRAMと同じ構成にしたBiCMOS SRAMの高集積化がCMOS SRAMと同程度まで進み、ISSCC'89, '90において1MbitのECL SRAMが報告されている[2_20]-[2_23]。しかし、高集積・高速SRAMには、テスト時間や歩留などの技術的問題点が残されていた。これらの問題点を解決するために、ビット構成可変方式[2_24]が提案され、また、リダンダンシ技術が広く使用されている。しかし、ビット構成可変方式はセンスバスのスイッチを必要とし、センス段の増加を伴うのでアクセスタイムの性能低下をもたらす。また、歩留を改善するためにリダンダンシ技術が使用されているが、不良ビットを置換するためのアドレスプログラミングがビット容量の増大とともに益々複雑化している。本節では、アクセスタイムの性能低下をもたらすことのないビット構成可変方式とプログラミングの簡単なシフトリダンダンシ方式[2_25]を用いた1Mbit BiCMOS ECL RAMについて述べる。

2. 3. 1 高速 X1/X4 切換バイポーラ・センスアンプ

(1)チップアーキテクチャ

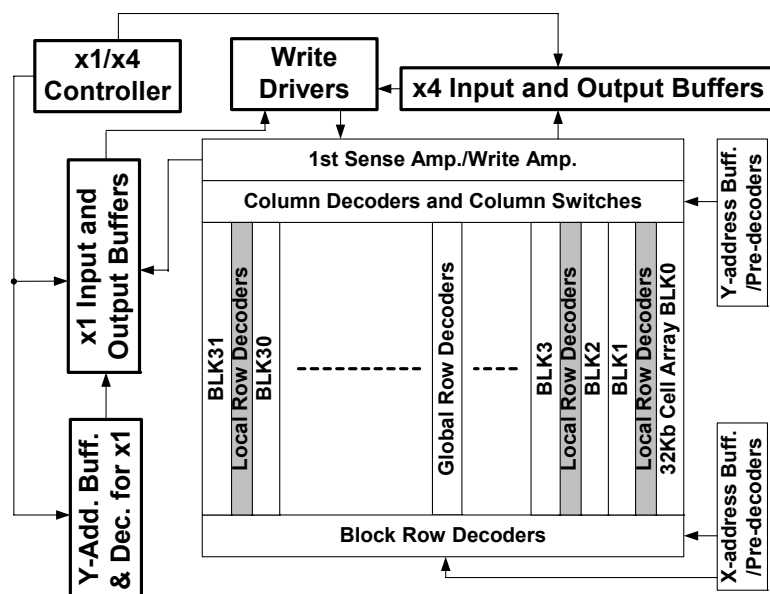


図 2-7 チップアーキテクチャ

本1Mbit BiCMOS ECL RAMのチップアーキテクチャを図2-7に示す。高速・低消費電力を達成するために、変形分割ワード線(変形DWL)構成[2_24]を用いている。1Mbitのメモリアレイは、32ブロックに分割されている。それぞれのブロックは512rows x 64columnsからなっており、このほかに、1ブロック毎に、4row/2columnsのリダンダシメモリを含んでいる。変形DWLアーキテクチャを構成するグローバルワードデコーダはメモリアレイの中央に配置されており、第2(上層)アルミからなるグローバルワード線の長さを短くし、抵抗・容量を低減させている。グローバルワード線は4rowsおきに配置されている。

(2)ビット構成制御回路

X1モードでのテスト時間を短縮するために、X1モードを電氣的にX4モードにする方法がCMOS SRAMでは提案されている[2_24]が、スイッチとしてトランスマッションゲートを使用しており、そこでアクセスタイムを遅らせている。本SRAMでは、ビット構成切換の電氣的制御回路として図2-8に示す回路を用いた。ビット構成を制御するX1/X4コントローラは相補の信号を出力し、X1モードとX4モードを切換え、また、未使用のECL回路の電流を遮断する。X1モードではX4モードに比べ、アドレスが2本多く必要である。X1モード時に多くなるその2本のアドレス信号をデコードした信号はX1モードのデータ入力マルチプレクサと出力バッファに供給される。X1モードのデータ入力信号は4ビットに多重化され、それぞれの信号はX4モードのデータ入力とともにORゲートに入力される。メインセンスアンプの4本の出力は1本に出力にまとめられている。

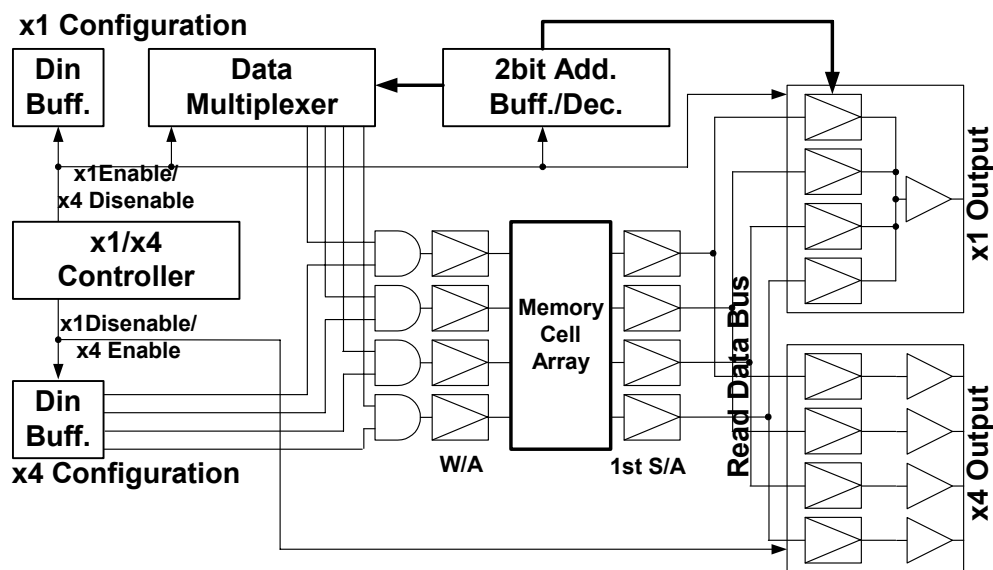


図 2-8 X1/X4 スイッチ回路のブロック図

(3) X1/X4切換センスアンプ回路

センスアンプは16columnsごとに設けられたローカルセンスアンプと、X1/X4両モードともそれぞれ4個ずつのメインセンスアンプの2段構成となっている。ローカルセンスアンプにはBiCMOS SRAMで広く使用されている電流出力型を用いた。メインセンスアンプは図2-9に示す電流・電圧変換形のX1/X4切換センスアンプを用いた。本SRAMにおいては、X1/X4の両モードのメインセンスアンプが同一のデータバスに接続されている。通常、このように接続すると、センス電流が分流してセンスアンプの出力が不安定になるが、データバスの振幅を低減して高速動作させるためのデータバスをクランプするバイポーラをECL回路のスイッチとして使用し、問題を回避している。

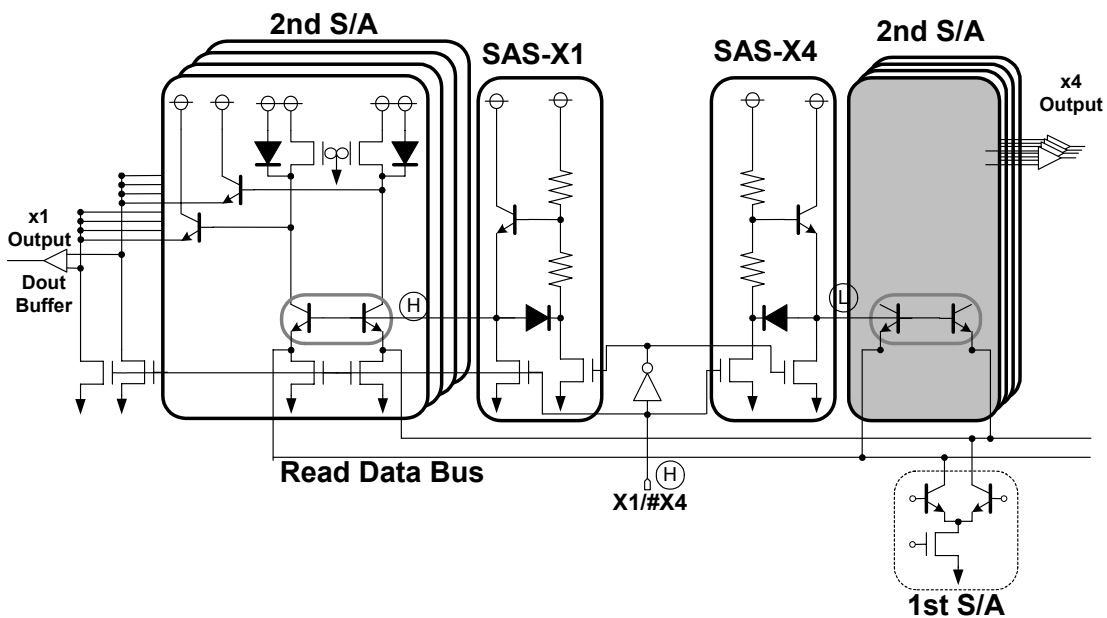


図 2-9 X1/X4 切換センスアンプ回路

センスアンプ・スイッチ回路SAS-X1, SAS-X4でクランプトランジスタのクランプ電位を制御している。図ではX1モードが選択された状態を示しており、グレーの回路部は非活性であることを示す。モード制御信号X1/X4がHighの時、SAS-X1がHigh、SAS-X4がLowとなり、X1モードのクランプトランジスタがオンし、X4モードのクランプトランジスタはオフする。このように、X1モードのメインセンスアンプが選択された時は、X1モードの回路にだけセンス電流が流れ、安定に動作する。

(4) X1モード・データマルチプレクサ

X1モード時のメインセンスアンプのデータマルチプレクサを図2-10に示す。PMOSTラン

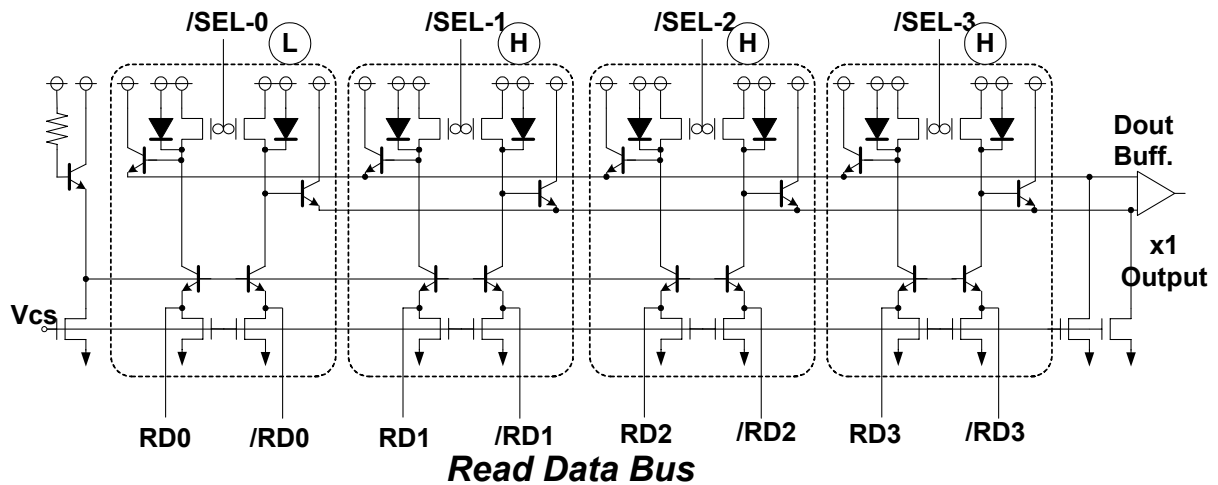


図 2-10 X1 モード・データマルチプレクサ

レジスタを負荷に用いており、そのゲートにアドレスをデコードした信号SEL-0～SEL-3が入力されている。4組のトランジスタ対のうち1組だけが活性化され、相補の信号を出力する。残りの3組のトランジスタ対はオフし、ダイオードでクランプされたLowレベルを出力する。エミッタフォロワの出力は4つごとにワイヤードオア接続され、全体として1組の相補信号を出力する。

このように、X1モード時もメインセンスアンプにて、データマルチプレクサの動作を1段で行っているため、X1モードでのアクセスタイムの遅れはほぼ無視できる。また、X4テストモードで、X1モードのアクセスタイムも正確に測定できるように、センス経路は両モードでほぼ同じとしている。その結果、両構成におけるアクセスタイムの差もほぼ無視できるほど小さい。

2. 3. 2 シフトリダンダンシ

大容量化した超LSIメモリの歩留を改善するためにリダンダンシ技術が広く用いられている。リダンダンシ技術とは、あらかじめ、冗長なメモリセルを配置しておき、不良のメモリセルを出荷テスト工程で検出した時、不良アドレスをヒューズによりプログラミングして、不良メモリセルのアドレスをアクセスする時だけ冗長メモリセルを使用して、不良があるメモリを、良品に変えてしまう技術である。リダンダンシ技術ではヒューズによりアドレスのプログラミングを行っているが、メモリの大容量化に伴い、プログラミングするヒューズの本数が多くなり、アドレスのプログラミングも複雑化している。

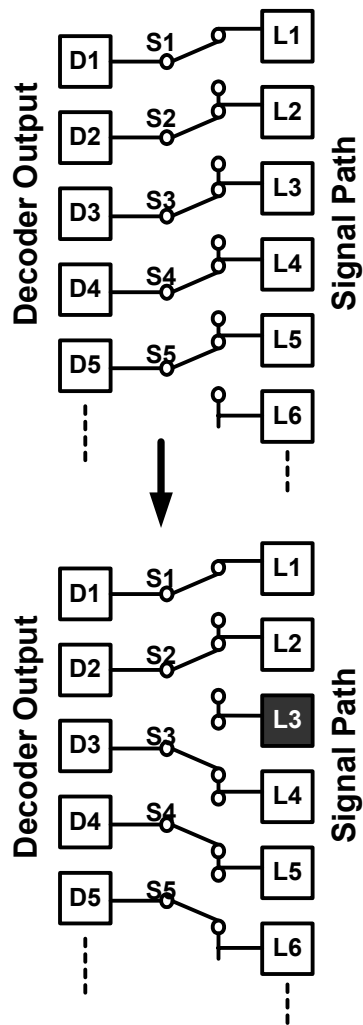


図 2-11 シフトリダンダシの概念図

本SRAMでは、プログラミングするヒューズの本数が少なく、アドレスのプログラミングが不要なリダンダシ技術を導入した。その技術を著者は「シフトリダンダシ」と呼ぶことにした。シフトリダンダシの概念図を図2-11に示す。デコーダの出力は隣り合う2本の信号線のどちらにもスイッチを介して接続可能となっている。冗長セルを使用しない時は、図中、左のように、デコーダD1の出力はL1に、D2はL2に、順次接続されている。ここで、不良セルがL3上にある時を考える。そのとき、図中、右のようにスイッチS3はL3からL4に切換えられ、S4はL5に、S5はL6にというように順次接続される。このように、シフトリダンダシは、不良アドレスを避けるように信号経路を順次シフトする。

また、一般的なリダンダシ技術では、冗長セルを使用する時と、使用しない時とでアクセスの経路が変化するため、アクセスタイムを完全に合わせる事が非常に困難である。超

高速SRAMではアクセスタイムが冗長セルを使用する時のみ早くなっても、遅くなっても、SRAMの出力を取り込む側のタイミングマージンが小さくなり、システムとしての性能を上げるのが難しくなる。ところがシフトリダンダンシでは、冗長セルを使用した時と、使用しない時でアクセスタイムが変わらないため、超高速SRAMのリダンダンシ技術として非常に優れた特性を有している。

本SRAMではヒューズとして、レーザー・トリミング・ヒューズ(LTヒューズ)を使用している。LTヒューズはレーザーを照射した部分を切断することによりプログラミングする。

図2-12にシフトリダンダンシの論理図を示す。Sel-AとSel-B信号でデータセクタの経路AとBを制御する。本SRAMではSel-A信号を与えるために、LTヒューズを直列に接続し、その一端はGND(ECL SRAMの場合High側の電源)に、他端は高抵抗を介して電源VEE(ECL SRAMの場合Low側の電源, -4.5V or -5.2V)に接続している。第3番目のラインL3上に不良セルを含んでいたとすると、第3番目のLTヒューズがブローされ、第1番目、第2番目のSel-A信号はHighレベルを維持するが、第3番目以降のSel-AはLowレベルになる。第2番目のデコーダの出力D2は第2番目の信号線L2に接続され、第3番目以降のデコーダの出力は次の信号線に接続され、不良セルを含んだ第3番目の信号線L3は切り離される。このように、スペアの信号線を選択するために、LTヒューズは1本だけ切断すればよく、アドレスのプログラム回路は不要である。

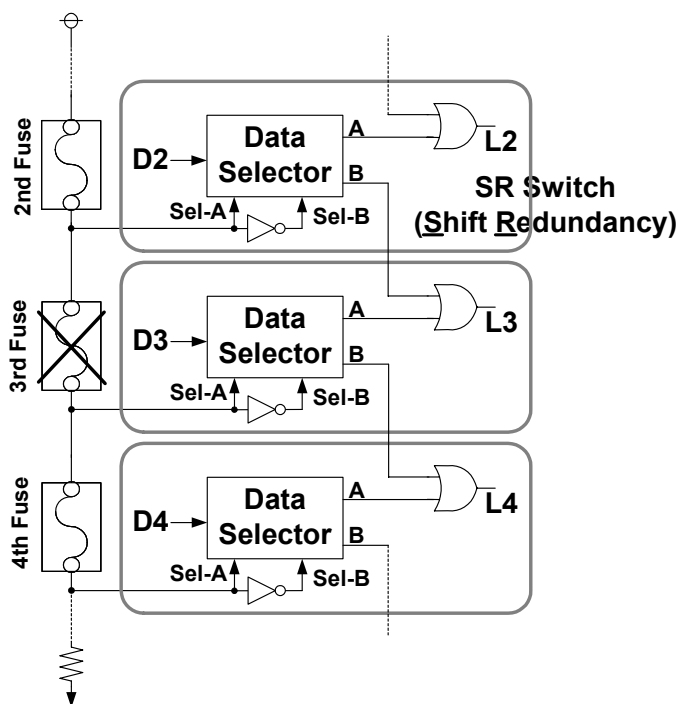


図 2-12 シフトリダンダンシの論理図

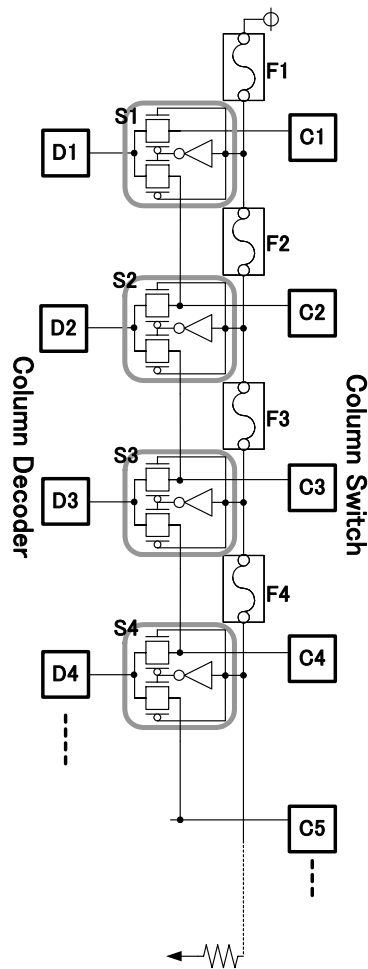


図 2-13 シフトリダシの回路図

図2-13にシフトリダシの回路図を示す。動作は図2-12の論理図と同様である。本SRAMを設計・試作したのが、1989年であるため、LTヒューズの最小ピッチはメモリセルのピッチとよりも小さかったため、上記のように各カラムにLTヒューズを配置することが可能であった。LTヒューズの最小ピッチはレーザー光のスポットサイズで決まるため、2008年現在の先端プロセスである65nmから45nm SoCプロセスでも、3～6 μ m程度と当時と比べてあまりシュリンクされていない。また、現在の先端プロセスのEmbedded SRAMの不良セルの救済には電気ヒューズを使うのが主流となっている。このため、現在の先端プロセスのEmbedded SRAMに本SRAMで使用した図2-12，図2-13と同じ回路を使用することは困難である。

しかし、近年Embedded SRAMのテストはロジックテスタを使い、チップ内に搭載しているMemory Built-In-Self-Test (M-BIST)回路でメモリテスタの機能を付加して、不良ビットの

アドレスを特定し、救済可能(Repair Enable)か否かの判断を行い、救済可能であれば、不良ビットを置換するためのアドレスプログラミングに必要なヒューズの切断情報を入力する。冗長回路の救済アルゴリズムが複雑になるとM-BISTの回路規模が大きくなる。したがって、救済アルゴリズムが単純なシフトリダンダンシは、Embedded SRAMに適した冗長回路方式と言える。このため、シフトリダンダンシの救済アドレスのプログラミングが単純な点と、冗長セルを使用した時と使用しない時でアクセスタイムが変わらない点は、現在の先端 Embedded SRAMでも、非常に有効である。

2. 3. 3 試作結果

表 2-1 プロセスパラメーター一覧

Process	
0.8 μ m BiCMOS	
Double-Poly, Double-Metal	
Bipolar	
Emitter Size	1.0 μ m x 4.0 μ m
Cut-off Frequency (f_T)	8GHz
Current Gain (h_{FE})	70
CMOS	
Gate Length (p/nMOS)	0.8 μ m/0.6 μ m
Threshold Voltage	-0.7V/0.7V
Gate Oxide Thickness	15nm

本SRAMの試作に用いたプロセスは、2層ポリシリコン、2層アルミの0.8 μ m BiCMOSプロセスである。表2-1にプロセスの特徴をまとめた。

図2-14に試作した1Mbit BiCMOS ECL SRAMのチップ写真を示す。グローバルデコーダが2分割されたメモリセルマットの中央に配置されている。リード/ライトデータバスはチップの長辺方向に配置されている。X1モードのデータ入力バッファとデータ出力バッファは短辺の中央に配置され、X4モードのデータ入力バッファとデータ出力バッファは長辺の中央に配置されている。X1モードのためのアドレスバッファとデコーダはデータ入出力バッファの近辺に配置されている。

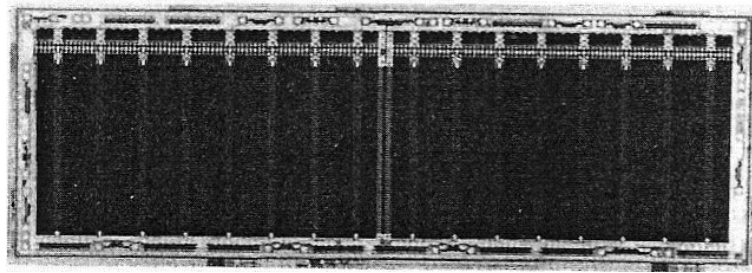
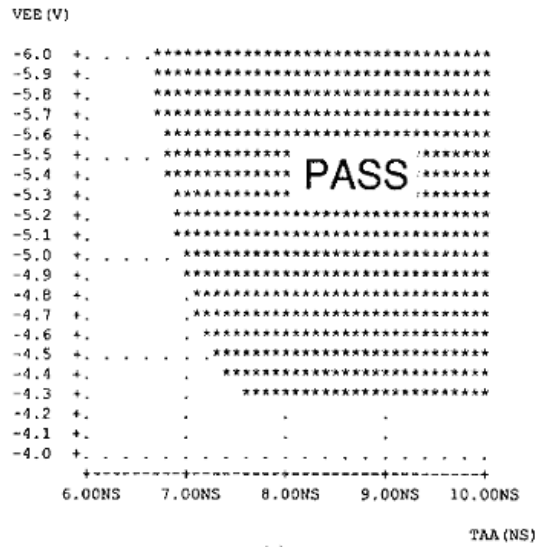


図 2-14 チップ写真

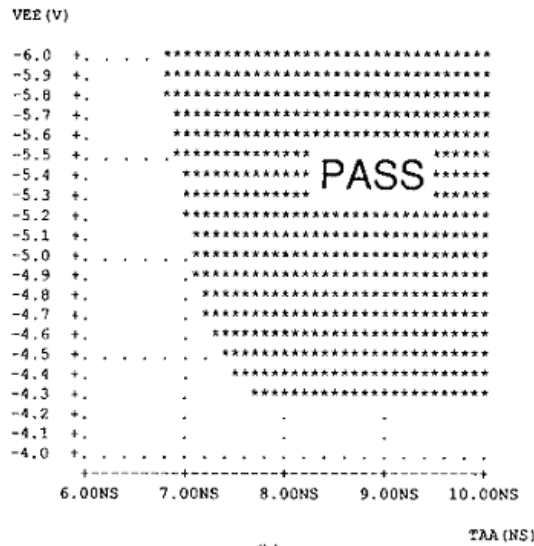
図2-15に試作したSRAMのアクセスタイムと電源電圧のシュムー・プロットを、X1モード、X4モードのそれぞれについて示す。両モードとも標準条件でアクセスタイム7nsが得られており、両モードのアクセスタイムの差は0.2ns以下である。SRAMの主な特性を表2-2にまとめる。

表 2-2 SRAM の電気特性一覧

Organization	1M word x 1 bit 256K word x 4 bit
Address Access Time	7ns
Active Power@50MHz	600mW for x1, 680mW for x4
IO Interface	10K ECL
Redundancy	2rows, 4columns
Memory Cell Size	5.4 μ m x 7.2 μ m
Chip Size	5.46mm x 16.16mm



(a)



(b)

図 2-15 シュムー・プロット : (a) X1 モード, (b) X4 モード

2. 4 ECL Synchronous BiCMOS SRAM の高速化技術

[2_53], [2_54]

はじめに

コンピュータシステムの高性能化に伴い、システムのサイクル時間は急速に短縮され、90年ごろには特に、ECL-IOのシステムにおいて高速アクセスのSRAMに対する要求が高まっていた。外部クロック信号を使用しないAsynchronous SRAMのサイクル時間は、通常、その最大アクセス時間と同じとなる。しかし、Asynchronous SRAMを複数個ボード上に実装したシステムでは、アドレス信号、制御信号等の信号間のスキューは不可避であり、このスキューと単体のSRAMのサイクル時間を考慮してシステムの最小サイクル時間が決まっていた。システムサイクル時間の短縮とともに、サイクル時間に及ぼす信号間のスキューの影響が顕著となり、信号間のスキューの影響を最小化できるSynchronous SRAMがまずECL-IOのシステムにおいて注目されるようになった。当時のECL-IOのSynchronous SRAMはSTRAM (Self-Timed RAM)と呼ばれていた。STRAMとは、外部クロック信号を受けるクロックバッファと、チップの外部信号を外部クロック信号に同期して取り込む入力データ保持回路と、チップが出力するデータを一時的に保持する出力データ保持回路と、内部ライトパルス発生回路を有するSRAMである。STRAMは外部クロック信号に同期して動作するため、入力信号間のスキューのサイクル時間への影響を最小化できるという特徴を有する。STRAMもシステムの高性能化に伴い、Asynchronous SRAMと同様に高速でかつ大容量であることが要求される。STRAMは、その後、Synchronous SRAMと呼び名を変えて、TTL-IO, CMOS-IO, オンチップ内のSRAMにおいてもシステムサイクル時間の短縮のために主流となっていった。ECL-IOのSynchronous SRAMとして、バイポーラの高速性とCMOSの高集積性を兼ね備えたBiCMOS技術を用いたBiCMOS STRAMは、当時すでにいくつかの報告があった[2_26], [2_27]。本節では、当時として256Kと大容量であった64Kx4 BiCMOS ECL STRAMの高性能化に寄与するいくつかの回路技術を提案し、3層ポリシリコン、2層アルミの0.8 μm BiCMOSプロセスを用いた試作・評価結果について報告する。

2. 4. 1 Synchronous 化による高速化

STRAMの構成

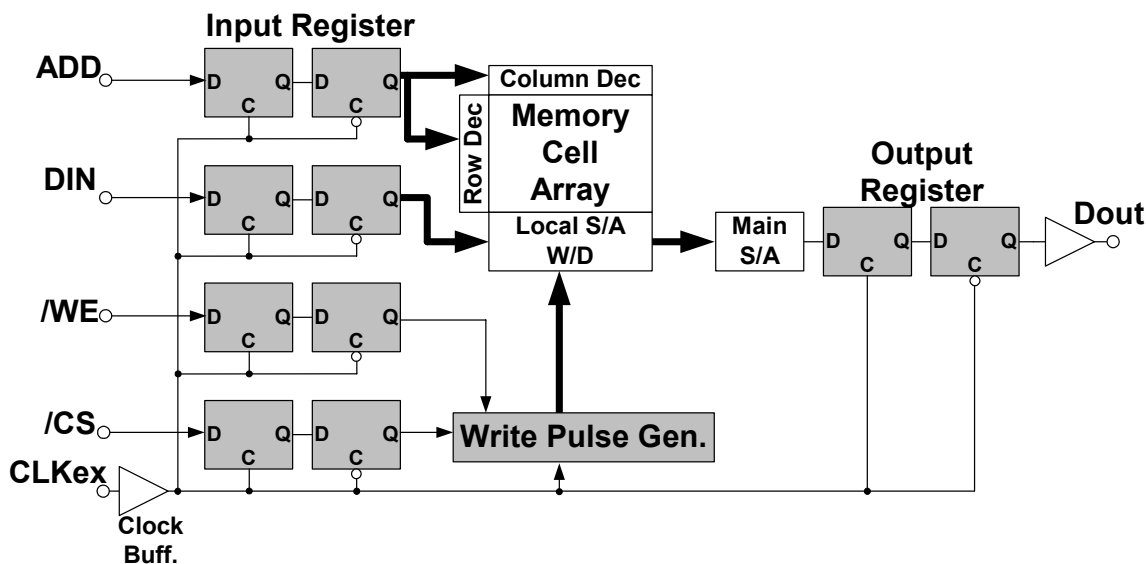


図 2-16 レジスタ-レジスタ形 STRAM のブロック図

図2-16に本STRAMのブロック図を示す。本STRAMは、デコーダ、メモリセル、センスアンプ、ライトドライバ等の非同期SRAMコア部分の周辺に、クロックバッファと内部ライトパルス発生回路と、入出力部にマスタ/スレーブ形のレジスタを配置したレジスタ-レジスタ形のSTRAMである。クロックバッファは外部クロック信号を受け内部クロック信号を発生し、内部ライトパルス発生回路は内部クロック信号に同期して動作する。入出力レジスタは内部クロック信号を受けて動作し、外部クロック信号(CLKex)の立上りで入力データを取り込み、次サイクルの外部クロック信号の立上りまでデータを保持する。

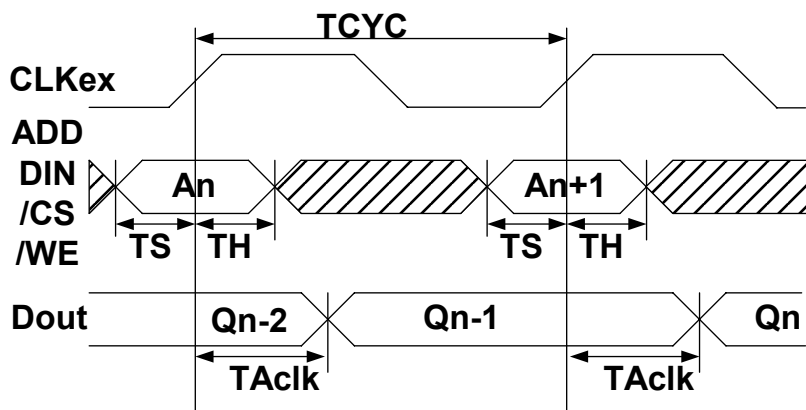


図 2-17 レジスタ-レジスタ形 STRAM のタイミングチャート

図2-17にレジスタ-レジスタ形のSTRAMのタイミングチャートを示す。アドレス信号(ADD)、データ入力信号(DIN)、チップ選択信号(/CS)、書込み信号(/WE)等の外部入力信号は、サイクル時間(TCYC)のうちセットアップ時間(TS)とホールド時間(TH)によって決まる期間だけ確定されることにより、入力レジスタに取り込まれる。これは、STRAMを使用すると、システムのサイクル時間への外部入力信号間のスキューの影響を最小化できることを意味する。また、本STRAMは出力レジスタを有するので、出力データ(DOUT)は内部クロック信号のスキューが無視できるほど小さければ、データの遷移時間を除くと原理的には常に確定されている。そして、前サイクルに取り込んだ入力信号に従ったデータが、CLKexの立上りからクロックアクセス時間(TAclk)だけ遅れて出力される。STRAMにおいては、サイクル時間あるいは、クロックアクセス時間の値が小さいことと同様にセットアップ時間とホールド時間が短いことも重要である。これは、スキューの影響を最小にしてシステムサイクル時間を最小化するためには、外部入力信号の確定期間が短いことが必要なためである。

入力レジスタ回路とECL-CMOSレベル変換回路

入力レジスタの構成が、STRAMの重要な性能であるセットアップ時間とホールド時間を決定する。図2-18に本STRAMの入力レジスタ回路とECL-CMOSレベル変換回路を示す。STRAMのホールド時間は、クロックバッファでの遅延と、内部クロック配線での遅延と、入力レジスタでの遅延の総和となる。内部クロック信号配線はチップ全体に引き回されるため、その容量は約5pFと非常に大きくなる。従って、内部クロック信号の振幅を大きくすることは、配線遅延を増大させ、ホールド時間を悪化させる。そこで、小振幅でかつ相補の内部クロック信号が使用できるECLシリーズゲートのラッチ回路を2段接続して入力レジスタを構成した。

また、本STRAMは通常のBiCMOS ECL SRAMと同様にメモリセルとして、4T-cellを採用

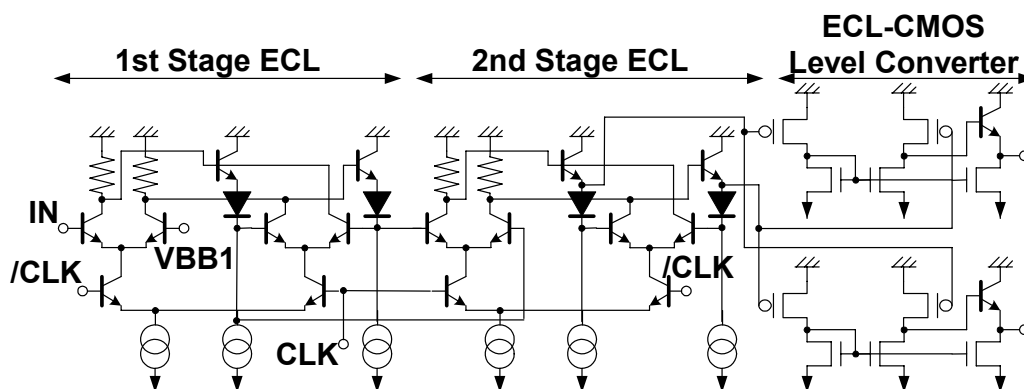


図 2-18 入力レジスタ回路と ECL-CMOS レベル変換回路

しているので、入力初段からワードドライバまでの経路でECLレベルからCMOSレベルに変換が必要である。そこで、入力レジスタの出力はECL-CMOSレベル変換回路によりレベル変換された後にデコーダ等の内部回路に接続している。レベル変換回路として、カレントミラー回路を基本とするタイプ[2_28], [2_29]やクロスカップル形MOS回路を基本とするタイプ[2_10], [2_30]など様々なタイプが提案されている。本STRAMでは、レベル変換回路として、新規のBiNMOSドライバを付加したカレントミラー形レベル変換回路を用いている。レベル変換回路の高速動作のためには、レベル変換回路の入力振幅を通常のエCL回路より大きく設定する必要がある。ここでは、2段目のECLラッチ回路の飽和を防ぐためにエミッタフォロワ出力にダイオードを挿入している。

2. 4. 2 融合型 BiNMOS ワードドライバ

本STRAMは高速・低消費電力を達成するために変形分割ワード(変形DWL)構成を用いている[2_14]。そのメモリアレイは16ブロックに分割されている。ローカルワード線はRC遅延を抑えるために2層目のアルミにより各ブロック内の3箇所でシャントされている。各ブロックは256 rows x 66 columnsからなり、そのうち2columnsはリダンダンシ用のカラムである。本STRAMの冗長回路として、2. 3. 3節に示したシフトリダンダンシを用いている[2_30]。

DWL構成のSRAMは多くのローカルワードドライバを持つため、ローカルワードドライバを高速・小面積で設計する必要がある。本STRAMのローカルワード線の負荷容量は約0.4pFである。0.4pFと中程度の負荷容量を駆動する場合、一般にCMOS, BiNMOS, BiCMOSの各ゲートの中ではBiNMOSゲートがもっとも高速である。しかし、PMOSと分離して構成した分離型バイポーラを用いたBiNMOSワードドライバでは、CMOSよりもレイアウト面積がはるかに大きくなり、チップ面積の増大を招く。そこで、本STRAMでは、PMOSドレイン内にエミッタを配置した融合型バイポーラを用いた融合型BiNMOSゲートを使用した[2_31]。

図2-20に本STRAMの高速化のために用いた融合型BiNMOSワードドライバの回路図とレイアウトを示す。図中にワードドライバのエミッタサイズとゲート幅と抵抗値を示した。シミュレーションの結果、図2-20に示した融合型BiNMOSワードドライバを用いた場合の入力バッファからワード線までの遅延時間は、ほぼ同一面積のCMOSワードドライバ($W_p/W_n=20\ \mu\text{m}/20\ \mu\text{m}$)よりも0.15ns高速である。また、分離型BiNMOSワードドライバの遅延時間は融合型BiNMOSワードドライバとほぼ同一であるが、そのレイアウト面積は約 $200\ \mu\text{m}^2$ 大きくなる。

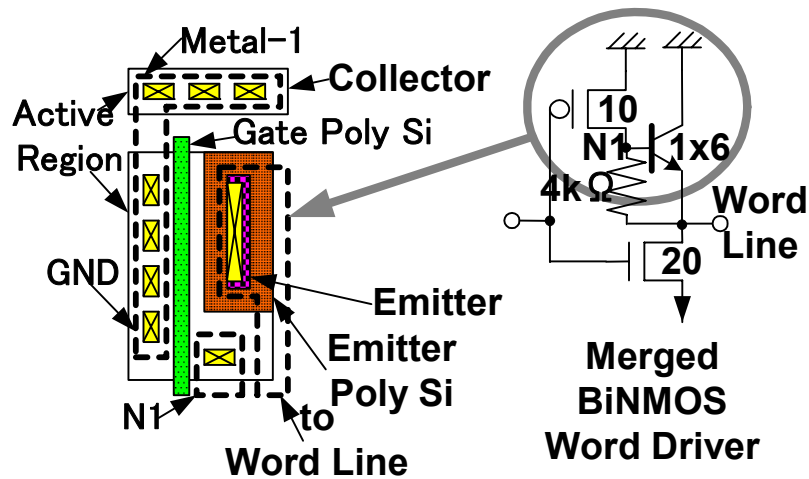


図 2-20 融合形 BiNMOS ワードドライバの回路図とレイアウト

融合型バイポーラを用いた集積回路においてはラッチアップ耐性が劣化することが報告され、そのラッチアップ耐性の劣化を抑える方法として、PMOSのソース電流をN+埋込層から供給する方法が提案されている[2_32], [2_33]。しかし、この方法の欠点として、PMOSのソース抵抗の増大による速度性能の劣化とレイアウト面積の増大が挙げられる。本STRAMにおいては、図2-20に示すようにコレクタ電極(Nウェル電極を兼ねる)をエミッタ電極に近接して配置することにより、レイアウト面積の増大なしにラッチアップ耐性の劣化を抑えている。

図2-21に融合型バイポーラの電流電圧特性を示す。VG, VEともに0Vから-8Vまでという非常に広い電圧範囲でラッチアップが生じてないことがわかる。この理由として、図2-20に示したレイアウト上の工夫と、プロセス的にコレクタ抵抗を50Ωと低く抑えていることが挙げられる[2_33]。

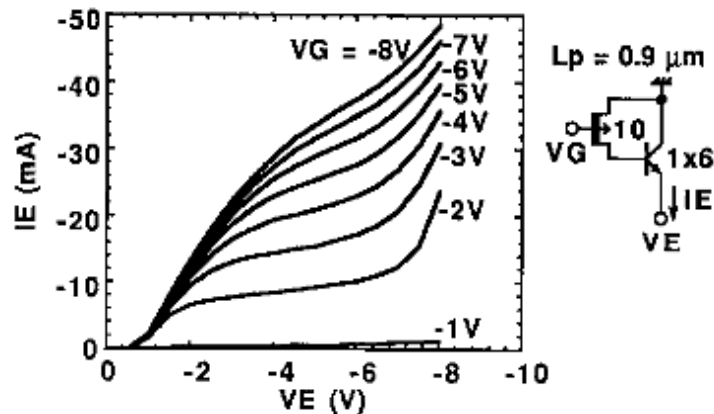


図 2-21 融合形バイポーラの電流電圧特性

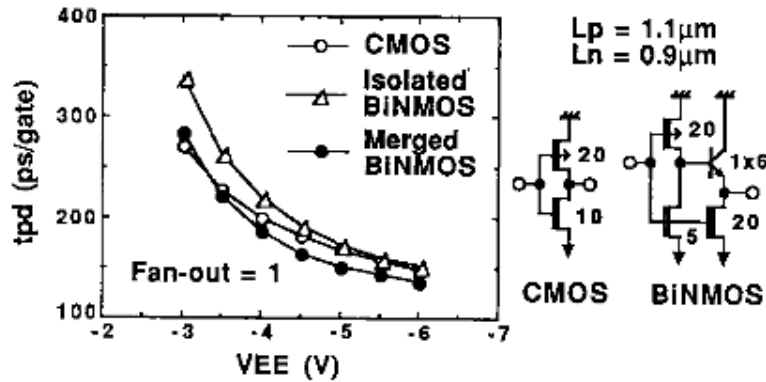


図 2-22 各種インバータのリングオシレータ 1 段当りの遅延時間

図2-22にCMOS，分離型BiNMOSと融合型BiNMOSインバータのリングオシレータ1段当りの遅延時間の実測値を示す。各段のファンアウトは1であり、測定は室温で行った。融合型BiNMOSゲートはレイアウト面積の点ばかりでなく、負荷容量が小さい場合には速度性能の点でも分離型BiNMOSゲートより優れていることがわかる。さらに、融合型BiNMOSゲートはファンアウトが1と小さい負荷容量でもCMOSゲートより高速である。このように、融合型BiNMOSゲートは広い範囲の負荷容量に対して使用できることがわかる。

2. 4. 3 2分割リードデータバスの バイポーラ・メインセンスアンプ

図2-23にセンスアンプ回路を示した。センスアンプは16columnsごとに配置されたローカルセンスアンプとメインセンスアンプの2段構成となっている。ローカルセンスアンプとしてBiCMOS SRAMに広く使用されている電流出力型を用い、メインセンスアンプとして電流・電圧変換形を用いた。ローカルセンスアンプのセンス電流はリードデータバスを介してメインセンスアンプに伝えられる。電流・電圧変換形メインセンスアンプにおいてはリードデータバスの遅延を抑えるため、クランプトランジスタによりリードデータバスの電位をクランプしている。しかし、BiCMOS SRAMの大容量化に伴い、リードデータバスの配線長とリードデータバスに接続されるローカルセンスアンプ数は増大し、配線抵抗によるリードデータバスのわずかな電位変化による遅延を無視できなくなっている[2_34]。

そこで、本STRAMでは、メインセンスアンプをチップ中央部に配置し、図2-23に示すようにリードデータバスをチップ中央部で分割した。リードデータバスを分割するとリードデータバスの配線長とリードデータバスに接続されるローカルセンスアンプ数は2分の1となり、リードデータバスでの遅延を抑えることができる[2_35]。そしてメインセンスアンプにおいて、各リードデータバスのクランプトランジスタのコレクタを共通接続にすることにより、左右のリ

ードデータバスの論理和をとり、出力レジスタに相補の出力を与えている。本STRAMの場合、リードデータバスを分割することにより、ローカルセンスアンプからメインセンスアンプまでの遅延時間を従来の構成より0.2ns短縮することができた。出力レジスタは図2_18に示した入力レジスタと同様にECLシリーズゲートから構成され、小振幅で相補の内部クロック信号を使用することにより、高速クロックアクセス時間を達成している。

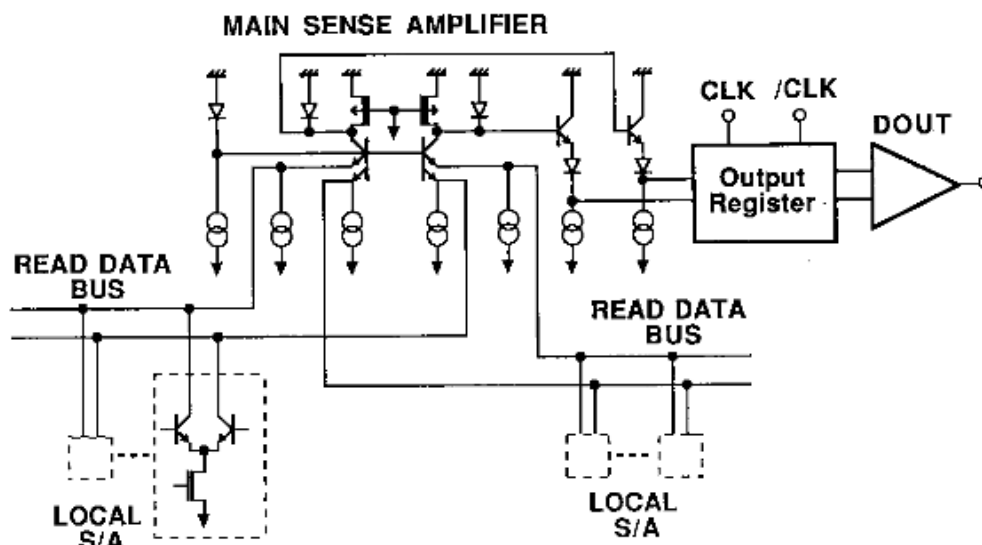


図 2-23 リードデータバスを分割したセンスアンプ回路

2. 4. 4 階層型 ECL 入力バッファ用 リファレンス電位発生回路

図2-18に示したようなECLレベルの信号を受けるECL入力バッファは参照電位(VBB1)によりその論理しきい値が決定される。したがって、VBB1の値はECL入力バッファの動作マージンに大きく影響し、VBB1が設定した値からずれるとECL入力バッファの速度性能は大きく劣化する。このため、VBB1を発生する参照電位発生回路の構成はECLレベルの集積回路において非常に重要である。

図2-24に従来の参照電位発生回路の構成を示す。図2-24ではVBB1配線にN個の入力バッファが接続され、一つの入力バッファ当り I_{b1} の電流がVBB1配線に流れる場合について示している。図2-18に示した入力バッファの場合、電源電圧VEEや温度等の変動にかかわらず、VBB1をECLレベルの信号(ハイレベル=-0.9V、ロウレベル=-1.7V)の中間の値-1.3Vに設定する必要がある。ところが、VBB1発生回路に与えられるGND電位はチップ内部のGND配線により与えられるため、チップ内GND配線の配線抵抗による電圧降下

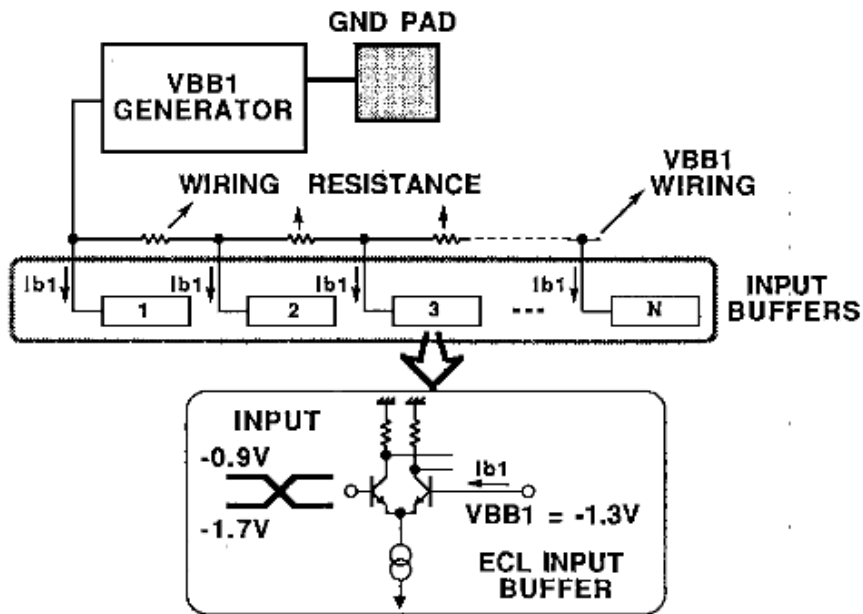


図 2-24 従来の参照電位発生回路の構成

もVBB1の電位に影響を与える。このチップ内GND配線の電圧降下の影響を抑えるため、VBB1発主回路は通常GNDパッドの近傍に配置される。しかし、ECLレベルの集積回路の大容量化につれて、VBB1配線は長くなり、また、VBB1配線に接続される入力バッファの数も増加する。このため、VBB1配線の配線抵抗とVBB1配線に流れる電流は増大し、VBB1配線の電圧降下は無視できなくなっている。

図2-25に、配線抵抗によるVBB1のチップ内の電位差 ΔV_{BB1} のVBB1配線長依存性を示す。図中で示すNはVBB1配線に接続される入力バッファ数である。単位長さ当りの配線抵抗は $20 \Omega/\text{mm}$ 、 I_{b1} は $20 \mu\text{A}$ と仮定して計算した。実際には、 I_{b1} は入力レベルにより異なり、入力レベルがHighの時、VBB1が接続されたトランジスタはオフするため、 I_{b1} は流

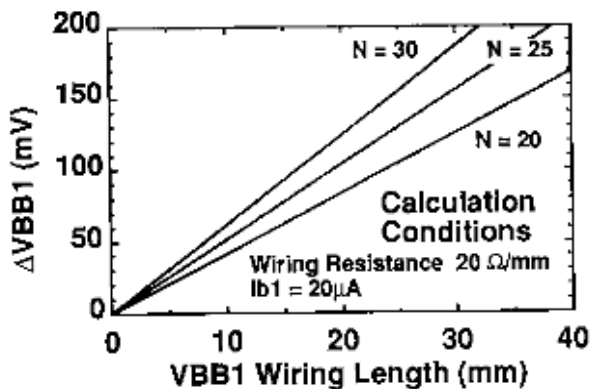


図 2-25 ΔV_{BB1} の VBB1 配線長依存性の計算結果

れない。つまり、図2-25に示した Δ VBB1は、入力レベルがすべてLowの時のチップ内の電位差を示しており、入力レベルが変化する動作時のVBB1の変動も意味している。VBB1配線長は256K ECL SRAMで約15mmであり、このとき、 Δ VBB1は50mV以上ある。すなわち、従来の構成の参照電位発生回路では、256K以上の大容量のECL SRAMにおいて、VBB1配線の電圧降下が大きく、各入力バッファに与えられるVBB1の間に電位差が生じ、各入力バッファ間の論理しきい値が異なることになる。

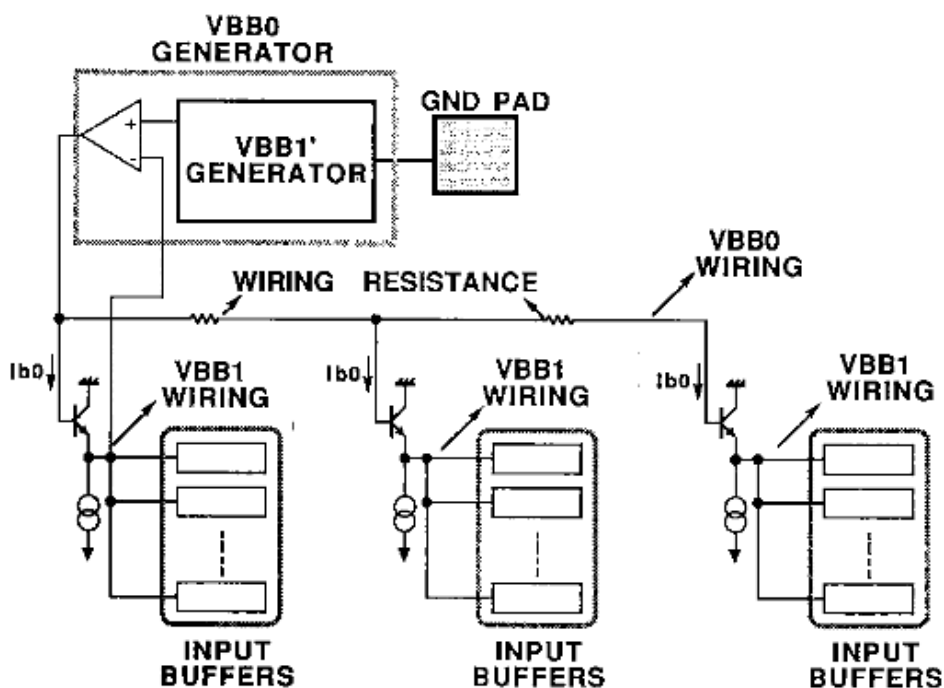


図 2-26 階層形参照電位発生回路の構成

図2-26に本STRAMに用いた階層形参照電位発生回路の構成図を示す。図2-26において、参照電位発生回路は、GNDパッドの近傍に置かれたVBB0発生回路と、チップ内に複数個分散配置されエミッタフォロワ回路から構成されたVBB1発生回路の2階層で構成されている、階層形参照電位発生回路では、入力バッファの論理しきい値の変動は、VBB0とVBB1の変動によって決まる。VBB0発生回路はGNDパッド近傍に置かれているので、VBB0はGND配線の電圧降下の影響を受けない。VBB0配線の配線長は従来のVBB1配線と同様に長い、配線に流れるベース電流を小さく抑えられるため、VBB0配線の電圧降下は非常に小さい。また、VBB1はエミッタフォロワトランジスタのベース・エミッタ間電圧の温度変化の影響を受ける。このため、VBB0発生回路はVBB1'発生回路と温度補償回路から構成されている。VBB1'発生回路はバンドギャップリファレンス回路により構成さ

れており、温度補償回路はオペアンプからなる。ベース・エミッタ間電圧の温度補償をオペアンプにより行っているため、VBB1の温度依存性は従来のVBB1発生回路と変わらない。

図2-27に配線抵抗によるVBB0のチップ内の電位差 ΔV_{BB0} のVBB0配線長依存性を示す。一つのVBB1発生回路に流れるベース電流 I_{b0} を $20 \mu A$ と仮定し、チップ内にVBB1発生回路を4箇所配置した場合について計算した。 ΔV_{BB0} はVBB0配線長15mmの時12mVと図2-25の ΔV_{BB1} と比較すると4分の1以下になっている。そして、 I_{b0} は入力レベルによって変化しないので、動作時にもVBB0は変動しない。また、図2-26に示すように、VBB1発生回路を入力バッファの近傍に配置し、1本のVBB1配線に接続される入力バッファ数とVBB1配線の配線長を抑えると、VBB1配線によるVBB1の変動を抑えることができる。このように、参照電位発生回路を階層的に構成すれば、256Kビット以上の大容量ECL SRAMにおいても、参照電位への配線抵抗による電圧降下の影響を無視することができ、チップ内の入力バッファ間の論理しきい値を一定に保つことができる。

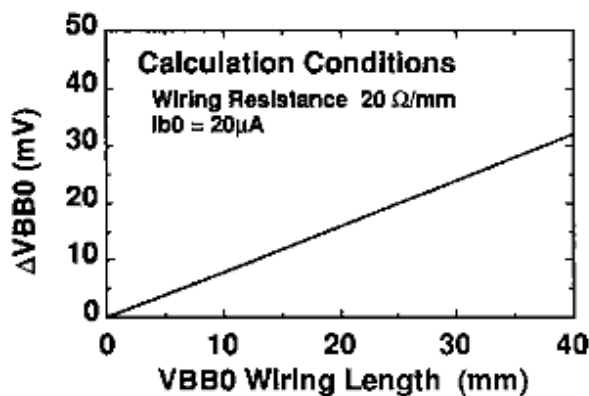


図 2-27 ΔV_{BB0} の VBB0 配線長依存性の計算結果

2. 4. 5 試作結果

本STRAMの試作に用いたプロセスは、3層ポリシリコン・2層アルミの $0.8 \mu m$ BiCMOSプロセスである。1層目のポリシリコンはポリサイドであり、MOSTランジスタのゲート電極として使用される。2層目のポリシリコンはバイポーラのエミッタ電極と抵抗素子として使用され、3層目のポリシリコンはメモリセルの高抵抗として使用される。メモリセルとして高抵抗負荷型の4T-cellを用いた。表2-3にプロセスとデバイスの特徴をまとめる。

表 2-3 プロセスパラメータ一覧

Process	
0.8 μm BiCMOS	
Triple-Poly, Double-Metal	
Bipolar	
Emitter Size	1.0 μm x 4.0 μm
Cut-off Frequency (f_T)	9GHz
Current Gain (h_{FE})	100
CMOS	
Gate Length (p/nMOS)	0.9 μm/0.7 μm
Threshold Voltage	-0.7V/0.7V
Gate Oxide Thickness	18nm

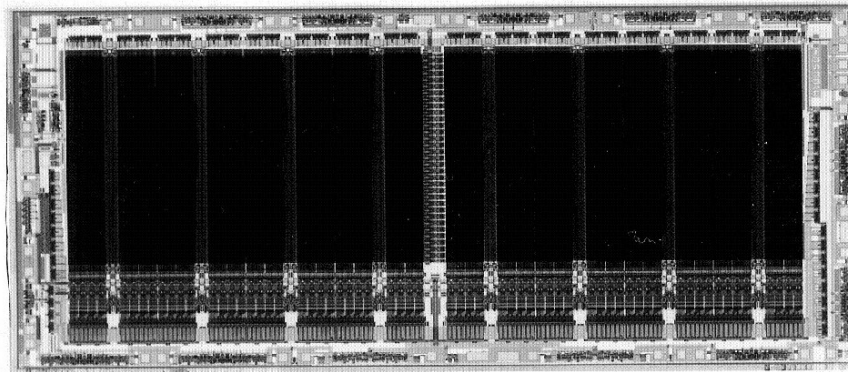


図 2-28 STRAM のチップ写真

図2-28に本STRAMのチップ写真を示し、図2-29にチップ写真に対応した本STRAMのチップ構成を示す。GNDピン、電源ピン、出力ピンはチップ中央部に置かれ、2分割されたメモリセルマットの間に、分割ワード線構成のグローバルロウデコーダが配置されている。メインセンスアンプと出力バッファは出力ピンに近接して配置され、ローカルセンスアンプとメインセンスアンプはチップ下側に配置されている。チップサイズは4.5mm x 10.4mmで、メモリセルサイズは10.0 μm x 6.75 μm である。図2-30にシミュレーションによる各主要回路の波形図を示す。電源電圧-4.5V、室温、出力負荷30pFの条件である。外部クロック信号(CLKex)はサイクル時間5nsで与えられ、アドレス信号(ADD)はホールド時間0.6nsで与えられている。CLKexの立上りから、内部クロック信号まで0.4ns、ECL-CMOSレベルコンバータまで1.9ns、ワードドライバまで4.1ns、メインセンスアンプまで5.0nsかかっている。シミュレーションでサイクル時間5ns、ホールド時間0.6ns、クロックアクセス時間2nsが得られている。

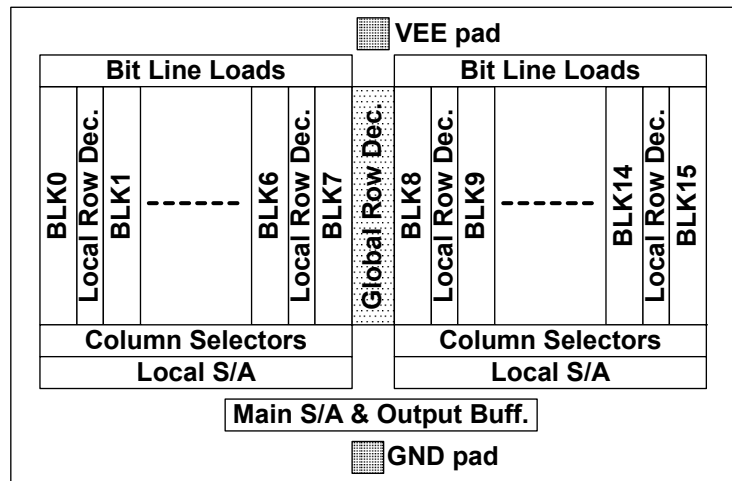


図 2-29 STRAM のチップ構成

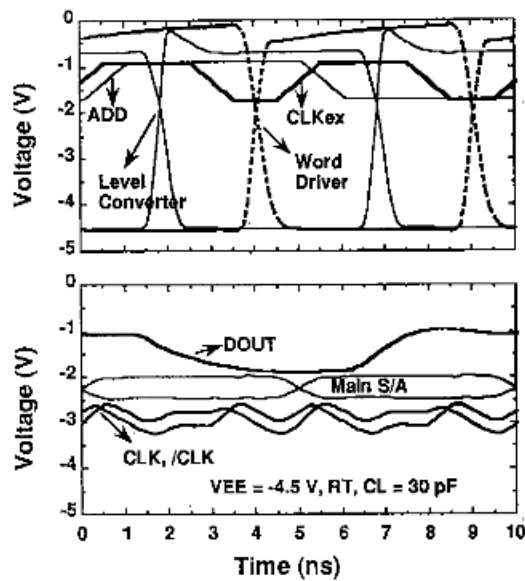


図 2-30 各主要回路のシミュレーション波形

図2-31に外部クロック信号と出力の波形写真を示す。測定は室温で行っている。この波形写真より、5nsのサイクル時間と2nsのクロックアクセス時間が達成されていることがわかる。40MHzでの消費電力は760mWである。本STRAMの主な特徴を表2-4に示す。

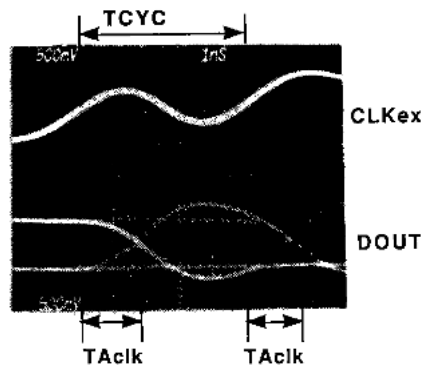


図 2-31 外部クロック信号と出力の波形写真

表 2-4 STRAM の諸特性一覧

Organization	64K word x 4 bit
Cycle Time	5ns
Clock Access Time	2ns
Active Power	760mW@40MHz
IO Interface	100K ECL
Redundancy	2columns/block
Memory Cell Size	10.0 μ m x 6.75 μ m
Chip Size	4.5mm x 10.4 mm

2. 5 多ビット TTL BiCMOS SRAM の高速化技術

[2_55]-[2_57]

はじめに

90年代前半に、コンピュータの利用形態が、1台の大型コンピュータを複数のユーザが使用する形から、個々のユーザがネットワークで結ばれた専用のワークステーションを使用する形へと移行するダウンサイジングと呼ばれる傾向が進んだ。このダウンサイジングを支えたのが、ワークステーションの急速な高性能化である。ワークステーションに採用されているマイクロプロセッサの動作周波数は、RISCアーキテクチャ等の回路技術やプロセス技術の発達に支えられ年々著しく向上した。このマイクロプロセッサは、大型コンピュータで使われたECL-IOではなく、ECL-IOより低消費電力が可能で、電圧スケールングを使ったプロセス技術の発展を容易に展開できるTTL-IOもしくは、CMOS-IOであった。この時期にはマイクロプロセッサに搭載できるトランジスタ数の制限から、マイクロプロセッサにオンチップで搭載できるキャッシュメモリはわずかであり、これに伴い、外付けキャッシュメモリとして使用される汎用SRAMには、TTL-IOでかつ多ビット化、高速・大容量化が強く望まれていた。高速・大容量SRAMとして、バイポーラの高速度性とCMOSの高集積性を合わせ持つBiCMOS技術を用いたものが多く報告されており、特に、アクセス時間10ns以下の、x8, x9あるいはx16, x18等の多ビット超高速TTL BiCMOS SRAMは、多くの高性能ワークステーションに採用されたRISCプロセッサとの整合性が良く、盛んに研究開発されていた[2_34]-[2_40]。

そこで筆者も、外付けキャッシュメモリ用途の、256KビットTTL SRAMとして世界最高速である標準アクセス時間5nsの32Kx8/x9 TTL BiCMOS SRAMを開発した。5nsのアクセス時間を実現するために、多ビットTTL SRAMにおいて大きな問題となる出力ノイズを低減できるセンタパワーピンを採用した。また、センタパワーピンに最適なメモリアレーアーキテクチャであるビット線負荷交互配置構成を考案した。更に、 $4.2 \times 5.6 \mu\text{m}^2$ の4M SRAMクラスの小面積メモリセルと、遮断周波数18.5GHzの超高性能自己整合形バイポーラと、 $0.6 \mu\text{m}/0.7 \mu\text{m}$ (nMOS/pMOS)のゲート長のMOSTランジスタをもつ高性能 $0.6 \mu\text{m}$ BiCMOSプロセスを使用した。本節では、本SRAMの高速化のために提案した回路技術とプロセス技術を説明し、試作評価結果について報告する。

2. 5. 1 センタパワーピン配置

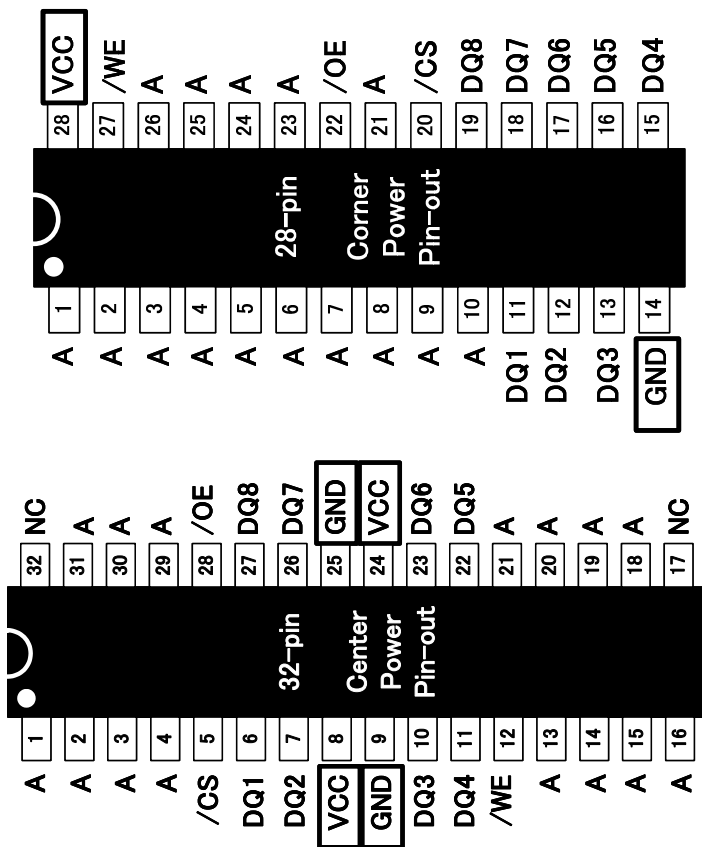


図 2-32 32Kx8 TTL SRAM のコーナパワーピンとセンタパワーピンのピン配置図

多ビットTTL SRAMの高速化にとって最も大きな問題が出力回路の高速動作により生ずる電源ノイズである。電源ノイズは $L \cdot [di/dt]$ (L :電源線のインダクタンス, $[di/dt]$:電流の時間変化率)で表される。従来、電源ノイズは $[di/dt]$ を回路的工夫により抑えることにより低減してきたが、多ビット化・高速化の進展により $[di/dt]$ を抑えることが困難になってきている。このため、電源線のインダクタンスを抑えることが多ビットTTL SRAMの高速化にとって非常に重要である。

図2-32に32Kx8 TTL SRAMのコーナパワーピンとセンタパワーピンのピン配置図を示す。どちらもJEDEC(Joint Electron Device Engineering Council)で標準化されたピン配置である。図2-33にコーナパワーピンとセンタパワーピンの電源線の配線図を示す。図中の電源線(VCC, GNDライン)は電源ピンからチップ内の出力回路までの経路を模式的に示したものであり、パッケージのフレームとボンディングワイヤとチップ内のアルミ配線を含むものである。図から、センタパワーピンは電源ピンが2組あるうえに、出力回路と電源ピンとの距離が短いことから電源線のインダクタンスが小さいことがわかる。

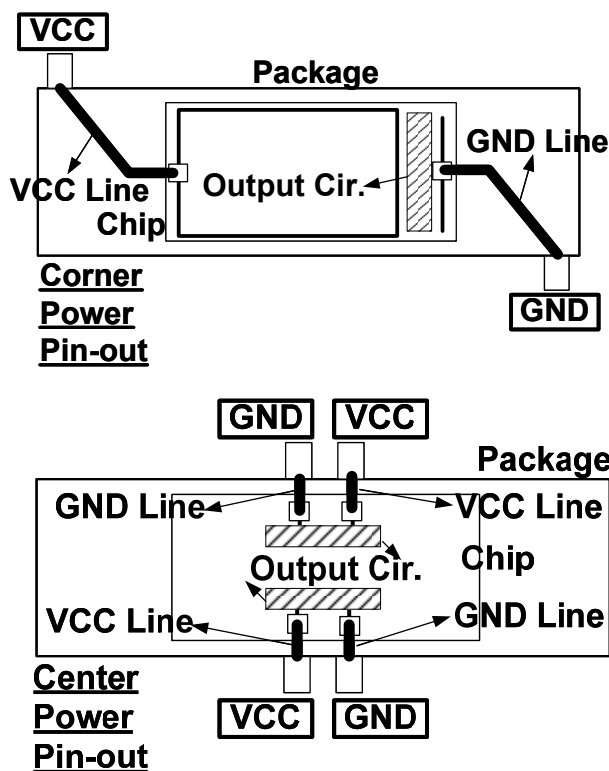


図 2-33 コーナパワーピンとセンタパワーピンの電源配線図

具体的な例として表2-5に本SRAMの電源線インダクタンスの値を示す。フレームとボンディングワイヤのインダクタンスは円筒形に近似して計算し、アルミ配線のインダクタンスはシリコン基板上に平板が配置されていると仮定して求めた[2_42]。表より、コーナパワーピンのほうがセンタパワーピンより5倍から10倍以上大きなインダクタンスをもつことがわかる。

更に、ピン配置と出力回路の駆動力が異なる場合の、シミュレーションによる比較を行った。図

表 2-5 32Kx8 TTL SRAM のコーナパワーピンと

センタパワーピンの電源線インダクタンスの値

	コーナパワーピン		センタパワーピン	
	VCCライン	GNDライン	VCCライン	GNDライン
フレーム	3.8nH	3.8nH	0.4nH	0.4nH
ボンディングワイヤとアルミ配線	5.1nH	0.7nH	0.4nH	0.4nH
計	8.9nH	4.5nH	0.8nH	0.8nH

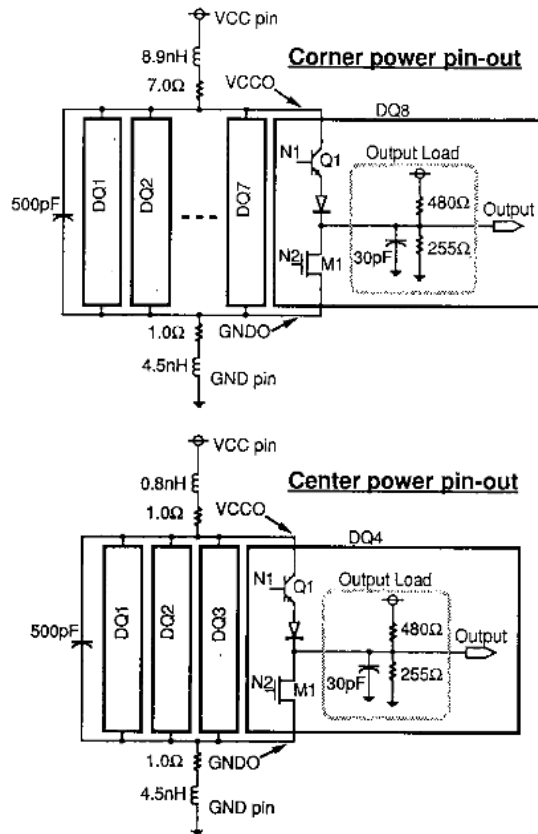


図 2-34 ノイズシミュレーションに用いた出力回路

3-34にシミュレーション用いた回路図を示す。内部VCC配線(VCCO)と内部GND配線(GNDO)と出力(Output)のシミュレーション波形を図3-35に示す。電源線のインダクタンスは表2-5の値を用いた。コーナパワーピンとセンタパワーピンで同一の駆動力をもつ出力回路を用いた場合、図2-35の上図と中央の図に示すように、コーナパワーピンでは電源線ノイズのピーク値が3Vに達するのに対し、センタパワーピンでは1V以下であり、遅延時間もセンタパワーピンのほうが0.5ns高速であることがわかる。

また、コーナパワーピンで、図2-35に示した出力回路のQ1のエミッタ面積を10分の1とし、M1のゲート幅を3分の1とし、出力ダイオードと出力ノードの間に40Ωの抵抗を挿入し、Q1とM1を駆動する回路のゲート幅を5分の1として、出力回路の駆動力を抑えた場合のシミュレーション結果を図2-35の下図に示す。このとき、電源線ノイズのピーク値は2V以下に抑えられるが、図2-35の中央の図に示したセンタパワーピンの場合よりも1ns遅延時間が増大する。このシミュレーションは出力回路だけに着目して行ったが、実際の回路では、出力用の電源線のノイズが出力回路以外の内部回路にも悪影響を及ぼすため、コーナパワーピンとセンタパワーピンの遅延時間の差は更に広がる。

$$\text{電源ノイズ } \Delta V = L \cdot \frac{di}{dt}$$

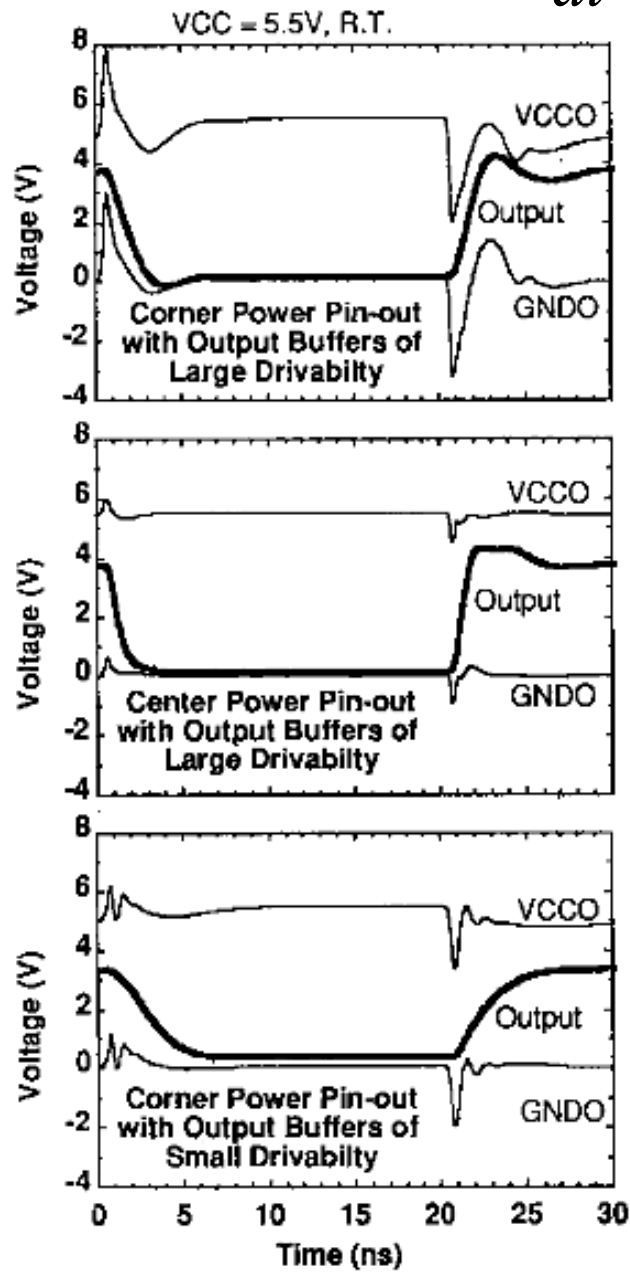


図 2-35 電源線のノイズのシミュレーション結果

このように、センタパワーピンは電源線のインダクタンスをコーナパワーピンに比べて小さくでき、高速化に大きく寄与するため、90年代以降の、多くの多ビット高速TTL SRAMにおいてセンタパワーピンが採用されており、本SRAMでもセンタパワーピンを採用することとした。

2. 5. 2 センタパワーピンに最適な ビット線負荷交互配置構成

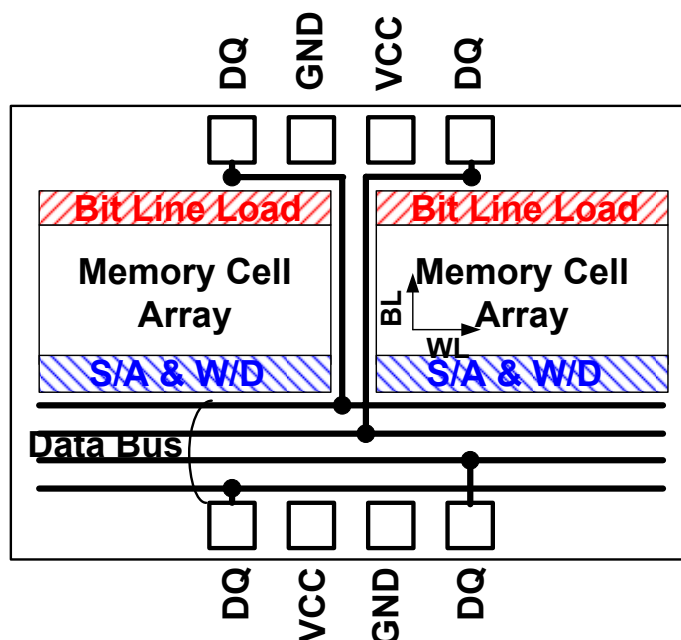


図 2-36 センタパワーピンに対応した従来のデータバス配置図

図2-36にセンタパワーピンに対応した従来のSRAMのデータバス配置図を示す。従来のメモリアレーアーキテクチャでは、メモリセルアレイの上側にビット線負荷を、下側にデータバスと接続されるセンスアンプ(S/A)とライトドライバ(W/D)を配置するため、データバスはメモリセルアレイの下側に配置される。こうした従来のメモリアレーアーキテクチャでセンタパワーピンに対応すると、上位DQピン(DQ5-8)に対応したデータバスはメモリセルアレイ下側のデータバス領域から上側のDQピンまで引き回され、下位DQピン(DQ1-4)に対応したデータバスより配線長が大きい。このため、上位DQピンのデータバスの配線長が大きくなり、データバスでの遅延を大きくしていた。図2-37にセンタパワーピンに適したデータバス配置図を示す。このように、メモリセルアレイ下側に下位DQピン用データバスを、上側に上位DQピン用データバスをそれぞれ配置すると、上位下位どちらのデータバスも余分な配線がなくなり、データバスの遅延を抑えることができる[2_43]。

ここで、本SRAMの場合の図2-36と図2-37のデータバス配置による遅延時間の差を見積る。2. 5. 4節で述べるセンスアンプを図2-36と図2-37のデータバス配置で用いると、データバスに接続されるトランジスタ容量は1.5pFである。また、図2-36と図2-37で共通である長辺方向のデータバスの長さは6.75mmであり、図2-36のデータバス配置で生じる短辺方向

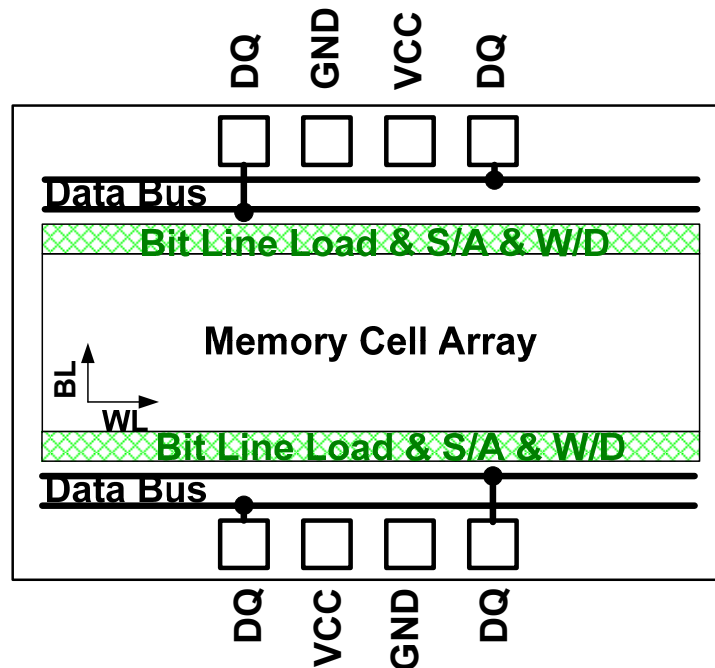


図 2-37 センタパワーピンに適したデータバス配置図

のデータバスの長さは4.0mmである。ここで、単位長さ当りの配線容量を $2.0 \times 10^{-4} \text{pF}/\mu\text{m}$ とすると、図2-36と図2-37のデータバス配線容量は、それぞれ、2.15pFと1.35pFであり、トータルデータバス容量は、3.65pFと2.85pFである。そして、図2-36と図2-37の最悪のデータバスの経路の長さは、7.4mmと4.2mmであり、単位長さ当りの抵抗値が $15 \text{m}\Omega/\mu\text{m}$ であるため、データバスの抵抗値は 111Ω と 63Ω である。上記の値を用いてシミュレーションを行うと図2-37のデータバス配置のほうが0.15ns高速となることがわかった。従って、本SRAMでは図2-37のデータバス配置を採用することとした。しかし、データバスをメモセルアレイ上下に配置するためには、データバスと接続されるセンスアンプとライトドライバをメモセルアレイの上下に振り分けて配置するメモリアレーアーキテクチャの採用が必要となる。

今回、データバスをメモセルアレイ上下に配置するためにビット線負荷交互配置構成と呼ぶメモリアレーアーキテクチャを考案した。図2-38にビット線負荷交互配置構成の概念図を示す。ビット線負荷・カラム選択回路・センスアンプ・ライトドライバはメモセルアレイの上下に配置されている。そして、奇数番目のビット線対は下側のビット線負荷と、偶数番目は上側のビット線負荷と接続されており、上下に配置されたビット線負荷が、ビット線対に対して一つおきに、交互にビット線対と接続されていることから、「ビット線負荷交互配置構成」と名付けた。

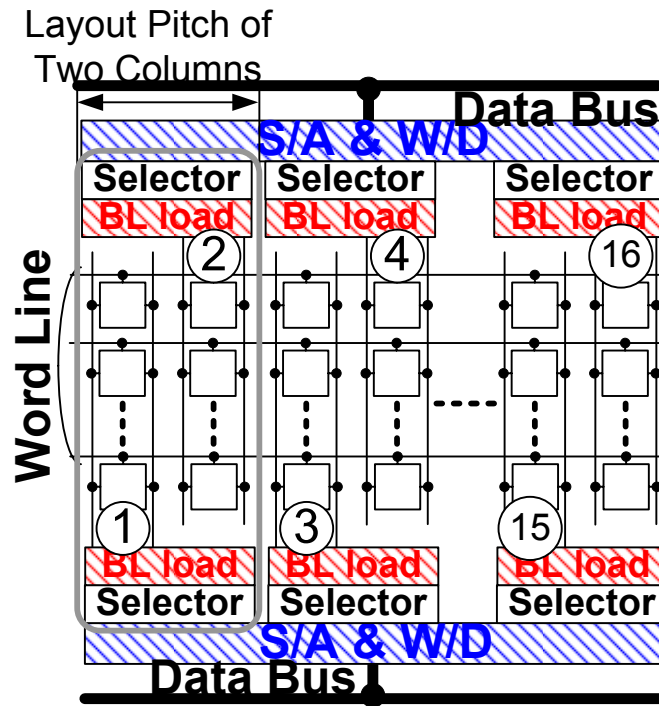


図 2-38 ビット線負荷交互配置構成の概念図

ビット線負荷交互配置構成のレイアウト上のメリットについて説明する。図2-39に従来のアーキテクチャのビット線負荷とカラム選択回路の配置を示す。従来のアーキテクチャでは、

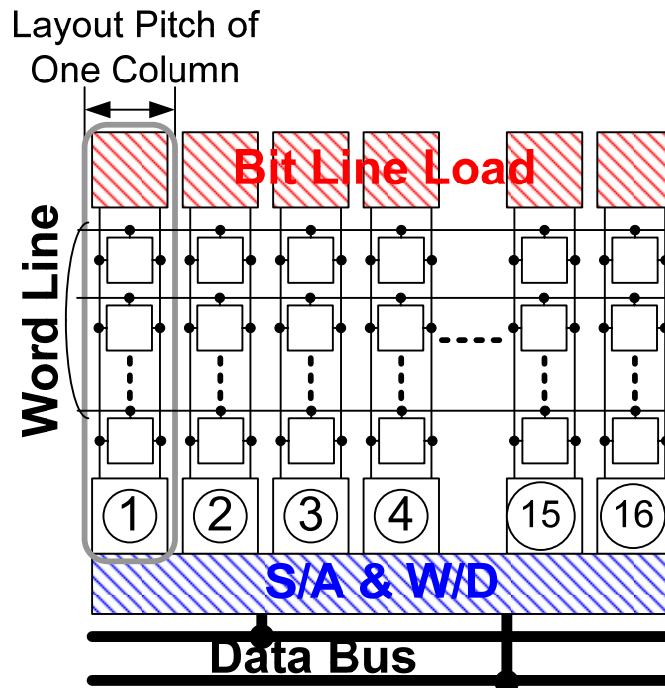


図 2-39 従来のメモリアレイアーキテクチャの概念図

メモリセルアレイの上側にビット線負荷を、下側にカラム選択回路を配置し、メモリセル1カラム分のピッチでビット線負荷とカラム選択回路をレイアウトしている。1カラム分のピッチではレイアウトできる配線が数本に限られるため、ビット線負荷やカラム選択回路として単純な回路しか採用できない。これに対し、ビット線負荷交互配置構成は、図2-38に示すようにメモリセル2カラム分のピッチを用いて、ビット線負荷とカラム選択回路をレイアウトしている。すなわち、ビット線負荷交互配置構成は、従来のアーキテクチャと比較して2倍のピッチでレイアウトできるため、配置可能な配線数が多くなり、ビット線負荷あるいはカラム選択回路として採用できる回路の選択肢が広がるというメリットをもつ。従って、本SRAMは、ビット線負荷交互配置構成を用いたため、2.5.3節と2.5.4節で示すような素子数と配線数が多く複雑な高速回路を、厳しい設計基準を使用することなく採用できたといえる。

2. 5. 3 NMOSによる高速ライトリカバリ可能な ビット線負荷回路

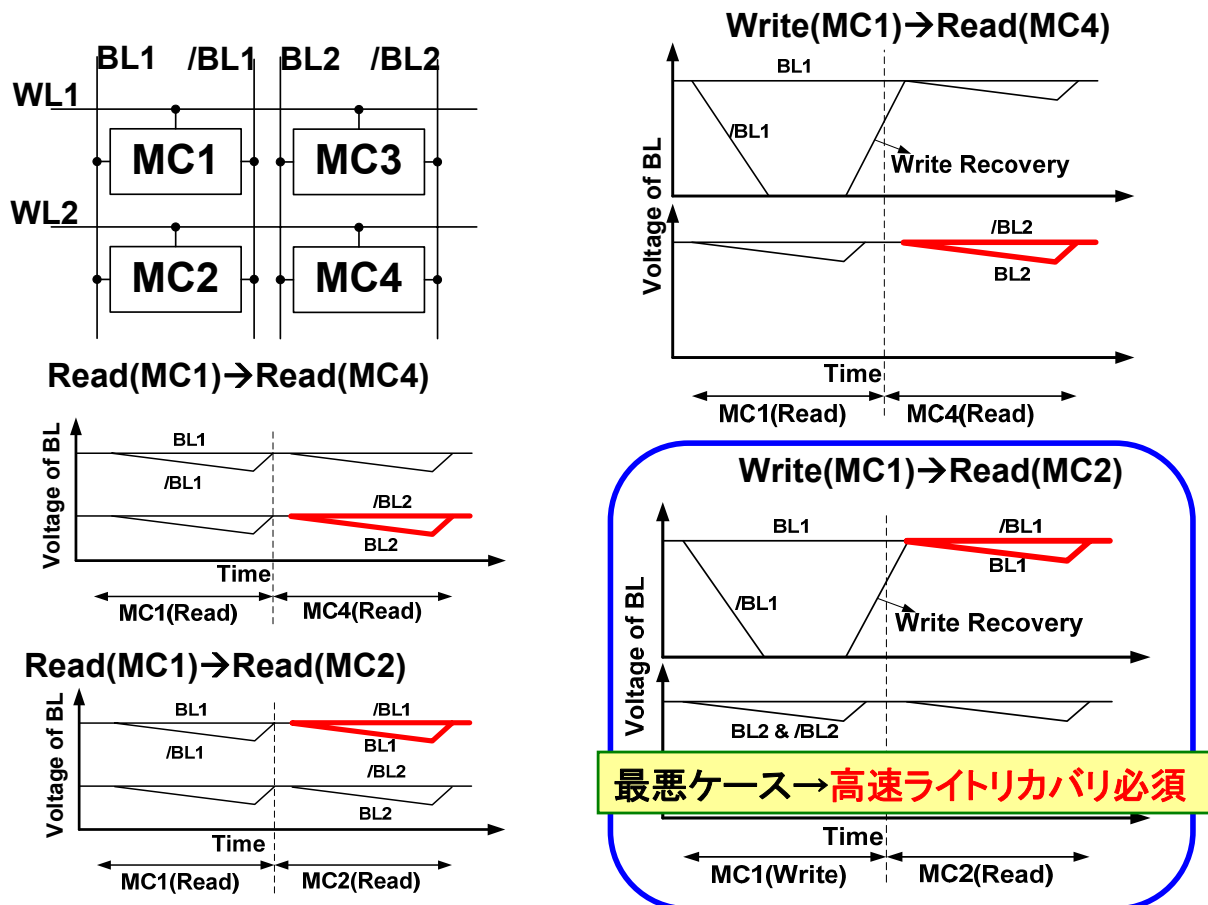


図 2-40 アクセスタイムが最悪となるケース

図2-40に示すように高速Asynchronous SRAMのアクセス時間の最悪条件は書込み直後のビット線につながるメモリセルのデータを読み出す時である。この最悪条件のアクセス時間を高速化するためにはライトリカバリ(書込みで開いたビット線をプリチャージ状態に戻すこと)を高速化することが必須となる。高ゲインを有するバイポーラ・センスアンプを使用するBiCMOS SRAMでは、ビット線振幅を100mV以下に抑えるため、読出し時のビット線負荷のインピーダンスは非常に小さい。このため、書込み信号を使用してビット線負荷のインピーダンスを変化させる必要がある[2_44]。従って、書込み後にいかにビット線負荷のインピーダンスを下げ高速にビット線をプリチャージするか、ということが重要となる。

図2-41にNMOSによる高速ライトリカバリ可能なビット線負荷回路を示す。ビット線負荷回路はビット線の読出し振幅を決定するPMOS(P1,P2,P3)と、各カラムのライトドライバとして

動作するNMOS(N1,N2,N3,N4)から構成される。一組のローカルライトデータバス(LWDB)は、2入力NANDからなるライトドライバにより駆動され、8個のビット線負荷が接続されている。

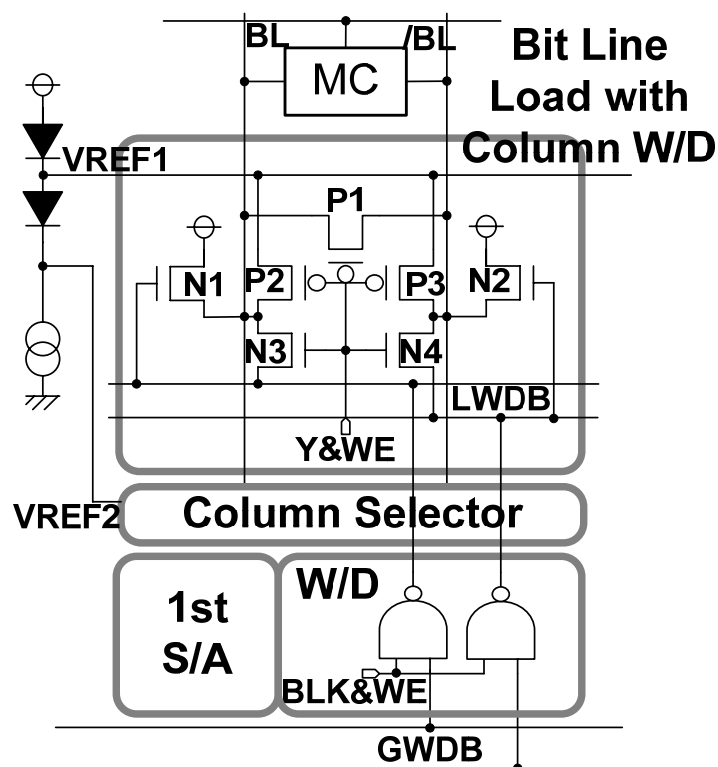


図 2-41 NMOS による高速ライトリカバリ可能なビット線負荷回路

図2-42に示したビット線電位の時間変化の模式図を用いて、このビット線負荷回路の動作を説明する。書き込み時、Y・WE信号とBLK・WE信号はHighレベルであり、LWDBの一方はVCCレベルで、もう一方はGNDレベルである。従って、LWDBの電位はN3, N4によりビット線に伝えられ、P1, P2, P3はオフ状態であるため、ビット線のLowレベルはGNDまで下がり、書き込み電流は流れない。

Y・WE信号とBLK・WE信号がHighレベルからLowレベルへ変化し、書き込みサイクルから読出しサイクルへと変化するプリチャージ期間には、LWDBはどちらもVCCレベルへと変化する。このとき、ビット線のLowレベルは、N1, N2の付加されていない従来のSRAMでは、図2-42の破線で示したように、P1, P2, P3のみでゆっくりと充電される。しかし、N1, N2の付加された本SRAMでは実線で示したように、ビット線のLowレベルは、N1, N2によりVCC-V_{TN}(V_{TN}:NMOSのしきい値電圧)まで急速に充電される。これは、ビット線の読出し電位がVCC-V_{TN}よりも高く設定してあるため、N1, N2を、読出し振幅とは無関係に、ビット

線の急速充電が可能なサイズに設定できるからである。そして、読出し電位をVCCからVbe (Vbe:バイポーラのベース・エミッタ間電圧)だけ下げ、駆動力の弱い、PMOSによる充電期間を短くして、書込み後のプリチャージを高速にした。

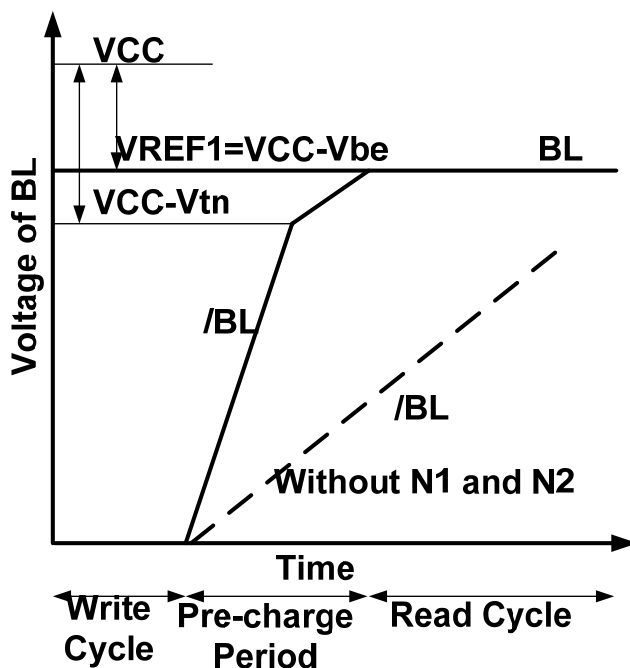


図 2-42 ビット線電位の時間変化の模式図

2. 5. 4 ワイヤードオア型カラムセンスアンプ

各カラムにセンスアンプを配置するカラムセンス構成は、メモリセルで駆動する容量を低減できるため、高速アクセスを得る有効な手段である。本SRAMは図2-43に示すような小面積の高性能ダブルポリシリコン・バイポーラを生かして、各カラムにエミッタフォロワトランジスタを配置したワイヤードオア型のカラムセンス回路を採用した。リードデータバスをローカルリードデータバス(LRDB)とグローバルリードデータバス(GRDB)の2段構成とし、それぞれのデータバスにおいてワイヤードオアをとった。カラム選択回路はエミッタフォロワトランジスタ(Q1, Q2)とPMOS(P4, P5, P6, P7)から構成され、80mVのビット線振幅をLRDBに伝える。選択時P4, P5によりビット線振幅が、非選択時P6, P7により非選択レベル $VCC - 2 \cdot V_{be}$ が、Q1, Q2のベースに伝えられる。選択されたメモリセルはビット線とQ1, Q2のベースノードだけを駆動すればよく、8組のビット線対が接続されたLRDBはQ1, Q2により高速に駆動される。LRDBの信号を受けるローカルセンスアンプとして電圧出力形バイポーラ・センスアンプ

を用いた。本SRAMでは、16個のローカルセンスアンプが接続されたGRDBをダーリントン回路により高速に駆動している。

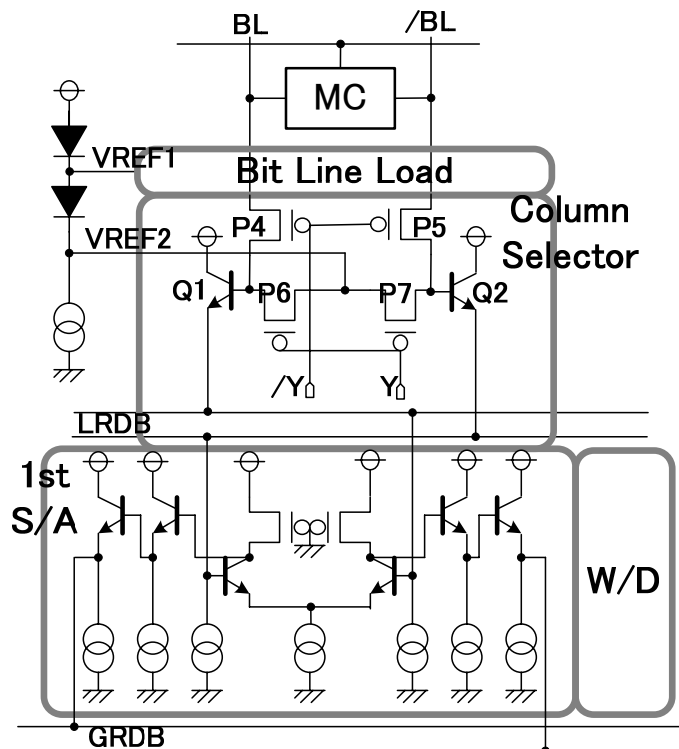


図 2-43 ワイヤードオア型カラムセンス回路

図2-44にローカルセンスアンプ以降のセンスアンプ回路の構成と、電源電圧5V、室温時のアドレスアクセス時間のシミュレーション波形を示す。GRDBの0.3Vの振幅は、バイポーラ・センスアンプからなるメインセンスアンプにおいて1.2Vまで増幅されて、レベル変換回路に入力される。読出しデータはレベル変換回路において振幅を電源電圧まで増幅され、出力回路を経てDQピンに出力される。アドレス入力からワード線の立上りまで2.7nsかかり、メインセンスアンプまで3.6ns、シミュレーションのアドレスアクセス時間は4.9nsである。また、アドレス入力からビット線のクロスまで2.9ns、LRDBまで3.0ns、GRDBまで3.4nsかかっている。つまり、ビット線とLRDBの遅延はあわせて0.3nsに抑えられており、図2-42に示したワイヤードオア型カラムセンス回路は高速アクセスの達成に大きく寄与しているといえる。

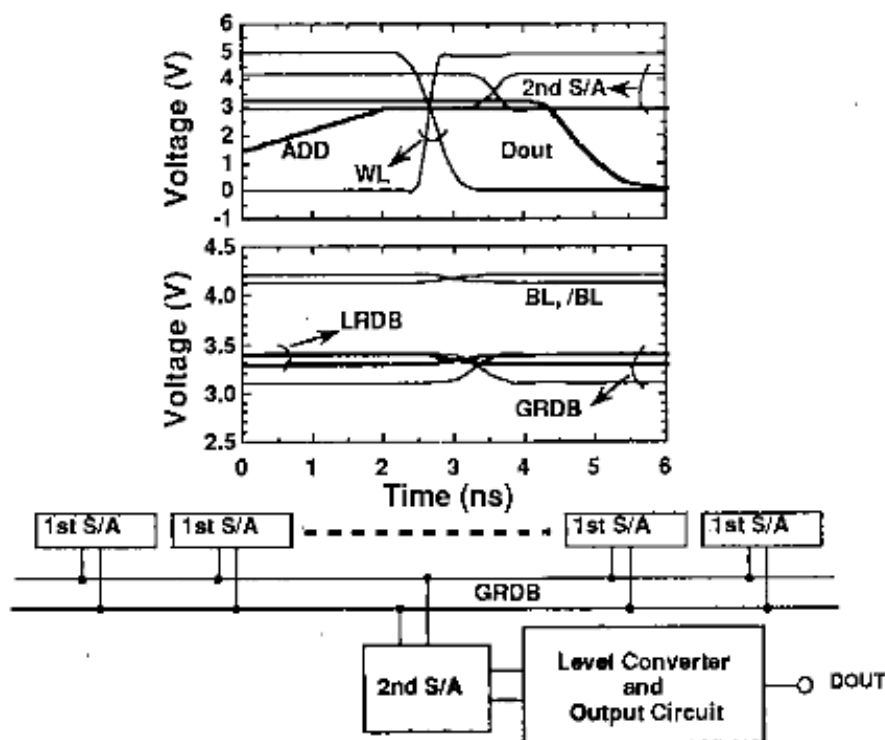


図 2-44 第 1 センスアンプ以降のセンスアンプ回路の構成と

アドレスアクセスのシミュレーション波形

2. 5. 5 ダブルポリシリコン・バイポーラを搭載した 0.6 μ m BiCMOS プロセス

超高速SRAMの実現にとって小面積メモリセルと高性能トランジスタが必要となる。本SRAMの試作には、5層ポリシリコン、2層アルミの0.6 μ m BiCMOS CMOSプロセスを用いた[2_41]。メモリセルとして高抵抗負荷型4T-cellの4.2 x 5.6 μ m²の4M SRAMクラスの小面積メモリセルを採用した。バイポーラ単体の電気特性は遮断周波数18.5GHz、電流利得120を達成している。最小ゲート長0.6 μ m/0.7 μ m(nMOS/pMOS)であり、ゲート幅10 μ mの単体MOSTランジスタで4.6mA/-2.5mA(nMOS/pMOS)のドレイン電流が得られている。表2-6にトランジスタ特性一覧を示した。

表 2-6 プロセスパラメーター一覧

プロセス

0.6 μ m BiCMOS

5層ポリシリコン, 2層アルミ

バイポーラ

自己整合形バイポーラ

Emitter Size **1.5 μ m x 6.5 μ m**

Cut-off Frequency (f_T) **18.5GHz**

Current Gain (h_{FE}) **120**

BV_{ceo}(耐圧) **7.4V**

CMOS

Gate Length (P/nMOS) **0.7 μ m/0.6 μ m**

Gate Width **10 μ m**

Ids(P/nMOS) **-2.5mA/4.6mA**
 (|V_g|=|V_d|=5V)

Threshold Voltage **-0.71V/0.56V**

Gate Oxide Thickness **15nm**

Memory Cell (4T-cell)

Memory Cell Size **4.2x5.6 μ m²**

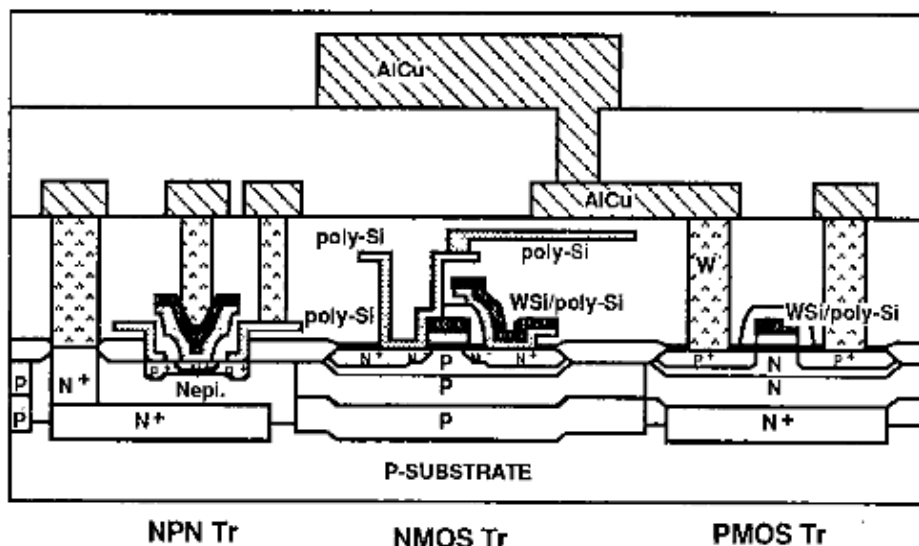


図 2-45 0.6 μ m BiCMOS デバイスの断面構造図

図2-45に0.6 μ m BiCMOSデバイスの断面構造図を示す。1層目のポリシリコン(WSi/ポ

リシコリコン)はMOSTランジスタのゲート電極、2層目のポリシリコンはバイポーラのベース電極、3層目のポリシリコン(WSi/ポリシコリコン)はバイポーラのエミッタ電極とメモリセルのGND配線として使用され、4層目と5層目のポリシリコンはメモリセル内の配線と高抵抗として使用される。バイポーラは、コレクタ抵抗、ベース抵抗とエミッタ抵抗が小さく、ベース幅が薄く、ベース・コレクタ間容量が小さいほど、特性が改善される。本SRAMでは、エミッタ電極とベース電極をどちらもポリシリコンで形成し、200nmのSidewallにより自己整合的にエミッタ電極とベース電極を分離した自己整合形バイポーラを用いた。すると、マスク合わせずれに無関係にベース電極とエミッタ電極をSidewall幅まで近づけることが可能なため、ベース抵抗を非常に小さくでき、また、エミッタ電極周りにできるベース引き出し用のコレクタ内のP+層を非常に小さくできるため、ベース・コレクタ間容量を小さくでき、バイポーラの劇的な高性能化が図れる。

エミッタ領域は、As(砒素)が注入された3層目のポリシリコン(WSi/ポリシコリコン)から1050°C、30秒のrapid thermal annealingによりAsを浅く拡散することで形成することを提案し実際に用いているため、薄いベース幅が実現できている。また、この熱処理により、エミッタ抵抗と、メモリセルのGND直接コンタクト抵抗を低減できる。バイポーラのコレクタ・コレクタ間のP分離層とPウェルのP埋め込み層は、LOCOS(フィールド酸化膜)形成後の高エネルギーイオン注入により形成することを提案し実際に採用している。従来はエピタキシャル層の形成前にP埋め込み層を設けていた。しかし、エピタキシャル層形成中の熱処理によりB(ボロン)の浮き上がりの考慮が必要なため、薄いエピタキシャル層の形成は困難であった。エピタキシャル層形成後にP埋め込み層を形成するため、0.9 μ mという極めて薄いエピタキシャル層の採用が可能となり、コレクタ抵抗を低減した。さらにLOCOS形成後の高エネルギーイオン注入は、熱処理によるMOSTランジスタの分離部の拡散が原因の狭チャネル効果を抑えることが可能となった。そして、LOCOS形成後の高エネルギーイオン注入を用いてPウェルとNウェルを別々に形成(レトログレードウェル)するため、コレクタ濃度はNエピタキシャル層のみにより決定され(従来はPMOSのNウェルと同時にコレクタを形成していたためコレクタ濃度が高かった)、ベース・コレクタ間の容量を低減できた。なお、コレクタ抵抗低減の為にN+埋め込み層はエピタキシャル層形成前に形成している。また、タングステンプラグが第1アルミ配線のコンタクト内のカバレッジを改善するために使用されている。

2. 5. 6 試作結果

本SRAMのチップ写真を図2-46に示し、図2-47にブロック構成図を示した。チップサイズは4.0mm x 8.8mmである。メモリセルアレイは、x9ビット構成の時のみ使用するx9ビット専用

ブロックが2ブロックと、x8, x9のどちらのビット構成でも使用する通常ブロックが16ブロックの計18ブロックから構成されている。各ブロックは260rows x 72columnsからなり、そのうち4row, 8columnは冗長メモリセルである。各ブロックの72columnは18column単位で四つに分割されており、各18columnで図2-38に示したようなビット線負荷交互配置構成をとっている。各18columnのうち2columnは冗長メモリセルである。本SRAMは高速・低消費電力を達成するために、変形DWL構成[2_14]を用いている。ローカルワード線はRCの遅延を抑えるために2層目のアルミにより各ブロック内で16columnおきにシャントされている。グローバルロウデコーダはチップ中央に配置されグローバルワード線の配線遅延を抑えている。

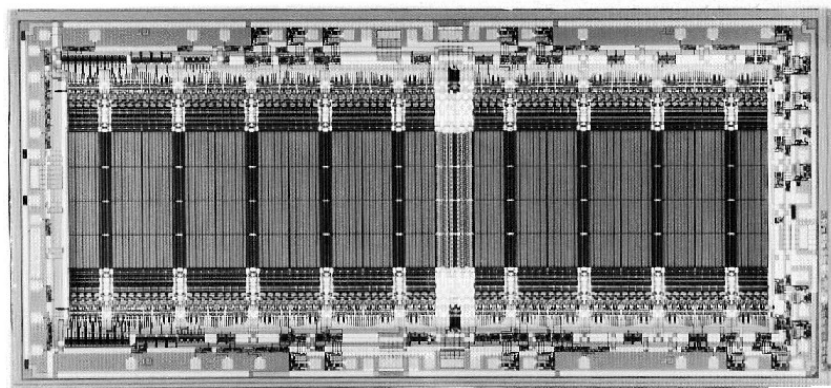


図 2-46 チップ写真

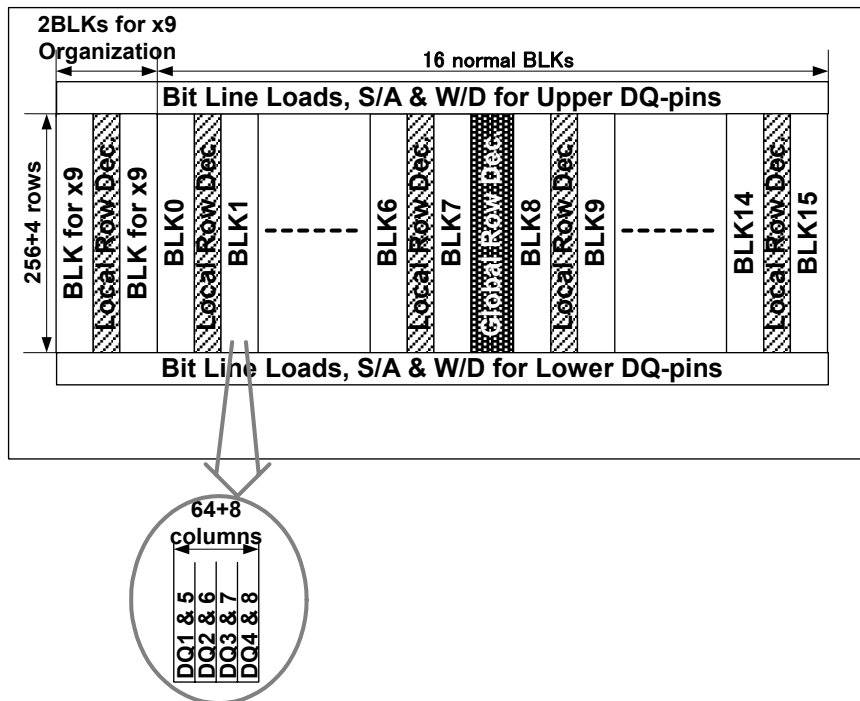


図 2-47 ブロック構成図

図2-48に電源電圧5V、室温で測定したアドレスアクセス時間の波形写真を示す。小面積メモリセルと高性能トランジスタを実現する0.6 μm BiCMOSプロセスを使用して32Kx8 TTL SRAMを試作した結果、アドレスアクセス時間5nsが達成されている。なお本SRAMは、マスクオプションにより、x8とx9というビット構成と、センタパワーピンとコーナパワーピンというピン配置を切替えている。本SRAMの諸特性を表2-7に示す。

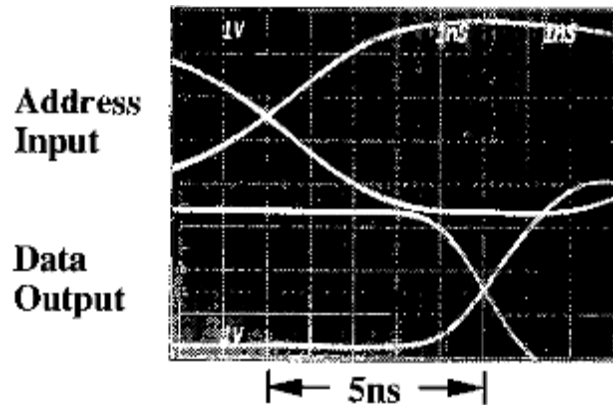


図 2-48 アドレスアクセスの波形写真

表 2-7 SRAM の電気特性一覧

構成	32K word x 8/x9 bit (マスクオプション)
インタフェース	TTL
アクセス時間	5ns
動作電流	175mA@100MHz
メモリセルサイズ	5.4 μm x 7.2 μm
チップサイズ	4.0mm x 8.8mm
冗長構成	4rows, 4columns/block
ピン配置	32 ピンセンタパワーピン (x8/x9 構成)
	28 ピンコーナパワーピン (x8 構成)
	32 ピンコーナパワーピン (x9 構成)

2. 6 多ビット 3.3V TTL BiCMOS SRAM の高速化技術

[2_58]-[2_59]

はじめに

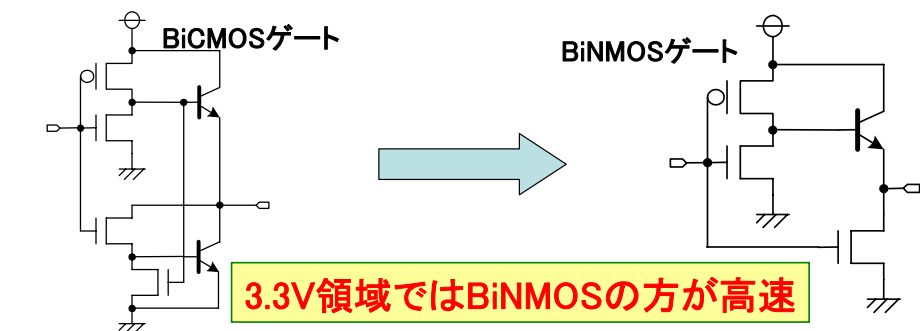
2. 5節の「はじめに」で述べたとおり、RISCプロセッサを用いたワークステーションの外付けキャッシュメモリ用途の、アクセス時間10ns以下の多ビット超高速TTL BiCMOS SRAMとして、0.6 μ m 256Kbit BiCMOS TTL SRAMを開発した。しかし、マイクロプロセッサの電源電圧の5Vから3.3Vへの低電圧化と、マイクロプロセッサの高性能化に伴うキャッシュメモリへの低電圧・大容量化の要求は強い。このため、3.3Vでアクセス時間10ns以下の高速動作することを目的としたBiCMOS SRAMの報告も行われている[2_38], [2_39]。

そこで筆者も、3.3Vのキャッシュメモリ用途として、3.3V 1MビットBiCMOS TTL SRAMを開発した。本節では、本SRAMの高速化のために提案した回路技術とプロセス技術を説明し、試作評価結果について述べる。

本SRAMの開発にあたって次のような目標を設定した。

- 1) 電源電圧は3.3 \pm 0.3V、LV-TTLインタフェース互換とするが、動作VCC下限マージンは極力大きくする。そこでVCC下限目標値として2.0Vを設定した。

■ 論理ゲートは、BiCMOSゲートからBiNMOSゲートへ



■ すべてのVCC→GNDのパスにおいて下記のように回路を組む。

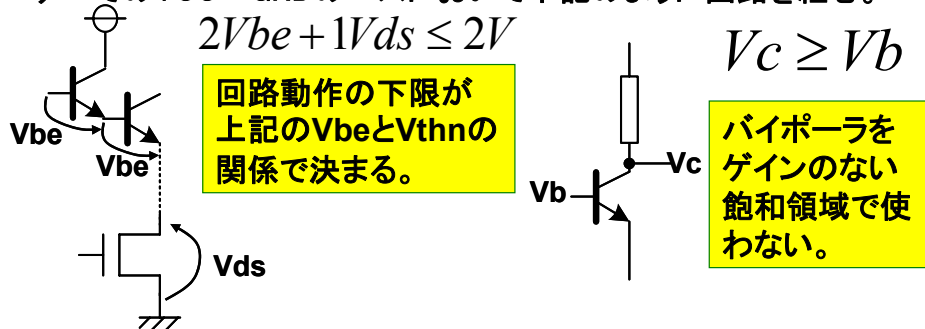


図 2-49 3.3V 対応 BiCMOS 回路設計のキーポイント

- 2) アクセス時間は10ns以下を達成する。
- 3) 最大消費電力は100MHz動作時で1W以下とする。
- 4) キャッシュメモリに最適な多ビット構成とする。また多ビットI/O構成のデバイスで問題となる出力ノイズの低減を考慮する。そこでSRAMのI/O数としては多い64Kx18ビット構成を第1に採った。ただし、x8、x9、x16ビット構成をマスクオプションで切換えられるよう回路及びレイアウト設計を行う。

このような目標を達成するため、プロセス技術として0.5 μ mルール of BiCMOSプロセスを採用した。また、メモリセルとしては低電圧動作のためにTFT負荷型4T-cellを選択し、図2-49に示した3.3V対応の回路設計のキーポイントを守って回路設計を行った。アーキテクチャ、ピン配置、プロセス技術の基本的考え方は前節の256Kbit BiCMOS TTL SRAMを踏襲した。

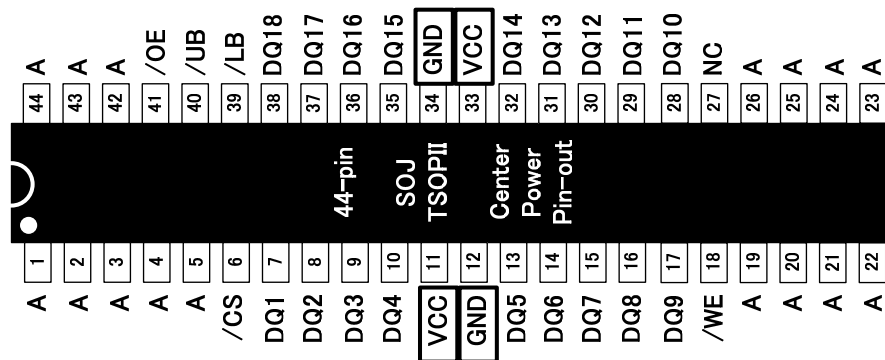


図 2-50 パッケージ・ピン配置

図2-50に64Kx18ビット構成に対応したピン配置を示す。電源線(VCC, GND)のインダクタンスの低いセンタパワーピン型を採用しJEDEC標準に準拠している。

図2-51にブロック構成を示す。センタパワーピン配置に対応するため、図に示すように、チップ長辺側に置くIO回路を上位と下側とで対称に配置する構成とした。メモリセルアレイは、36個のブロックに分割され、各ブロックにおいてメモリセルが520rows x 66 columnsのマトリクスに配置されている。高速化と低消費電力化のため、変形DWL構成[2.4]を採った。すなわちグローバルロウデコーダをチップ中央に置き、各ブロックにあるローカルロウデコーダを駆動している。またワード線のRC遅延を低減するため、ポリシリコンのローカルワード線は16column毎に第2メタル配線でシャントしている。

ビット線負荷の配置は、2.5.2節で説明したセンタパワーピン配置に好適でかつレイア

ウト余裕を拡大するビット線交互配置構成を採用した。またビット線間の浮遊容量に起因するクロストークノイズを除去するため、ビット線対のツイスト配線を行っている。各ブロックにおいては、正規のメモリセルの他に、2columnの冗長カラムを配置し歩留の向上を図った。カラム冗長回路の置換は、2. 3. 2節で述べたアクセスペナルティーのないシフトリダンダンシを採用した。これとは別に予備グローバルロウデコーダを設け、全体で8本の冗長ロウを備えている。

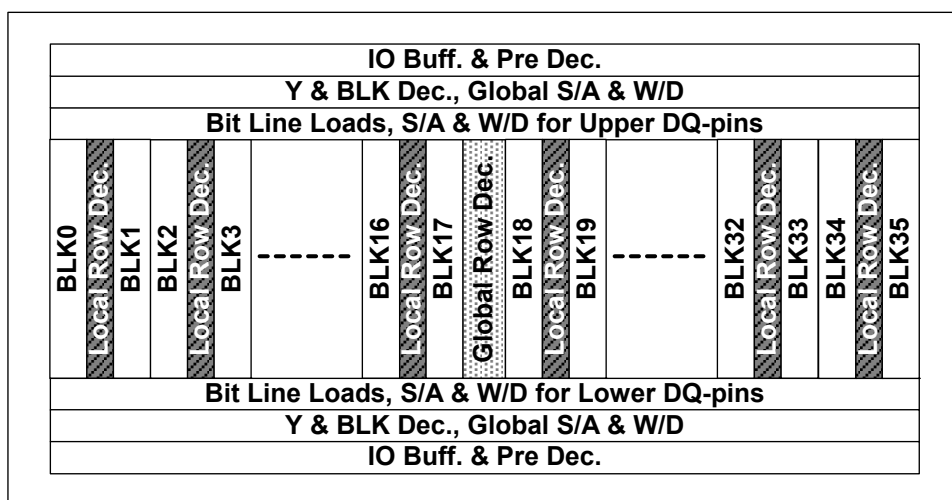
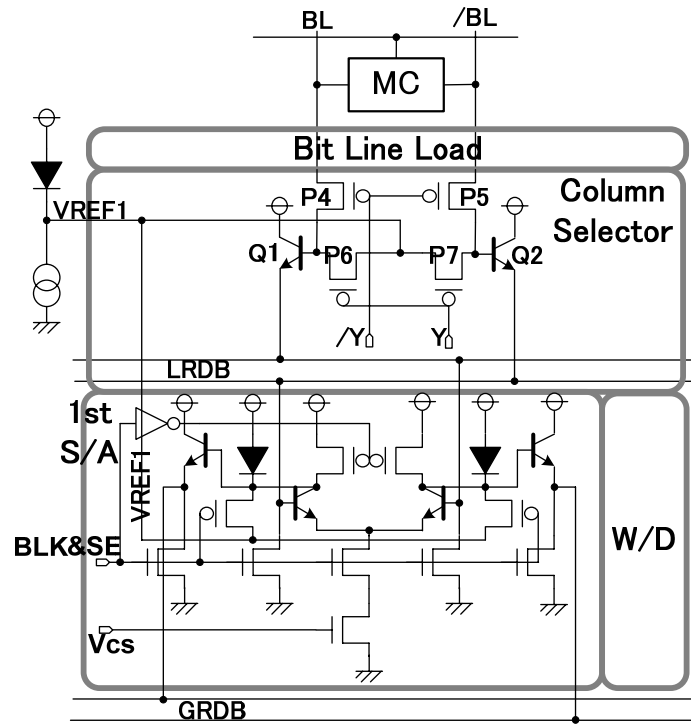


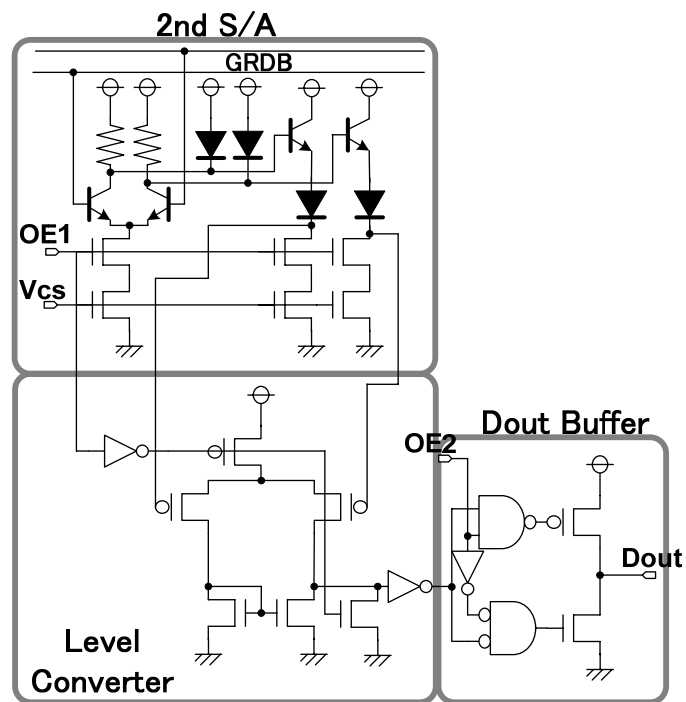
図 2-51 ブロック構成

2. 6. 1 3.3V 対応ワイヤードオア型カラムセンスアンプ

ビット線(Bit, /Bit)からデータ出力端子(Dout)までの主要な読出し回路を図2-52に示す。図2-49に示すように、バイポーラのベース・エミッタ間電圧を V_{be} 、電流源として用いるNMOSのドレイン・ソース間電圧を V_{ds} とすると、センス系の動作下限電圧は、VCCからGNDまでの電源パスの中に V_{be} と V_{ds} をいくつ”積み上げる”かで決まる。 V_{be} と V_{ds} の代表値は各々0.75Vと0.5V程度なので、 $3 \cdot V_{be}$ だと目標値2.0Vを満足できない。 $2 \cdot V_{be} + V_{ds}$ で2.0Vとなるので V_{be} 電圧降下は2段以内にする必要がある。これとは別にバイポーラトランジスタを飽和領域で動作させてはならないという制約もあり、電流出力型センスアンプに比べて電位設定がしやすく高速動作に好適なエミッタフォロワのワイヤードオア型センスアンプを、2. 5. 4節に示した5V用に最適化された読出し回路を、3.3V動作用に最適化した3.3V対応ワイヤードオア型カラムセンスアンプを採用した。



(a) 1st センスアンプまでの読出し回路



(b) GRDB から出力バッファまでの読出し回路

図 2-52 読出し回路

2. 5. 4節に示した5V用に最適化された読出し回路からの変更点を下記に示す。

- 1) 読出し時のビット線プリチャージレベルはVCC-VbeからVCCとした。
- 2) LRDBの振幅を増幅する差動回路の負荷抵抗となっているPMOSを非選択時にオフする構成とした。
- 3) GRDBを駆動する回路をダーリントン回路からエミッタフォロワ回路とした。
- 4) LRDB, GRDBを駆動するエミッタフォロワ・バイポーラの非選択レベルをVREF1=VCC-Vbeとした。

上記の変更により、LRDB, GRDBともにHighレベルがVCC-Vbe、ワースト時のLowレベルがVCC-2・Vbeとなり、VCCからGNDまでの電源パスの中のVbeとVdsの”積み上げ“を、2・Vbe+Vdsに抑えて、VCC下限特性を改善している。

レベル変換以降は従来型CMOS回路とした。出力ドライバは、外部負荷容量30pFを駆動することを前提としている。本SRAMは2. 5節の256K BiCMOS TTL SRAMより多ビット化(x9→x18)されているので、たとえ、センタパワーピンを採用していても、出力ノイズが厳しくなることを考慮して、出力遷移時間tr/tfを過度に速めることはせず、前段のプリドライバとあわせて最適化を行った。

ビット線、GRDB、メインセンスアンプ出力の電圧振幅は、各々60mV、300mV、800mVに設定した。また図には示していないが、比較的長い配線であるGRDBは、隣接配線からの干渉ノイズを抑えるため、ツイスト配線を行っている。

2. 6. 2 バイポーラを用いた高速ライトリカバリ可能な ビット線負荷回路

書込み回路の設計で特に注意した点は、ライトリカバリ、即ち書込み直後の読出しの高速化である。一般に、書込みの終了を規定する外部/WEパルスの立上りをサイクルの終端に近づけると、ビット線電位の回復が遅れ、次サイクルでの読出し時間が遅れるか最悪で誤書込みしてしまう場合がある。今回の設計では、製品レベルでライトリカバリ時間0nsが保証でき、書込み直後の読出しが遅れることのない回路を検討した。

図2-53に書込み回路を、図2-54に動作波形の模式図を示す。ライトリカバリの高速化のためにビット線負荷にバイポーラを使用した回路が報告されている[2_20], [2_45]。しかし、4V以上のVbeの逆バイアスで電流利得(hfe)が劣化することが報告されている[2_46]。このため、筆者は、ECL-IOや、5V TTL-IOのBiCMOS SRAMのビット線負荷にバイポーラを使用することを避けてきた。しかし、本SRAMでは、4V以下のVbeの逆バイアスしか印加されないため、ビット線負荷にバイポーラ(Q1, Q2)を使用することができた。ライトリカバリの最悪

条件は、書込み後の読出しのアドレス変化が、書込み時と同一ビット線で、ワード線のみが切替わる時である。なぜなら、書込み時にビット線が開いた状態で、その逆データを読出すためである。

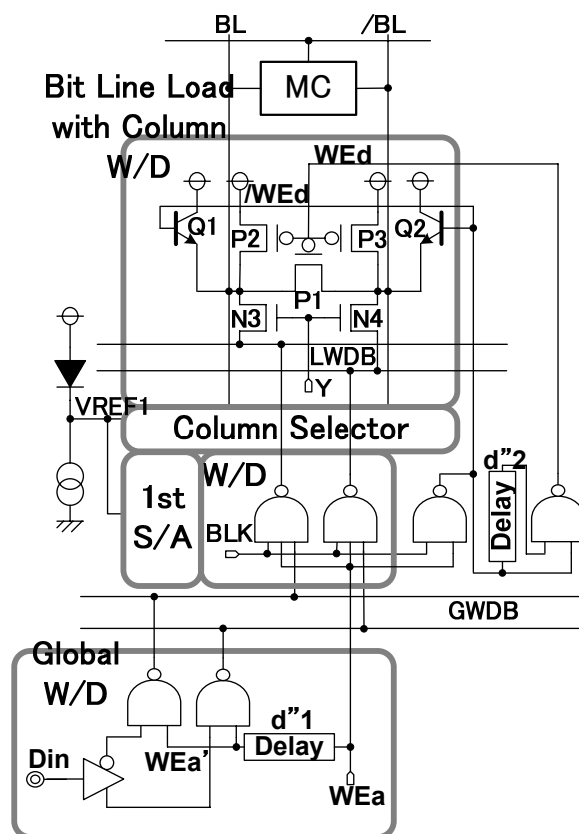


図 2-53 書込み回路

書込み回路の動作について説明する。まず書込み開始時に書込みドライバの遅延手段 ($d'1$)により、書込み前にVCCまでプリチャージされていたビット線に電位差がない状態で $VCC - V_{be}$ 以下に引下げる。その後、書込み ($t'1 \sim t'2$)中は、プリチャージトランジスタP1, P2, P3, Q1, Q2はOFFし、書込みデータがLWDBからビット線にNMOSだけで伝わる。LWDBのHighレベルはVCCで、LowレベルはGNDであるが、ビット線のHighレベルは、 $VCC - V_{thn}$ 近くまで落ちる可能性があり、LowレベルはGNDになる。書込み終了後プリチャージトランジスタをONさせ、ビット線の急速な充電を行う。この時、プリチャージ回路の遅延手段 ($d'2$)により、P1, P2, P3のONのタイミングを遅らせている。つまり、 $t'2 \sim t'3$ の期間、ビット線はNMOSを介してLWDBとQ1, Q2により高速に充電される。 $t'3$ 以降、P1, P2, P3がONし、ゆっくりとプリチャージレベルVCCまで充電される。ビット線がイコライズされる $t'4$ の

タイミングでビット線レベルはVCC-Vbeを超える。

ライトリカバリの最悪条件でアドレスアクセス時間が遅れないためには、 $t''4$ 以降でビット線がVCCにプリチャージされる前にビット線が開き始めても、そのときの読出し速度が遅れないことが必要である。図2-52の読出し回路でLRBDを駆動するエミッタフォロワ・バイポーラの非選択レベルがVCC-Vbeであるので、ライトリカバリ時に $t''4$ 以前にビット線のイコライズが完了すれば、LRBDもイコライズされる。このため、VCCまでビット線のプリチャージが完了する前にビット線が開き始めても、読出し時間が遅れることはない。

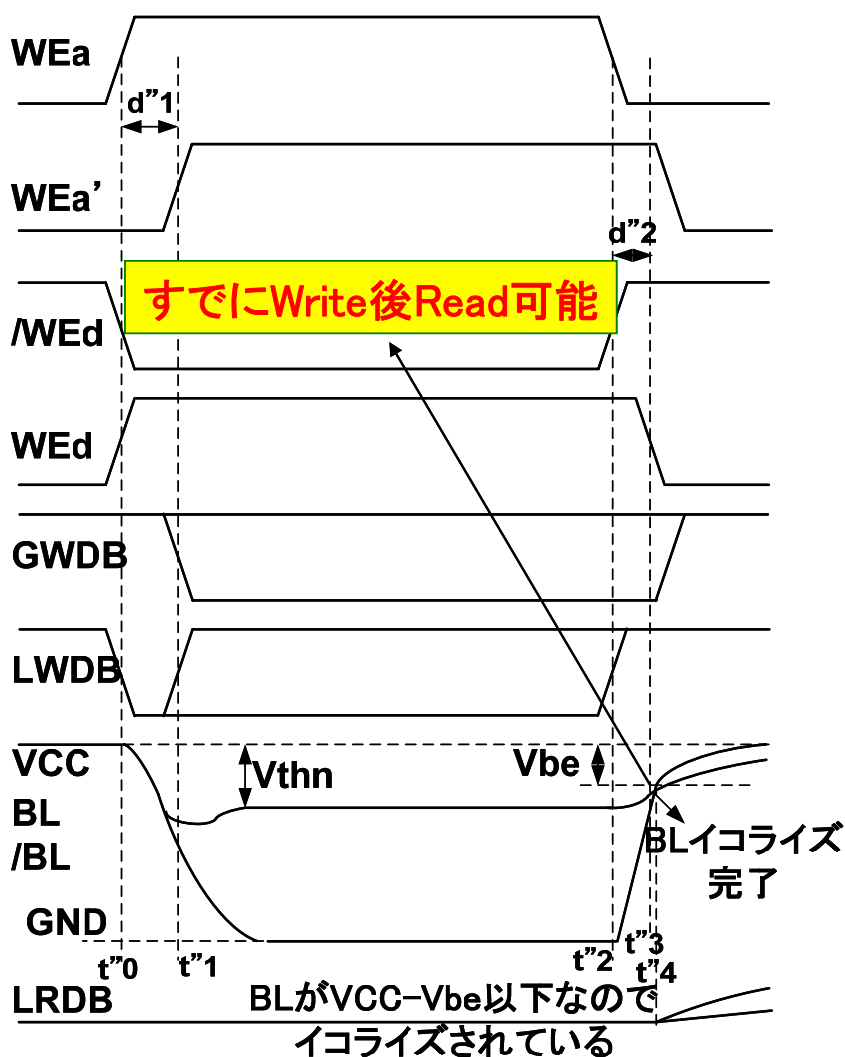


図 2-54 書込み動作波形の模式図

2. 6. 3 ダブルポリシリコン・バイポーラを搭載した 0.5 μ m 3.3V BiCMOS プロセス

高速性能を損なわず低電圧化するため、今回の試作では、電源電圧3.3V系対応に最適化された、5層ポリシリコン、2層メタルの0.5 μ mルールBiCMOSプロセスを用いた[2.47]。

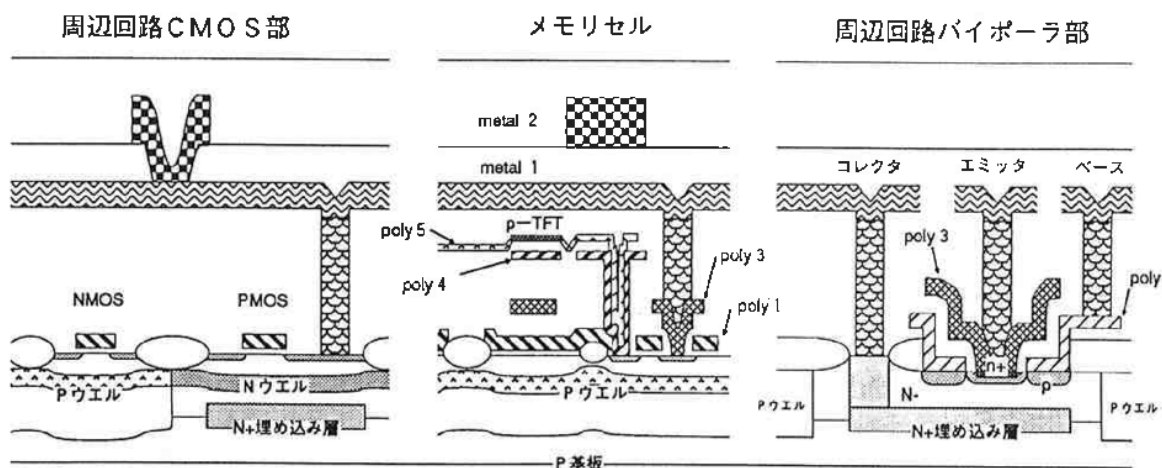


図 2-55 デバイス構造断面図

3.3V BiCMOSプロセスとしての課題は、低電圧でのメモリセルの安定性と高性能とトランジスタの両者の実現である。このうち、低電圧でのメモリセル動作の実現には、セルレシオの増加と、寄生抵抗の低減と、高性能TFT負荷をBiCMOSプロセスに搭載することが必要である。一方、高性能MOSTランジスタを形成するためには、熱処理の削減が必須であり、低熱処理において、いかにバイポーラを形成し、かつ寄生抵抗を低減するかが課題である。2. 5. 5節で述べたように、5V系の0.6 μ m BiCMOSプロセスでは、プロセスをできるだけ単純化するために、バイポーラのエミッタ電極とメモリセルのGND配線を同一レイヤのポリシリコンで形成しているが、5V系では可能であったメモリセルの直接コンタクトとエミッタ抵抗を低減するための高温の1050 $^{\circ}$ C、30秒のrapid thermal annealingを、低熱処理が必須の3.3Vの0.5 μ mプロセスでは使用することができない。そこで、本プロセスではメモリセルの直接コンタクトおよびGND配線抵抗を下げる手段として、Nitride Etch Stop Self Aligned Contact (NES-SAC)プロセスと、エミッタ抵抗を低減できる水素バーク機能を備えたSingle Wafer Type CVD (SWT-CVD)を提案し、実際に採用した。

メモリセルとしては、低電圧動作に好適なTFT負荷型4T-cellを採用した。セルサイズは $3.4 \times 5.0 \mu\text{m}^2$ である。図2-55にデバイス構造断面図を、図2-56にメモリセルのレイアウト図を示す。1層目のポリシリコンはMOSFETのゲート電極、2層目のポリシリコンはバイポーラのベース電極、3層目のポリシリコンはバイポーラのエミッタ電極とメモリセル内のGND配線に用いている。バイポーラのベース・エミッタは自己整合形である。TFTは4層目と5層目のポリシリコンで形成されている。バイポーラのエミッタとベース電極はセルフアラインで形成しており、150nmのサイドウォールで分離している。この他、第1メタル配線のコンタクトカバレッジを改善するため、タングステンプラグの埋め込みを行っている。

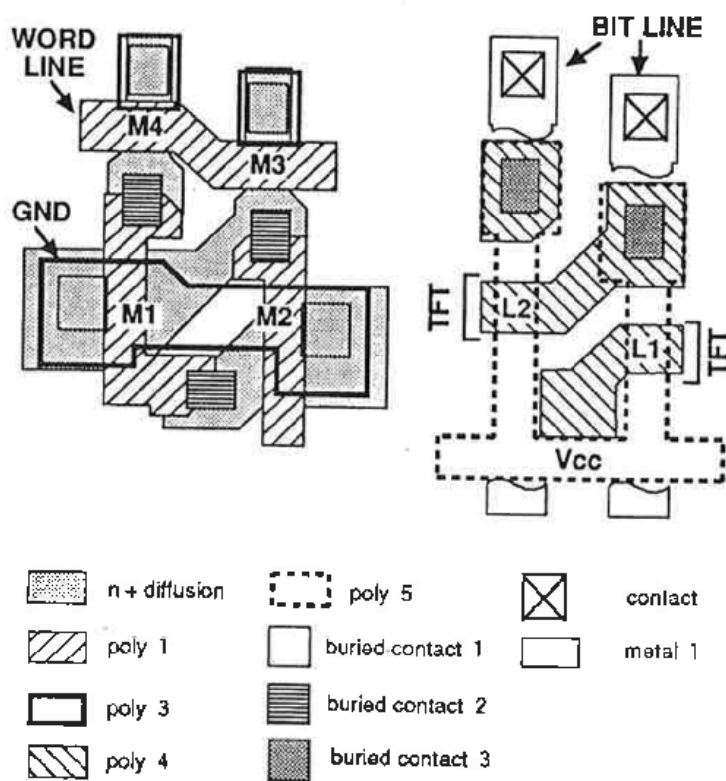


図 2-56 メモリセルレイアウト

図2-57に提案のNEC-SACのプロセスフローを示す。まず、MOS電極のパターニング後、30nmのパッド酸化膜、100nmの窒化膜をMOSゲート電極上の全面にデポする。次に、800nmの酸化膜をデポ後、エッチバックして平坦化を行う。まだ、CMPが普及する前のプロセスである。この平坦化により、GND配線が平坦化されるとともにそのパターニングも容易となる。そして写真製版の後、高選択比の酸化膜エッチングを行い、窒化膜でエッチングをとめる(a)。続いて、セミ異方性エッチングにより、窒化膜とパッド酸化膜を除去する。このエッチングにより、広い開口径が実現できる(b)。最後に3層目のポリシリコン(WSi/リンドープ

のポリシリコン)をパターニングする(c)。ここで、リンドープのポリシリコンのデポは自然酸化膜を抑制するために、提案の水素ベーク機能を備えたSWT-CVDプロセスを用いている。リンドープのポリシリコンの使用により注入によるシャドウイング効果による抵抗上昇を抑制している。

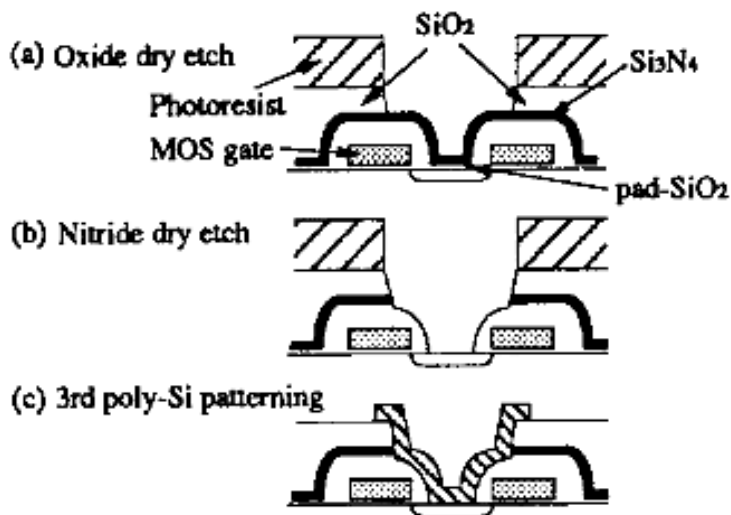


図 2-57 NEC-SAC のプロセスフロー

図2-58にMOSゲート電極間隔とGND直接コンタクト抵抗の関係を示す。NES-SACの使用でMOSゲート間隔が $0.9\ \mu\text{m}$ で $36\ \Omega$ の低抵抗を実現している。2Vでメモリセルを安定動作させるには、GND直接コンタクト抵抗を $100\ \Omega$ 以下にする必要があるが、十分にその値を満足している。

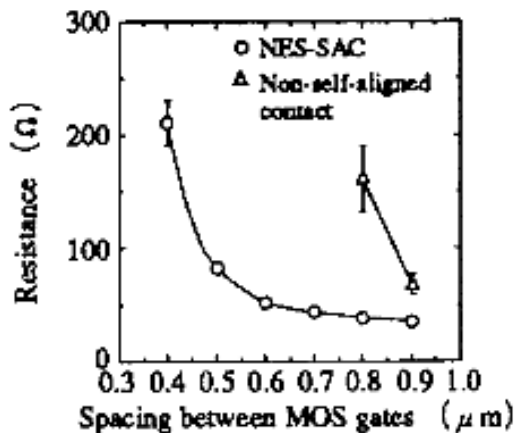


図 2-58 MOS ゲート電極間隔と GND 直接コンタクト抵抗の関係

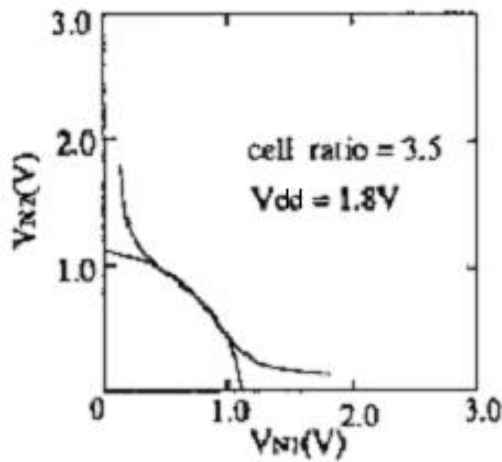


図 2-59 メモリセルの SNM

図2-59にVCC=1.8V時のメモリセルのSNM(Static Noise Margin)を示す。セルレシオを3.5と大きくとり、高性能のTFT負荷を用い、そして、GND直接コンタクト抵抗を低減することにより、VCC=1.8V時に、非常に小さいものであるがSNMが観測できた。

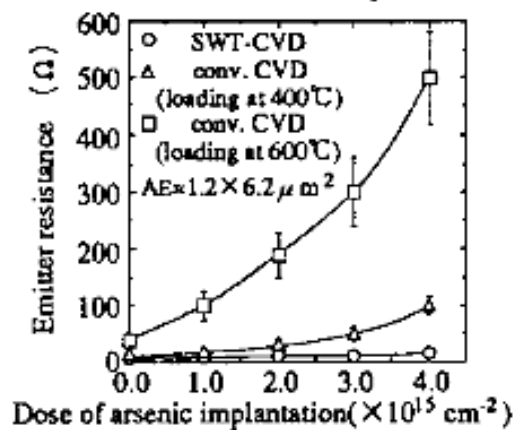


図 2-60 エミッタ抵抗と As のドーズ量の関係

図2-60にエミッタ抵抗とAsのドーズ量の関係を示す。実効的なエミッタはAs注入で形成し、その後にエミッタ電極となる3層目ポリシリコン(WSi/リンドープのポリシリコン)をSWT-CVDによりキャップすることで、6.2Ωという低エミッタ抵抗を実現した。

バイポーラの遮断周波数として15GHz、電流利得100を達成している。またMOSFETの電流駆動力としては、ゲート幅10μmにつきNMOS、PMOSの各々で4.0mA/-2.0mAが得られている。表2-7にプロセスパラメータの一覧を示す。

表 2-7 プロセスパラメータ一覧

プロセス	
0.5 μ m BiCMOS	
5層ポリシリコン, 2層アルミ	
バイポーラ	
自己整合形バイポーラ	
Emitter Size	1 μ m x 6 μ m
Cut-off Frequency (f_T)	15GHz
Current Gain (h_{FE})	100
CMOS	
Gate Length (P/nMOS)	0.5 μ m/0.5 μ m
Gate Width	10 μ m
Ids(P/nMOS)	-2.0mA/4.0mA ($V_g = V_d =3.3V$)
Threshold Voltage	-0.6V/0.5V
Gate Oxide Thickness	10nm
TFT(P チャネル)	
Gate Length	0.6 μ m
Gate Width	0.5 μ m
ON-current@120°C	10nA
OFF-current@120°C	100pA
Memory Cell (4T-cell)	
Memory Cell Size	3.4x5.0μm²

2. 6. 4 試作結果

図2-61にシミュレーションによるアドレスアクセス時間の要因分析の結果を示す。クリティカルパスの回路シミュレーションにより、VCC=3.0Vでのアドレスアクセス時間として、7.8nsが得られた。図には内部振幅と電位レベルも併せて示している。デコーダ系でBiNMOSゲートを、センス系でバイポーラ差動アンプを用いて高速化を図っている。電源動作マージンを確保するため、またはBiCMOS回路を用いても速度上のメリットが得られない箇所はCMOS回路を用いている。

図2-62に本1Mbit BiCMOS SRAMのチップ写真を示す。試作評価は64Kx18ビット構成で行ったが、マスクオプションによりx8, x9, x16ビット構成に切替えることも可能である。チッ

チップサイズは5.7 x 13.0mm²である。

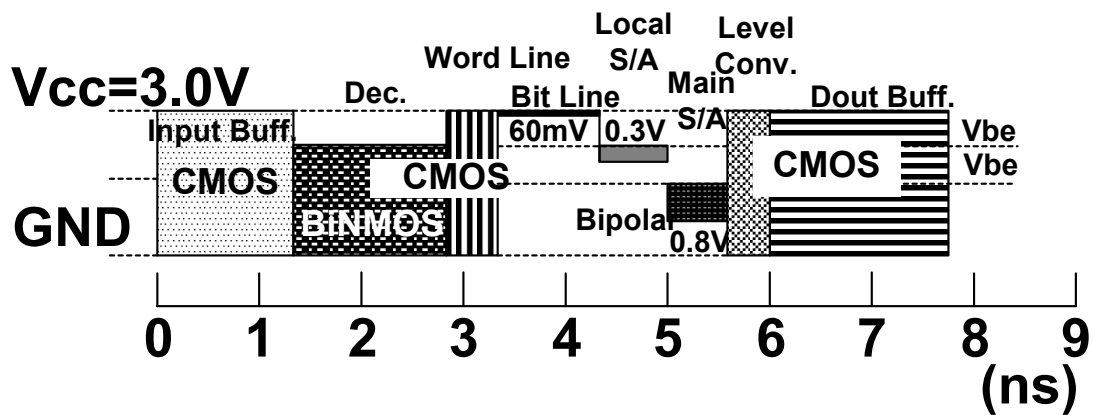


図 2-61 アドレスアクセス時間の要因分析

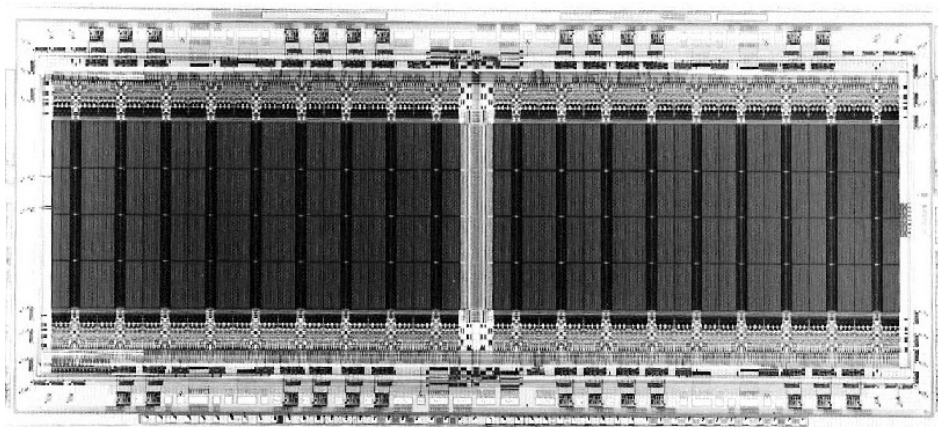


図 2-62 チップ写真

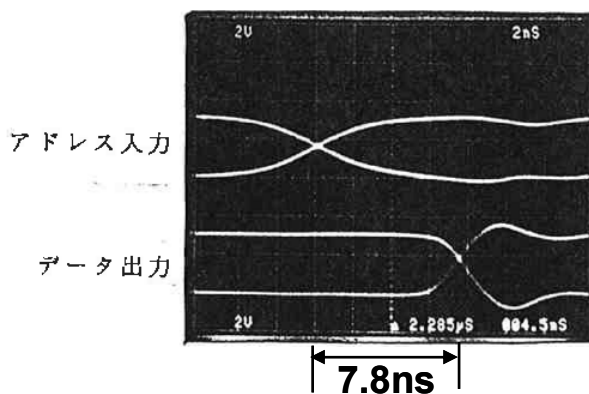


図 2-63 アドレスアクセス波形

図2-63は電源電圧3.0V、周囲温度70℃、出力負荷容量30pFの条件におけるアドレス

アクセスの波形写真である。これまで述べた回路技術及びプロセス・デバイス技術を適用して1Mbit BiCMOS SRAMを試作した結果、8nsを切る高速アクセスが達成できた。本SRAMの特性一覧を表2-8に示す。

表 2-8 SRAM の電気特性一覧

構成	64K word x18bit 64K word x16bit 128K word x9bit 128K word x8bit (マスクオプション)
インタフェース	LV-TTL
アクセス時間	7.8ns@VCC=3.0V, Ta=70°C
動作電流	220mA@VCC=3.6V, 100MHz
スタンバイ電流	5mA@VCC=3.6V, DC
メモリセルサイズ	3.4 μ m x 5.0 μ m
チップサイズ	5.7mm x 13.0mm
冗長構成	8rows, 2columns/block
パッケージ	44pin SOJ, 44pin TSOP II

2. 7 まとめ

本章では、電源電圧が5V～3V時代のSRAMの高速化に大きく貢献したBiCMOS技術の回路技術とプロセス技術について提案し、その効果を検証した。下記に本章で提案したBiCMOS SRAMの高速化技術をまとめる。

(1) 配線容量を考慮した SRAM デコーダのファンアウトの最適化手法

デコーダの負荷として配線容量までを考慮してファンアウトを最適化する手法を提案した。従来、配線容量のついたデコーダのファンアウト最適化でよく使用されていた等ファンアウト法よりも高速であることがわかった。本章での比較例では、提案手法が11%(200ps)高速であることを確認した。

(2) 高速 X1/X4 切換バイポーラ・センスアンプ

テスト時間の短縮のために、高速X1/X4切換バイポーラ・センスアンプを提案した。バイポーラ・ワイヤード・オアを利用しているため、X1とX4でアクセス時間の差がテストの測定誤差に近い0.2ns以下となり、アクセスタイムに遅延を生じさせることなく切換可能となることを確認した。

(3) シフトリダンダンシ

置換の前後でアクセスタイムがほとんど変わらず、救済アドレスのプログラミングが単純なリダンダンシ技術であるシフトリダンダンシを提案した。

(4) 上記の(2)と(3)の回路技術を適用し、2層ポリシリコン、2層アルミの0.8 μm BiCMOS プロセスを使用して、1M ECL SRAMを試作した結果、X1モード、X4モードの両方で、アクセスタイム7nsが得られた。

(5) Synchronous 化による高速化

Synchronous 化によりシステムレベルの高速化が図れることを説明し、ECL-IOの Synchronous SRAMの入出力レジスタとして、小振幅で高速な内部クロックを利用できるECLレジスタと高速なECL-CMOSレベルコンバータを提案した。CLKexの立上りから、ECL-CMOSレベルコンバータ出力まで1.9nsを達成した。

(6) 融合型BiNMOSワードドライバ

小面積高速の融合型BiNMOSワードドライバのレイアウトを提案した。ラッチアップ耐性に問題がなく、Fanout=1と軽い負荷容量のリングオシレータでCMOSより1段当たり11%高速の170ps/stageを達成した。この技術を採用することでCLKexの立上りからワード線選択まで4.1nsを達成できた。

(7) 2分割リードデータバスのバイポーラ・メインセンスアンプ

大容量化によりデータバスの電圧振幅を押さえたバイポーラ使用の電流・電圧変換形メインセンスアンプでも配線抵抗によるわずかな電位変化による遅延が発生する。これを抑えるために、電流・電圧変換形メインセンスアンプにおいて、データバスを2分割することを提案することで、従来の構成より0.2nsの高速化を達成した。

(8) 階層型 ECL 入力バッファ用のリファレンス電位発生回路

階層型ECL入力バッファ用のリファレンス電位発生回路を提案し、大容量ECL-IOの集積回路でチップ内のリファレンス電位の変動が、従来の構成では50mV程度であるものを、提案手法では10mV程度と小容量時と同様に抑えられることを示した。

(9) 上記(5)～(8)の回路技術を適用し、3層ポリシリコン・2層アルミの0.8 μ m BiCMOSプロセスを使用して256K ECL STRAMを試作した。その結果、5nsのサイクル時間、2nsのクロックアクセス時間が得られた。

(10) センタパワーピン配置

ワイヤボンディングやチップ内電源配線のインダクタンスによる高速出力回路の電源ノイズに及ぼす影響をシミュレーションで明らかにし、コーナパワーピン配置の電源ノイズのピーク値が3Vであるのに対し、センタパワーピン配置の電源ノイズのピーク値が1V以下に抑えられ、出力バッファの遅延時間もセンタパワーピン配置の方が0.5ns高速であるため、センタパワーピン配置を採用した。

(11) センタパワーピンに最適なビット線負荷交互配置構成

センタパワーピン配置でもデータバス長を短くでき、かつ、ビット線周りの回路を緩いレイアウト制約の中で高速回路を選択できる新しいアーキテクチャであるビット線負荷交互配置構成を提案した。従来の構成より、データバス長の短縮で0.15ns高速化可能であることを確認した。

(12) NMOS による高速ライトリカバリ可能なビット線負荷回路

高速ライトリカバリを可能とするために、NMOS と PMOS によりビット線をプリチャージする新しいビット線負荷回路を提案した。

(13) ワイヤードオア型カラムセンスアンプ

小面積の高性能ダブルポリシリコン・バイポーラを各カラムに配置してメモリセルで駆動する容量を小さくし、ローカルデータバス(LRDB)と、グローバルデータバスの2段のデータバス構成をとり、いずれのデータバスもワイヤードオア型とした新しいセンス回路であるワイヤードオア型カラムセンスアンプを提案した。ビット線とLRDBの遅延を0.3nsに抑えることができた。

(14) 高性能ダブルポリシリコン・バイポーラを搭載した 0.6 μ m BiCMOS プロセス

エミッタ電極とベース電極をどちらもポリシリコンで形成し、200nmのSidewallにより自己整合的にエミッタ電極とベース電極を分離することで高性能ダブルポリシリコン・バイポーラを形成した。LOCOS形成後の高エネルギーイオン注入を用いて、狭チャンネル効果を抑え、As(砒素)が注入された3層目ポリシリコン(WSi/ポリシリコン)のデポ後1050°C、30秒のrapid thermal annealingによりメモリセルのGND直接コンタクト抵抗を低減することを提案し、4Mbit-SRAMクラスの小面積メモリセルを実現した。

(15) 上記の(10)～(14)の回路技術とプロセス技術を使用して、256K TTL SRAMを試作した結果、アクセス時間5nsが得られた。

(16) 3.3V 対応ワイヤードオア型カラムセンスアンプ

高性能ダブルポリシリコン・バイポーラを各カラムに配置したワイヤードオア型カラムセンスアンプを3.3V動作に最適化し、下限動作を改善しながら、3.0Vの低電圧でビット線とLRDBの遅延を0.7nsに抑えることができた。

(17) バイポーラを用いた高速ライトリカバリ可能なビット線負荷回路

3.3V化に伴い、バイポーラのVbeの逆バイアスによるバイポーラの劣化を気にする必要がなくなったため、NMOSより駆動力の大きいバイポーラをビット線負荷に使用した。ビット線をVCCプリチャージに変更し、ライトリカバリ時にLRDBがイコライズされる回路技術を提案した。従来の回路では、プリチャージが完了前にメモリセルの読み出しが開始されると必ずプリチャージ完了時よりも遅くなっていたが、提案回路では遅延が発生しない。

(18) 高性能ダブルポリシリコン・バイポーラを搭載した 0.5 μ m 3.3V BiCMOS プロセス

小面積かつ1.8Vまで動作可能なTFT型4T-cellと、高性能ダブルポリシリコン・バイポーラを搭載した0.5 μ m 3.3V BiCMOSプロセスを開発した。5V系プロセスより低熱処理にする必要があるが、それでも、エミッタ抵抗を低減できる水素ベーク機能を備えたSingle Wafer Type CVDと、メモリセルのGND抵抗を低減できるNitride Etch Stop Self Aligned Contactを提案し、3.3V動作と高速動作を両立させた。

(19) 上記の(16)～(18)の回路技術とプロセス技術を使用して、3.3V 1M TTL SRAMを試作した結果、アクセス時間7.8nsが得られた。

2. 8 第2章参考文献

- [2_1] 山内経則, 谷沢 哲, 岡島義憲, 稲吉勝幸, ”バイ-CMOS、3.3V電源で、CMOS比2~3倍の高速性能を維持,” NIKKEI MICRODEVICES, Vol. J67-C, No.12, pp.65-69, 1988-4.
- [2_2] Nagano, T.; Shukuri, S.; Hiraki, M.; Minami, M.; Watanabe, A.; Nishida, T.; “What can replace BiCMOS at lower supply voltage regime?,” in International Electron Devices Meeting (IEDM), 1992 Technical Digest, pp. 393 -396, 13-16 December 1992.
- [2_3] Fletcher, T.D.; “Microprocessor technology trends,” in International Electron Devices Meeting (IEDM), 1994 Technical Digest, pp. 269 -271, 11-14 December 1994.
- [2_4] Odaka, M.; Nakamura, K.; Eno, K.; Ogiue, K.; Saito, O.; Ikeda, T.; Hirao, M.; Higuchi, H.; “A 512 kb/5 ns BiCMOS RAM with 1 kG/150 ps logic gate array,” in Digest of Technical Papers. ISSCC, pp. 28 - 29, 15-17 February 1989.
- [2_5] Tamba, N.; Akimoto, K.; Ohhayashi, M.; Hiramoto, T.; Kokubu, T.; Ohmori, S.; Muraya, T.; Kishimoto, A.; Tsuji, S.; Hayashi, H.; Handa, H.; Igarashi, T.; Fujiwara, T.; Watanabe, K.; Uchida, A.; Odaka, M.; Nambu, H.; Yamaguchi, K.; Ikeda, T.; “A 1.5 ns 256 kb BiCMOS SRAM with 11 k 60 ps logic gates,” in Digest of Technical Papers. ISSCC, pp. 246 - 247, 24-26 February 1993.
- [2_6] Okamura, H.; Toyoshima, H.; Takeda, K.; Oguri, T.; Nakamura, S.; Takada, M.; Imai, K.; Kinoshita, Y.; Yoshida, H.; Yamazaki, T.; “A 1 ns, 1 W, 2.5 V, 32 Kb NTL-CMOS SRAM macro using a memory cell with p-channel access transistors,” in Digest of Technical Papers. ISSCC, pp. 306 - 307, 15-17 February 1995.
- [2_7] Alpert, D.; Avnon, D.; “Architecture of the Pentium microprocessor,” Micro, IEEE, VOL. 13, No.3, pp. 11 - 21, June 1993.
- [2_8] Banik, J.; Wong, K.L.; Geannopoulos, G.L.; Yip, C.Y.J.; “A high performance 0.35- μ m 3.3-V BiCMOS technology optimized for product porting from a 0.6- μ m 3.3-V BiCMOS technology,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 31, No.10, pp. 1437 - 1442, October 1996.
- [2_9] Inoue, T.; Goto, J.; Yamashina, M.; Suzuki, K.; Nomura, M.; Koseki, Y.; Kimura, T.; Atsumo, T.; Motomura, M.; Shih, B.S.; Horiuchi, T.; Hamatake, N.; Kumagai, K.; Enomoto, T.; Yamada, H.; Takada, M.; “A 300 MHz 16 b BiCMOS video signal processor,” in Digest of Technical Papers. ISSCC, pp. 36 - 37, 24-26 February 1993.
- [2_10] Yamashita, N.; Kimura, T.; Fujita, Y.; Aimoto, Y.; Manabe, T.; Okazaki, S.; Nakamura, K.; Yamashina, M.; “A 3.84 GIPS integrated memory array processor LSI with 64 processing elements and 2 Mb SRAM,” in Digest of Technical Papers. ISSCC, pp. 260 - 261, 16-18 February 1994.
- [2_11] 塩見 徹, 高野 聡, 本田裕己, 畑中正宏, 穴見健二, ”クロスカップル形レベル変換回路を用

- いた64Kx1 Bi-CMOS ECL RAMの設計と試作,” 信学論(C-II),Vol.J74-C-II, No.6, pp.532-540, 1991-6.
- [2_12] Hirose, T.; Kuriyama, H.; Murakami, S.; Yuzuriha, K.; Mukai, T.; Tsutsumi, K.; Nishimura, Y.; Kohno, Y.; Anami, K.; “A 20-ns 4-Mb CMOS SRAM with hierarchical word decoding architecture,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 25, No.5, pp. 1068 - 1074, October 1990.
- [2_13] Yoshimoto, M.; Anami, K.; Shinohara, H.; Yoshihara, T.; Takagi, H.; Nagao, S.; Kayano, S.; Nakano, T.; “A 64Kb full CMOS RAM with divided word line structure,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. XXVI, pp.58-59, February 1983.
- [2_14] Kohno, Y.; Wada, T.; Anami, K.; Kawai, Y.; Yuzuriha, K.; Matsukawa, T.; Kayano, S.; “A 14-ns 1-Mbit CMOS SRAM with variable bit organization,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 23, No.5, pp. 58 - 59, February 1983.
- [2_15] Shiomi, T.; Wada, T.; Ohbayashi, S.; Ohba, A.; Honda, H.; Ishigaki, Y.; Hine, S.; Anami, K.; Suzuki, K.; Sumi, T.; “A 5.8-ns 256-Kb BiCMOS TTL SRAM with T-Shaped Bit Line Architecture,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.28, No.12, pp. 1362 - 1369, December 1993.
- [2_16] Mead, C.; Conway, L.; “Introduction to VLSI Systems,” Addison Wesley Publishing Company (1980).
- [2_17] Urakawa, U.; Matsui, M.; Ochi, K.; “Optimization of Bi-CMOS cascade,” in 1988 spring Natl. Conv. Rec., IEICE, C-259, 1988.
- [2_18] Hirose, T.; Ichinose, K.; Anami, K.; “A study on transistor sizing for CMOS SRAM,” in 1989 spring Natl. Conv. Rec., IEICE, C-342, 1989.
- [2_19] 山品 正勝, 岡本 冬樹, 後藤 順一, 山田 八郎, ” 高速CMOSおよびBiCMOS駆動回路の設計,” 信学論(C-II),Vol.J72-C-II, No.5, pp.428-433, 1989-05.
- [2_20] Tran, H.; Fung, K.; Bell, D.; Chapman, R.; Harward, M.; Suzuki, T.; Havemann, R.; Eklund, R.; Fleck, R.; Le, D.; Wei, C.; Iyengar, N.; Rodder, M.; Haken, R.; Scott, D.; “An 8 ns BiCMOS 1 Mb ECL SRAM with a configurable memory array size,” in Digest of Technical Papers. ISSCC, pp. 36 - 37, 15-17 February 1989.
- [2_21] Matsui, M.; Momose, H.; Urakawa, Y.; Maeda, T.; Suzuki, A.; Urakawa, N.; Sato, K.; Makita, K.; Matsunaga, J.; Ochi, K.; “An 8 ns 1 Mb ECL BiCMOS SRAM,” in Digest of Technical Papers. ISSCC, pp. 38 - 39, 15-17 February 1989.
- [2_22] Takada, M.; Nakamura, K.; Takeshima, T.; Furuta, K.; Yamazaki, T.; Imai, K.; Ohi, S.; Fukuda, Y.; Minato, Y.; Kimoto, H.; “A 5 ns 1 Mb ECL BiCMOS SRAM,” in Digest of Technical Papers. ISSCC, pp. 138 - 139, 14-16 February 1990.

- [2_23] Maki, Y.; Kamata, S.; Okajima, Y.; Yamauchi, T.; Fukuma, H.; “A 6.5 ns 1 Mb BiCMOS ECL SRAM,” in Digest of Technical Papers. ISSCC, pp. 136 - 137, 14-16 February 1990.
- [2_24] Wada, T.; Anami, K.; Kawai, Y.; Yuzuriha, K.; Kohno, Y.; Matsukawa, T.; Kayano, S.; “A 14ns 1Mb CMOS SRAM With Variable Bit-organization,” in Digest of Technical Papers. ISSCC, pp. 252 - 253, 17-19 February 1988.
- [2_25] Murakami, S.; Wada, T.; Anami, K.; “大容量RAM用リダンダンシ回路の検討,” in 1989年電子情報通信学会秋季全国大会, IEICE, p. 5-130, 1989.
- [2_26] Wendell, D.; DeMaris, J.; Chritz, J.; “A 3.5 ns, 2 K x 9 self timed SRAM,” in Symposium VLSI Circuits, 1990. Digest of Technical Papers, pp. 49 - 50, 7-9 June 1990.
- [2_27] 三輪秀郎, 山内宏道, 竹之内寿穂, 石山浩三, 鈴木美知代, 伊藤恒夫, 小林俊明, 小野沢和徳, “クロック同期機能を備えた64Kw x 4b構成のBiCMOS ECL RAM,” 電子情報通信学会 技術研究報告, SDM90-27, May 1990.
- [2_28] Ogiue, K.; Odaka, M.; Miyaoka, S.; Masuda, I.; Ikeda, T.; Tonomura, K.; Ohba, T.; “A 13ns/500mW 64Kb ECL RAM,” in Digest of Technical Papers. ISSCC, pp. 212 - 213, February 1986.
- [2_29] Tamba, N.; Miyaoka, S.; Odaka, M.; Ogiue, K.; Tamada, K.; Ikeda, T.; Higuchi, H.; “An 8ns 256K BiCMOS SRAM,” in Digest of Technical Papers. ISSCC, pp. 184 - 185, 17-19 February 1988.
- [2_30] Ohba, A.; Ohbayashi, S.; Shiomi, T.; Takano, S.; Anami, K.; Honda, H.; Ishigaki, Y.; Hatanaka, M.; Nagao, S.; Kayano, S.; “A 7 ns 1 Mb BiCMOS ECL SRAM with program-free redundancy,” in Symposium VLSI Circuits, 1990. Digest of Technical Papers, pp. 41 - 42, 7-9 June 1990.
- [2_31] Hanibuchi, T.; Ueda, M.; Higashitani, K.; Hatanaka, M.; Mashiko, K.; Tada, A.; “A bipolar-PMOS merged basic cell for 0.8 μ m BiCMOS sea of gates,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.26, No.3, pp. 427 - 431, March 1991.
- [2_32] Momose, H.; Maeda, T.; Inoue, K.; Kamohara, I.; Kobayashi, T.; Urakawa, Y.; Maeguchi, K.; “Characterization of speed and stability of BiNMOS gates with a bipolar and PMOSFET merged structure,” in International Electron Devices Meeting (IEDM), 1990, Technical Digest, pp. 231 - 234, December 1990.
- [2_33] 樋口 久幸, 橘 大, 鈴木 誠, 猪平 進, 渡辺 篤雄, 宿利 章二, ” p形 MOSFET と npn トランジスタを同一Nウェル内に形成したN+埋込層給電形 Bi-CMOS論理回路の検討,” 信学論(C-II), Vol.J74-C-II, No.7, pp.590-597, 1991-07.
- [2_34] Urakawa, Y.; Matsui, M.; Suzuki, A.; Kato, H.; Hamano, T.; Sato, K.; Ohtani, T.; Ochii, K.; “Data-line wiring delay reduction techniques for high-speed BiCMOS SRAM's,” in Symposium VLSI Circuits, 1991. Digest of Technical Papers, pp. 19 - 20, May 30- June 1 1991.

- [2_35] Akioka, T.; Hiraishi, A.; Yamauchi, T.; Yokoyama, Y.; Takahashi, S.; Iwamura, M.; Kobayashi, Y.; Ide, A.; Gotou, N.; Onozawa, K.; Uchida, H.; “A 6-ns 256-kb BiCMOS TTL SRAM,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.26, No.3, pp. 439 - 443, March 1991.
- [2_36] Shiomi, T.; Wada, T.; Ohbayashi, S.; Ohba, A.; Honda, H.; Ishigaki, Y.; Hine, S.; Anami, K.; Suzuki, K.; Sumi, T.; “A 5.8-ns 256-Kb BiCMOS TTL SRAM with T-Shaped Bit Line Architecture,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.28, No.12, pp. 1362 - 1369, December 1993.
- [2_37] Shiomi, T.; Wada, T.; Ohbayashi, S.; Ohba, A.; Honda, H.; Ishigaki, Y.; Hatanaka, M.; Nagao, S.; Anami, K.; Sumi, T.; “New bit line architecture for ultra high speed SRAMs—T-shaped bit line and its real application to 256 k BiCMOS TTL SRAM,” in Custom Integrated Circuits Conference Proceedings, pp. 10.4/1 - 10.4/4, 12-15 May 1991.
- [2_38] Nakamura, K.; Oguri, T.; Atsumo, T.; Takada, M.; Ikemoto, A.; Suzuki, H.; Nishigori, T.; Yamazaki, T.; “A 6 ns 4 Mb ECL I/O BiCMOS SRAM with LV-TTL mask option,” in Digest of Technical Papers. ISSCC, pp. 212 - 213, 19-21 February 1992.
- [2_39] Kato, H.; Suzuki, A.; Hamano, T.; Kobayashi, T.; Sato, K.; Nakayama, T.; Gojohbori, H.; Maeda, T.; Ochiai, K.; “A 9 ns 4 Mb BiCMOS SRAM with 3.3 V operation,” in Digest of Technical Papers. ISSCC, pp. 210 - 211, 19-21 February 1992.
- [2_40] 塩見 徹, 大林茂樹, 本田裕己, 石垣佳之, 梶澤正哉, ”超高速256KビットBiCMOS SRAM,” 三菱電機技報, Vol.66, No.2, pp.46-50, 1992-02.
- [2_41] Honda, H.; Uga, K.; Ishida, M.; Ishigaki, Y.; Takahashi, J.; Shiomi, T.; Ohbayashi, S.; Kohno, Y.; “A high performance 0.6 μ m BiCMOS SRAM technology with emitter-base self-aligned bipolar transistors and retrograde well for MOS transistors,” in Symposium VLSI Technology, 1992. Digest of Technical Papers, pp. 34 - 35, 2-4 June 1992.
- [2_42] Han-Tzong Yuan; Yung-Tao Lin; Shang-Yi Chiang; “Properties of Interconnection on Silicon, Sapphire, and Semi-Insulating Gallium Arsenide Substrates,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.17, No.2, pp. 269 - 274, April 1982.
- [2_43] Matsumiya, M.; Kawashima, S.; Sakata, M.; Miyabo, T.; Koga, T.; Itabashi, K.; Mizutani, K.; Ema, T.; Toyoda, K.; Yabu, T.; Shimada, H.; Suzuki, N.; Ookura, M.; “A 15 ns 16 Mb CMOS SRAM with reduced voltage amplitude data bus,” in Digest of Technical Papers. ISSCC, pp. 214 - 215, 19-21 February 1992.
- [2_44] Miyaoka, S.; Odaka, M.; Ogiue, K.; Ikeda, T.; Suzuki, M.; Higuchi, H.; Hirao, M.; “A 7-ns/350-mW 64-kbit ECL-compatible RAM,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.22, No.5, pp. 1304 - 1310, June 1987.

- [2_45] Kertis, R.A.; Smith, D.D.; Bowman, T.L.; "A 12ns 256k BiCMOS SRAM," in Digest of Technical Papers. ISSCC, pp. 186 - 187, 17-19 February 1988.
- [2_46] Joshi, S.P.; Lahri, R.; Lage, C.; "Poly emitter bipolar hot carrier effects in an advanced BiCMOS technology," in International Electron Devices Meeting (IEDM), 1987 Technical Digest, pp. 182 -185, December 1987.
- [2_47] Ishigaki, Y.; Kuriyama, H.; Honda, H.; Kohno, Y.; Tsuchimoto, J.; Sakamori, S.; Kinoshita, A.; Hirose, T.; Ohbayashi, S.; Ashida, M.; Matsuo, H.; Miyoshi, H.; "Low parasitic resistance technologies with NES-SAC and SWT-CVD process for low supply voltage, high speed BiCMOS SRAMs," in Symposium VLSI Technology, 1994. Digest of Technical Papers, pp. 99 - 100, 7-9 June 1994.
- [2_48] Ohbayashi, S.; Wada, T.; Hirose, T.; Anami, K.; "A Study on Fanout Optimization of SRAM Decoder with a Line Capacitance," IEICE TRANS. ELECTRON, VOL.E73, No.11, pp.1855-1857, November 1990.
- [2_49] 大林 茂樹, 和田知久, 広瀬愛彦, 穴見健治, "固定容量を考慮したSRAMデコーダのファンアウト最適化の一検討," 1990年電子情報通信学会 秋季全国大会, C-572, p. 5-240, October 1990.
- [2_50] Ohba, A.; Ohbayashi, S.; Shiomi, T.; Takano, S.; Anami, K.; Honda, H.; Ishigaki, Y.; Hatanaka, M.; Nagao, S.; Kayano, S.; "A 7ns 1Mb BiCMOS ECL SRAM with Shift Redundancy," IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.26, No.4, pp. 507 - 512, April 1991.
- [2_51] Ohba, A.; Ohbayashi, S.; Shiomi, T.; Takano, S.; Anami, K.; Honda, H.; Ishigaki, Y.; Hatanaka, M.; Nagao, S.; Kayano, S.; "A 7 ns 1 Mb BiCMOS ECL SRAM with program-free redundancy," in Symposium VLSI Circuits, 1990. Digest of Technical Papers, pp. 41 - 42, 7-9 June 1990.
- [2_52] 大庭 敦, 大林 茂樹, 塩見 徹, 本田裕己, 石垣佳之, 畑中正宏, 長尾繁雄, 穴見健治, "[招待講演] アクセス時間7nsの1Mb BiCMOS ECL RAM," 電子情報通信学会 技術研究報告, Vol. 90, No. 140, SDM90-62, pp. 29-35, July 1990.
- [2_53] 大林 茂樹, 塩見徹, 大庭敦, 本田裕己, 石垣佳之, 日根史郎, 穴見健二, 角正, 鈴木公男, "融合型Bi-nMOSゲートを用いた同期式256K Bi-CMOS ECL RAM," 信学論(C-II), Vol.J75-C-II, No.7, pp.340-345, 1992-7.
- [2_54] 大林 茂樹, 塩見 徹, 大庭 敦, 本田裕己, 石垣佳之, 日根史郎, 穴見健治, 角 正, "256K BiCMOS ECL STRAMの開発," 電子情報通信学会 技術研究報告, Vol. 91, No. 98, CAS91-60, pp. 131-136, June 1991.
- [2_55] 大林 茂樹, 塩見徹, 松尾龍一, 本田裕己, 石垣佳之, 宇賀公治, 石田雅宏, 河野芳雄, 角正, "ビット線負荷交互配置構成を用いた5ns 32Kx8/x9 Bi-CMOS TTL SRAM," 信学論(C-II), Vol.J76-C-II, No.7, pp.511-520, 1993-7.

- [2_56] 大林 茂樹, 塩見 徹, 荒 修, 松尾龍一, 本田裕己, 石垣佳之, 宇賀公治, 石田雅宏, 河野芳雄, 角 正, “ビット線交互配置構成を用いた5ns 32Kx8/x9 BiCMOS TTL STRAM,” 電子情報通信学会 技術研究報告, Vol. 92, No. 240, SDM92-72, pp. 57-63, September 1992.
- [2_57] Honda, H.; Uga, K.; Ishida, M.; Ishigaki, Y.; Takahashi, J.; Shiomi, T.; Ohbayashi, S.; Kohno, Y.; “A high performance 0.6 μ m BiCMOS SRAM technology with emitter-base self-aligned bipolar transistors and retrograde well for MOS transistors,” in Symposium VLSI Technology, 1992. Digest of Technical Papers, pp. 34 - 35, 2-4 June 1992.
- [2_58] Ishigaki, Y.; Kuriyama, H.; Honda, H.; Kohno, Y.; Tsuchimoto, J.; Sakamori, S.; Kinoshita, A.; Hirose, T.; Ohbayashi, S.; Ashida, M.; Matsuo, H.; Miyoshi, H.; “Low parasitic resistance technologies with NES-SAC and SWT-CVD process for low supply voltage, high speed BiCMOS SRAMs,” in Symposium VLSI Technology, 1994. Digest of Technical Papers, pp. 99 - 100, 7-9 June 1994.
- [2_59] 広瀬愛彦, 大林 茂樹, 藤野良幸, 早坂 隆, 細金 明, 石垣佳之, 栗山祐忠, 牧 幸生, 本田裕己, 西村安正, “低電圧マージンを拡大した1MビットBiCMOS TTL SRAM,” 電子情報通信学会 技術研究報告, Vol. 93, No. 349, SDM93-151, pp. 85-92, November 1993.

第3章 SRAMの高歩留化

3. 1 序

高歩留化は、SRAMのみならず、半導体製品すべてで要求されることであるが、本章では、特に2000年代以降のEmbedded SRAMの時代において必要とされるEmbedded SRAMの高歩留化技術を提案する。

3. 2 Embedded SRAM に適したシフトリダンダンシ [3_31]-[3_35]

シフトリダンダンシについては、すでに2. 3. 2節で説明したが、本節ではEmbedded SRAMに適したリダンダンシ技術の観点で、新しいシフトリダンダンシを提案する。

近年Embedded SRAMのテストは比較的安価で低周波数のATE(Automatic Test Equipment→半導体自動テスト装置)を使い、チップ内に搭載しているMemory Built-In-Self-Test (M-BIST)回路もしくはBuilt-In-Self-Repair (BISR)回路でAt speed(実使用時と同様の高周波数)のメモリテストの機能を付加し、不良ビットのアドレスを特定し、救済可能(Repair Enable)か否かの判断を行い、救済可能であれば、不良ビットを置換するためのアドレスプログラミングに必要なレーザー・トリミング(LT)ヒューズの切断情報を出力する[3_1]-[3_2]。その後、LT装置にLTヒューズ切断情報を転送し、LT装置でLTヒューズを切断する。そして、またATEを使ってポストLTテストを行って、きちんとRE品が良品になっていることを確認する。

Sub-100nmノードの先端SoC向けプロセスのヒューズとして、ポリシリコンに大電流を流すことでポリシリコン上部に形成されたシリサイドを切断し、3~4桁程度の抵抗変化によりプログラムする電気ヒューズが一般的になっている[3_3]-[3_5], [3_12]。そして、電気ヒューズに対応したBIST回路も開発されている[3_6]。電気ヒューズは、次節や次章でも述べるが、LTヒューズのように切断のために、いったん、ATEからLT装置にウェハを移して切断するような付加的なテスト工程が不要で、かつ、バーンイン後の不良の救済や、パッケージ後の不良の救済が可能となるため、低テストコストで高歩留化が期待できる技術である。

大容量Embedded DRAMやEmbedded SRAMを搭載したSoCで、歩留を向上するためには非常に多くの冗長メモリセルを搭載する必要があり、それに伴いヒューズの本数も非常に多くなるため、ヒューズ領域の面積を削減するために、32x24のCu LTヒューズPROMアレイ[3_7]、64x64のNiシリサイド・ポリシリコン電気ヒューズPROMアレイ[3_8]、512x8のCoシリ

サイド・ポリシリコン電気ヒューズPROMアレイ[3_9]などのヒューズPROMアレイが提案されている。

冗長メモリセルが多くなると、通常は冗長回路の救済アルゴリズムも複雑になり、ヒューズ領域とM-BIST回路やBISR回路の面積が大きくなる。Embedded Memoryでは、歩留向上のために冗長メモリセルを多く搭載すると、冗長メモリセルの面積だけでなく、M-BIST回路やBISR回路の面積も考慮が必要のため、汎用メモリより冗長メモリセルを少なめにする必要がある。

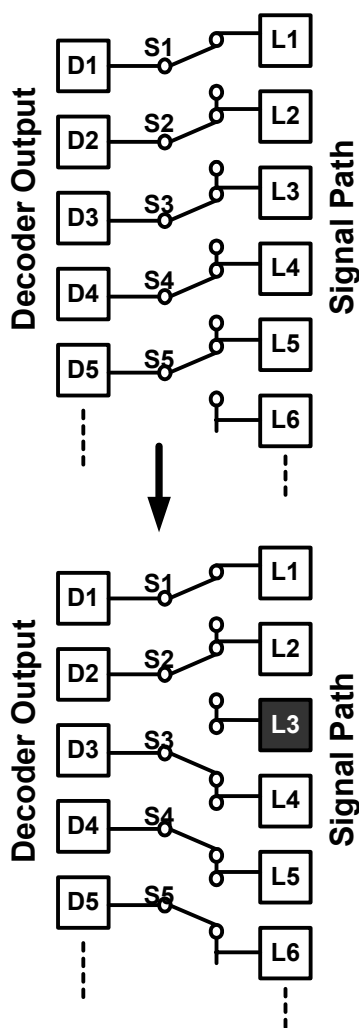


図 3-1 シフトリダグダシの概念図

ここで、シフトリダグダシの概念図として、2. 3. 2節で示した図2-11を、再度図3-1に示す。図3-1の単純なシフトリダグダシは、冗長メモリが1系列のみのため、救済の自由度が低く救済アルゴリズムは単純な代わりに歩留向上の効果が低い。

そこで、図3-2にビット線負荷交互配置構成で用いたシフトリダンダンスを示す[3_10]。図でD1, D3, D5…は左側のビット線制御回路接続されるカラムデコーダ出力であり、D2, D4, D6…は右側のビット線制御回路接続されるカラムデコーダ出力である。奇数デコーダ出力と偶数デコーダ出力だけをそれぞれみると、冗長メモリが1系列だけのシフトリダンダンスであるが、メモリアレイで2系列の冗長メモリを搭載しており、また、L2とL3が連続して不良になるような2系列連続不良モードも救済できる[3_10]。つまり、救済アルゴリズムは単純であるにも関わらず、歩留向上効果の高い技術である。

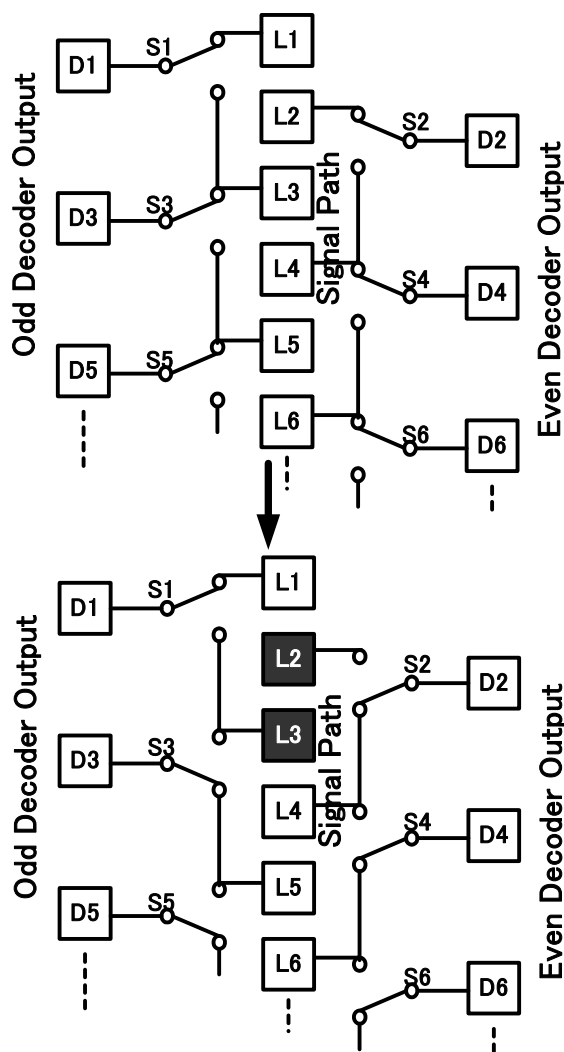


図 3-2 ビット線負荷交互配置構成でのシフトリダンダンスの概念図[3_10]

図3-3に通常のEmbedded SRAMアーキテクチャで奇数・偶数別系統シフトリダンダンスを使用した場合の概念図を示す[3_11]。これも、図3-2に示したビット線負荷交互配置構成

で用いたシフトリダンダシと同じ効果が得られる。

このため救済アルゴリズムが単純なシフトリダンダシはヒューズ領域とM-BIST回路やBISR回路の面積の増加を抑えられ、かつ、冗長メモリセルを使用した時と使用しない時でアクセスタイムが変わらないため、Embedded SRAMに適した冗長回路方式と言える。

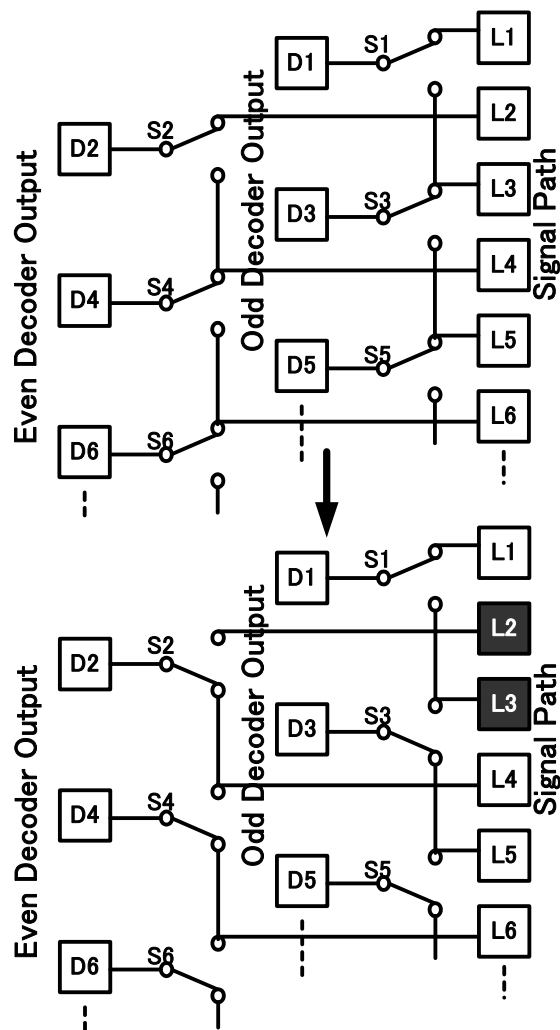


図 3-3 Embedded SRAM で奇数・偶数別系統シフトリダンダシを使用した概念図[3_11]

3. 3 Cu 配線で形成された電気ヒューズ(Cu-E-trim Fuse)

[3_36], [3_37]

前節で述べたとおり、Embedded SRAMの高歩留化にとって、冗長回路は不可欠である。その不良アドレスのプログラミングにLTヒューズが広く使われていた。

しかし、Sub-100nmノードの先端SoC向けプロセスのヒューズとして、ポリシリコンに大電流を流すことでポリシリコン上部に形成されたシリサイドを切断し、3~4桁程度の抵抗変化によりプログラムする電気ヒューズ(Poly-Si-eFuse)が一般的になっている[3_3]-[3_5], [3_12]。しかし、45nmプロセス以降では徐々にHigh-K酸化膜のゲート材料としてメタルゲートが採用され、ポリシリコンをヒューズとして使うことができなくなることが予想される。そこで、Cu配線で形成されたeFuse (Cu-eFuse) が著者とほぼ同時期に提案された[2_13]。ポリシリコンやCu配線で形成されたeFuseのメリットとして、以下の3つが挙げられる。

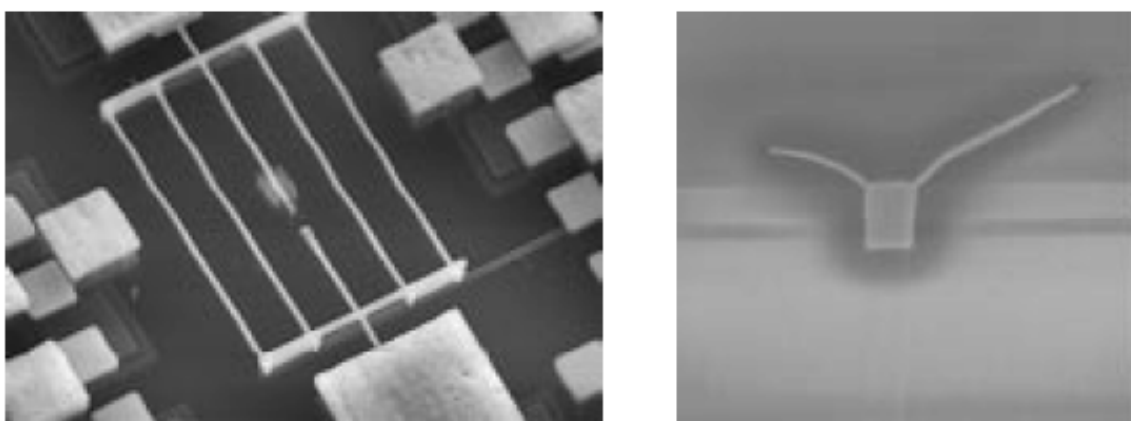
- 1) ヒューズ領域の上部や下部に配線やパッドあるいは、第4章で提案するようにトランジスタも配置できる。
- 2) 救済アドレスのプログラムを、ウェハレベルだけでなく、アセンブリ後でも可能となる。アセンブリ後の救済は、SiP(System in Package)の製品が増加し、また、パッケージのピン数が増加しパッケージコストが高くなってきた現在、コスト削減効果が大きい。
- 3) レーザー・トリミング工程が不要となり、テストコストを削減できる。

上記のCu-eFuseは、付加的なプロセス工程は一切不要な点はPoly-Si-eFuseと同様に優れている。その切断メカニズムは、Cu配線の層間絶縁膜にクラックを発生させることによりクラックにCuを吸い上げて、Cu配線に隙間を作ることである。しかし、そのクラックが発生することによりCu-eFuseの上部やその周辺には、配線やパッドを配置することができない。

このため、クラックを発生させることなく切断できるCu配線のヒューズの開発を第1優先とした。そして、ヒューズの周りにクラックやダメージの発生のないCu配線のヒューズの開発に成功した。このヒューズを、Cu-eFuseと区別するために「Cu-E-trim Fuse」と呼ぶことにした。

3. 3. 1 Cu-E-trim Fuse の切断メカニズムと切断方法

図3-4にCu-eFuseのSEM写真を示す。ヒューズを形成するCu配線の長さは10 μ m、幅は90nmである。ヒューズの切断電流は約25mAである。クラックの発生とCuの吸上げがヒューズの上に見られる。



Fuse length=10 μ m, Fuse width= 90nm, Supplying current=about 25mA.

図 3-4 Cu-eFuse の SEM 写真

クラックの発生を防ぐためには、Cu-eFuseのクラック発生メカニズムを理解する必要がある。図3-5にCu-eFuseの切断メカニズムと切断ヒューズのSEM写真を示す。SEM写真の平面図と断面図に見られるCuがクラックに吸い上げられた跡を著者は「Butterfly Wing」と呼ぶことにした。図中の左側の(a)～(e)で未切断のCu-eFuseに電流が流れ始め、Butterfly Wingが形成されて切断されるまでを時系列で示している。(a)において、未切断

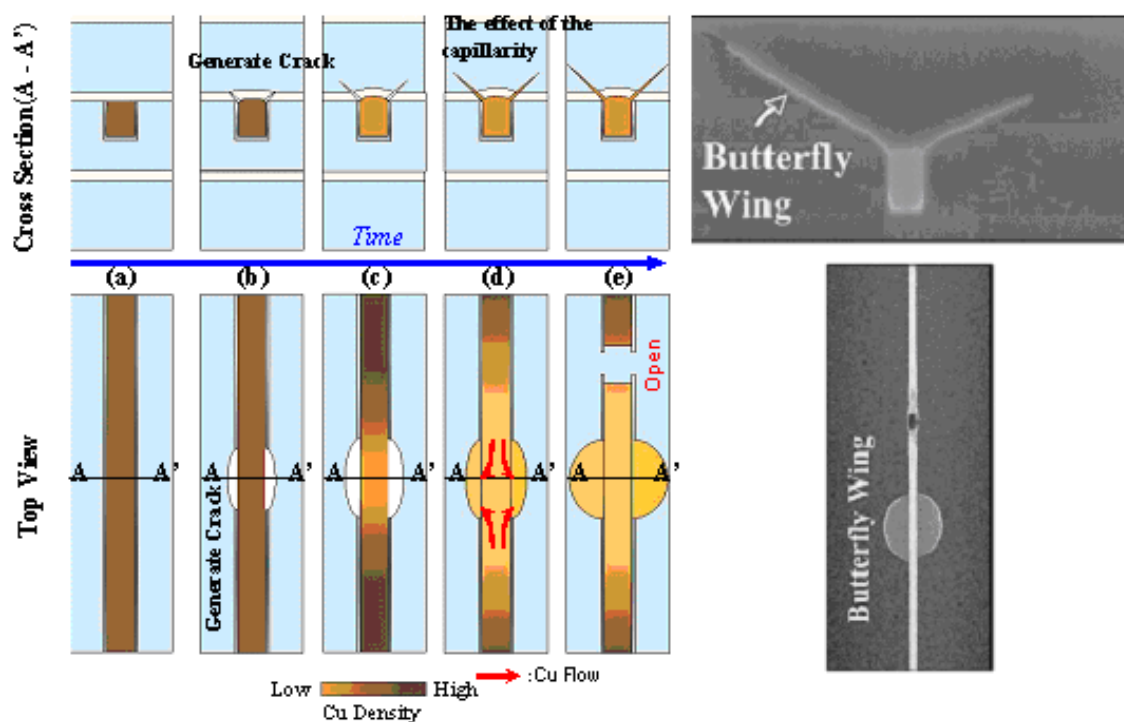
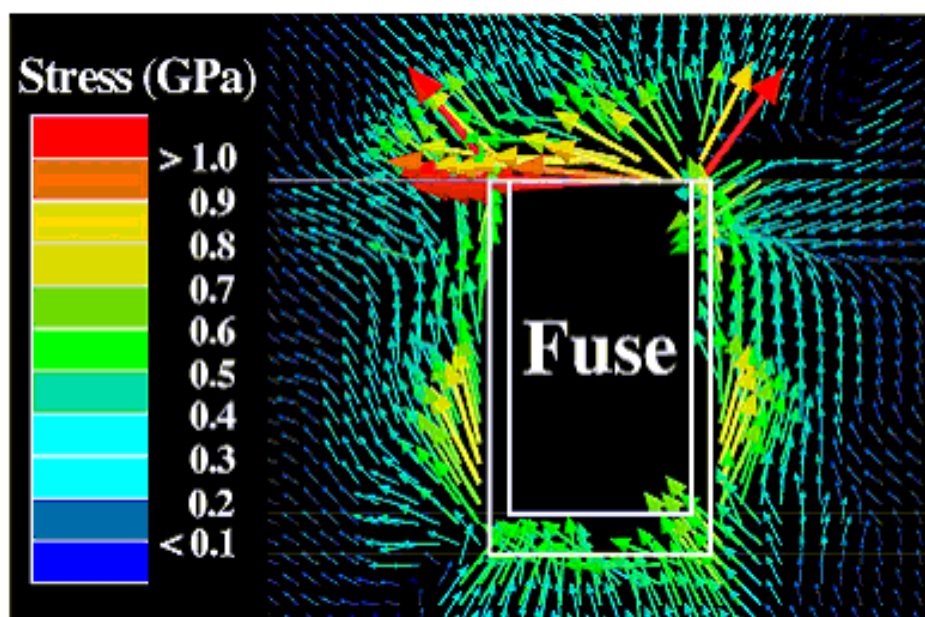


図 3-5 Cu-eFuse の切断メカニズムと切断ヒューズの SEM 写真

のCu-eFuseに電流が流れ始め、A-A'部を最高として温度が上昇している。(b)において、切断される前にクラックが発生する。(c)において、クラックがさらに大きくなり、(d)において、液状化したCuがクラックに毛細管現象で吸い上げられる。(e)において、吸い上げられたCuによってButterfly Wingが形成され、Cu配線のあった溝のCuの密度が小さくなり、比較的大きなCu配線のギャップが生じ、切断が完了する。この切断メカニズムから、Cu-eFuseにおいては切断のためにクラックの発生が必須であり、クラックの発生なしにCuを切断するには新しい切断手法が必要であることがわかった。



Fuse length=10 μ m, Fuse width=120nm, Supplying current=30mA.

図 3-6 FEM 解析(有限要素法)により計算した Cu-eFuse 近傍の熱ストレス分布

Cu-eFuseにおいてクラックが発生するメカニズムを考察するため、FEM解析(有限要素法)によりCu-eFuse近傍の熱ストレス分布を計算した。図3-6にそのシミュレーション結果を示す。ヒューズの切断のために、大電流をヒューズに流し込む。その大電流のため、ジュール加熱(100nsあたりおよそ500°C)でCuの温度は急速に上昇する。しかし、ヒューズの周りのlow-k材料の温度はその低熱伝導率のためにCuと同じ速度で上昇しない。このため、ヒューズとlow-k材料の間の温度勾配は非常に急となる。同じ温度状態において、low-k材料とCuの熱膨張率の比率は、およそ10:1である。これが理由で、非常に大きい熱ストレスが図3-6に示すようにヒューズの上面部のエッジに集結し、クラックがCu配線の上面部のエッジに発生すると考える。図3-5のCu-eFuseのButterfly Wingの断面写真において、クラック

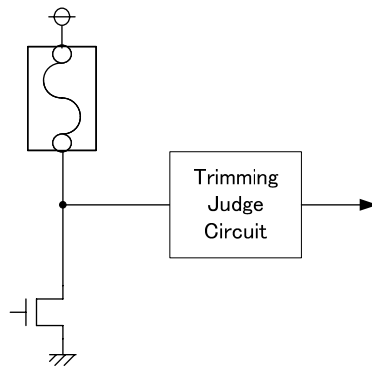


図 3-7 Cu-eFuse と Cu-E-trim Fuse の最小構成回路

クとCuの吸上げがCu配線の上面部のエッジで観測されていることは、その仮定を支持するものである。この仮定より、クラックの発生を抑えるには、切断時の熱ストレスをCuの融点(700°C)以下の間はlow-k材料のブレークダウン強度より低く保つ必要があると考えた。したがって、クラックの発生を抑えてCuを切断するために、以下の2つについて検討した。

- 1) 切断電流の制御
- 2) ピンチ効果の利用

まず、切断電流の制御について説明する。図3-7にCu-eFuseとCu-E-trim Fuseの最小構成回路を示す。Cu-eFuseとCu-E-trim Fuseは切断トランジスタにより大電流をヒューズに流し込んで切断を行う。

Cu-eFuseでは、ヒューズの切断は図3-8で示すトランジスタのI-V特性の飽和領域を使用する。ヒューズ抵抗は切断電流を流すことによるCuの温度上昇とともに増加するが切断電流は一定であり、ヒューズで発生するジュール熱は指数関数的に増加する。このため、ヒューズとlow-k材料間の温度勾配は非常に急峻となる。その結果、ヒューズ上面部のエッ

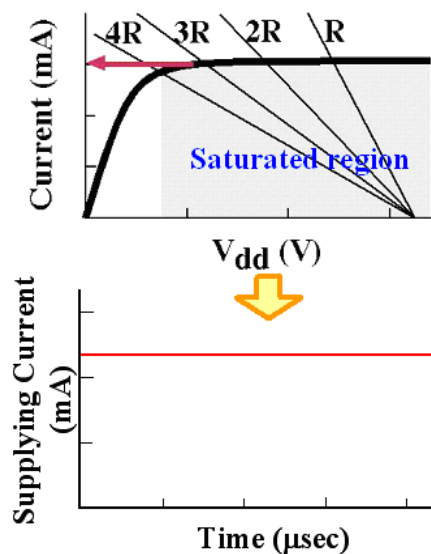


図 3-8 Cu-eFuse の切断トランジスタの I-V 特性と切断電流の時間変化

ジの熱ストレスはlow-k材料のブレイクダウン強度を超え、クラックがヒューズ上面部のエッジで発生する。このため、クラックの発生を防ぐためには、ヒューズを切断する間、ヒューズとlow-k材料の間の温度勾配を制御する必要がある。

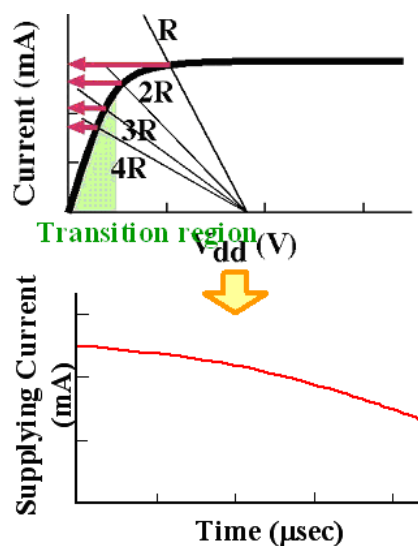


図 3-9 Cu-E-trim Fuse の切断トランジスタの I-V 特性と切断電流の時間変化

この温度勾配を減少させるために、ヒューズを切断する間は図3-9に示すトランジスタI-V特性の線形領域から飽和領域の間の電流が変化する領域を使用する。こうすると、ジュール熱により引き起こされるヒューズの急速な熱増加を抑え、その結果、温度勾配を減少させることができる。この現象を利用することにより、Cu-E-trim Fuseにおいてクラックの発生を防ぐことができる。

次にピンチ効果の利用について説明する。

Cu-E-trim Fuseは、上記の切断電流の制御により、クラックの発生を抑えたため、Cu-eFuseのようにCuをクラックに吸い上げることによってヒューズを切断することができない。このため、ローレンツ力とピンチ効果を利用してヒューズを切断することとした。図3-10にフレミングの左手の法則を示す。図よりヒューズ切断時にローレンツ力はヒューズのセンタの向きに働いていることがわかる。

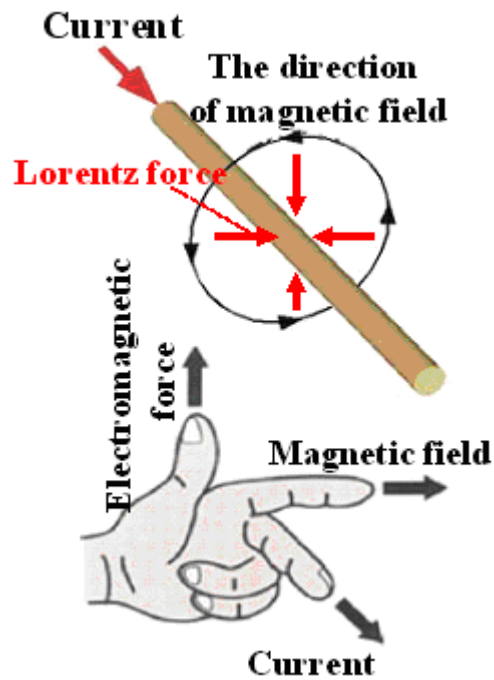
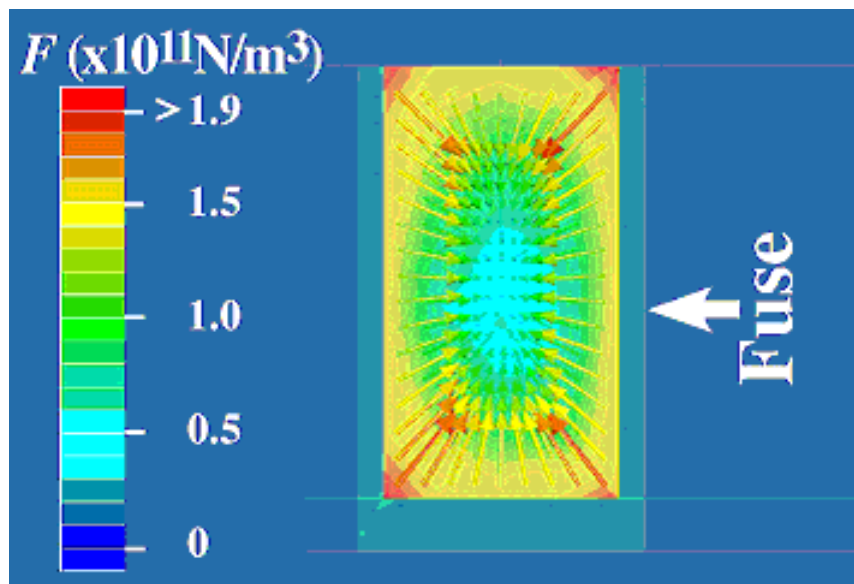


図 3-10 フレミングの左手の法則

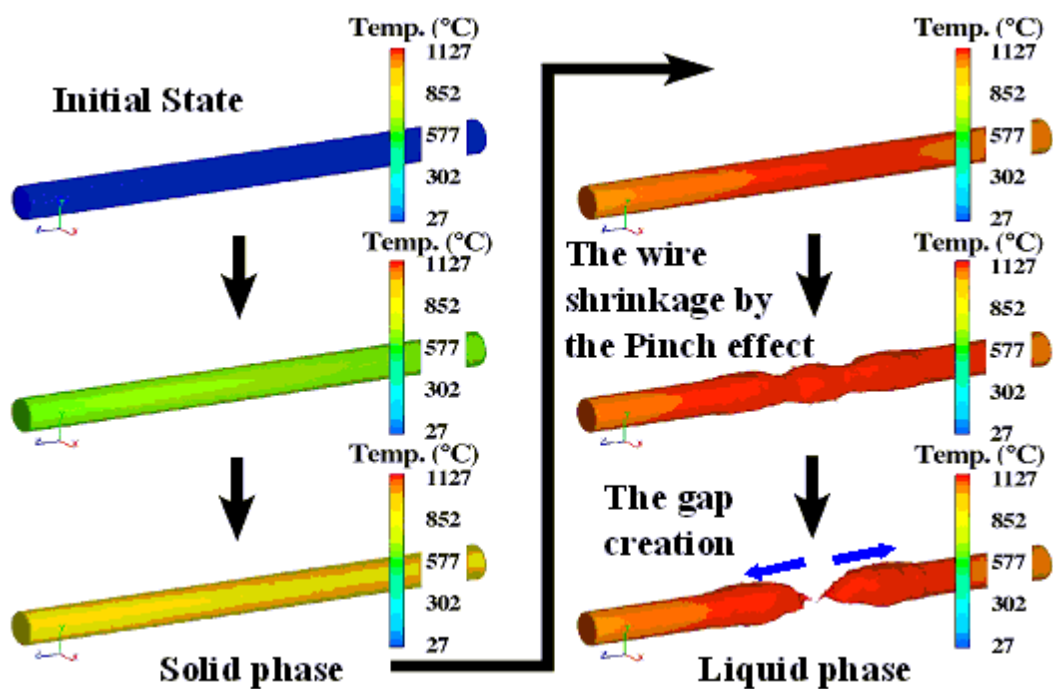


Fuse length= $10 \mu \text{ m}$, Fuse width= 120 nm , Supplying current= 30 mA .

図 3-11 FEM 解析(有限要素法)により計算した Cu-E-trim Fuse のローレンツ力

図3-11にFEM解析にシミュレーションしたCu-E-trim Fuseのローレンツ力を示す。確か

に、ローレンツ力はヒューズのセンタの向きに働き、その力は $200\text{GN}/\text{m}^3$ もの値となる。地球表面において質量 1kg の物体の重力は約 9.81N (ニュートン)である。つまり、 200GN (ニュートン)の力は、 1kg の重力の約 10 桁も大きな力である。



Wire diameter= 150nm , Supplying current= 30mA .

図 3-12 切断時に Cu 配線に与えられるピンチ効果のシミュレーション結果

図3-12に切断時にCu配線に与えられるピンチ効果のFEM解析を使ったシミュレーション結果を示す。解析を容易にするために、Cu配線の形状を円筒とし、Cu配線の周辺はAirと仮定した。図3-11に示したような非常に大きな力であってもローレンツ力は固相においてはヒューズの形状に少しの影響も与えない。しかし、液相においてはローレンツ力による形状変化が可能となる。この現象は一般にピンチ効果と呼ばれる。液相に入るとヒューズの一部がピンチ効果により急速に中心に向かって縮小する。そして、Cuが急速にヒューズの両端に向かって動くことによりギャップが形成される。その結果、Cu-E-trim Fuseの切断が完了する。

このように、Cu-E-trim Fuseは、切断電流をうまく制御して、クラックの発生を抑え、ピンチ効果を利用して切断する。

3. 3. 2 試作結果

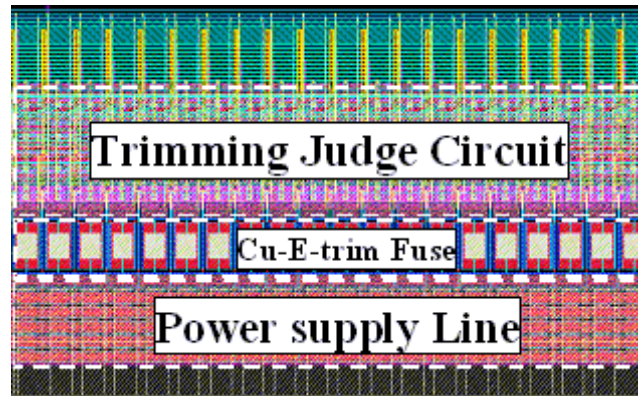


図 3-13 65nm SoC プロセスを用いた Cu-E-trim Fuse TEG のレイアウト

図3-13に65nm SoCプロセスを用いたCu-E-trim Fuse TEGのレイアウトを示す。標準の65nm SoCプロセスに全く付加的なプロセス工程を追加することなく、Cu-E-trim Fuseを実現した。

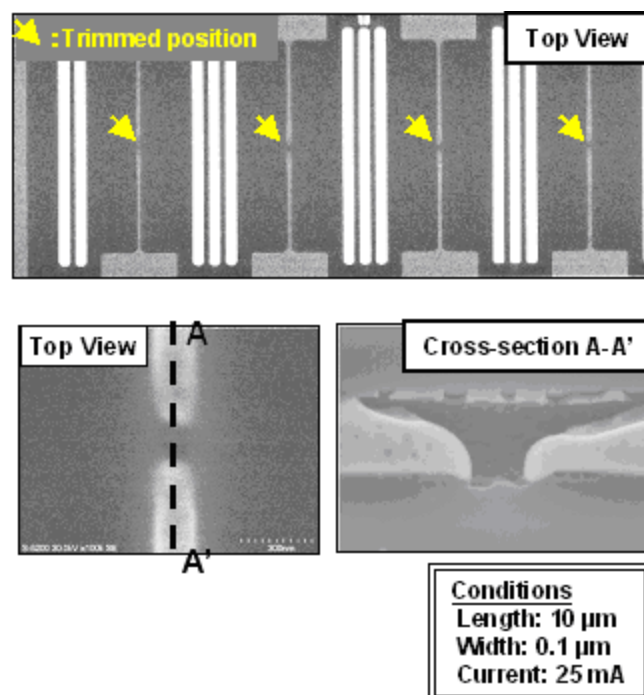


図 3-14 Cu-E-trim Fuse の切断後の SEM 写真

図3-14にCu-E-trim Fuseの切断後のSEM写真を示す。図3-5のCu-eFuseの切断後に

発生するButterfly Wingも見られず、クラックの発生も観測されない。また、ヒューズの切断箇所は必ずヒューズの中央部で見られる。これは、図3-12に示したシミュレーションのように、最も温度の上がるヒューズの中央部でピンチ効果により切断される結果と一致している。Cu-E-trim Fuseを切断するために、切断電流を流す時間は1ヒューズあたり10 μ sと、非常に短い時間でヒューズの切断が可能である。

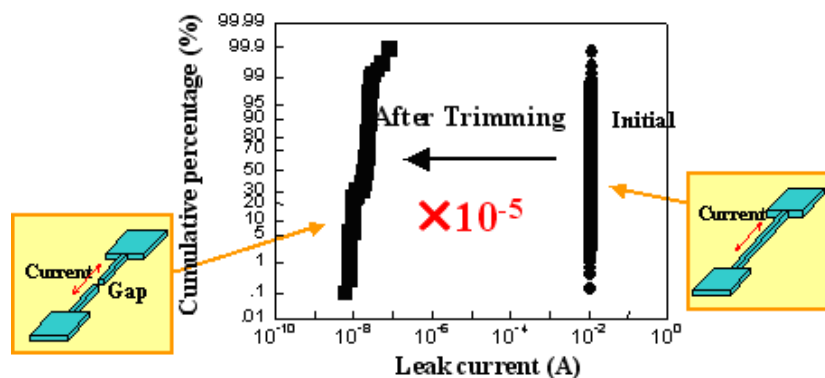


図 3-15 Cu-E-trim Fuse の切断前後のリーク電流変化

図3-15にCu-E-trim Fuseの切断前後のリーク電流変化を示す。切断前後で抵抗値は5桁以上変化しており、また、切断後抵抗値の分布も非常に安定している。これは、Poly-Si-eFuseよりも単純な切断判定回路を使用できることを意味している。

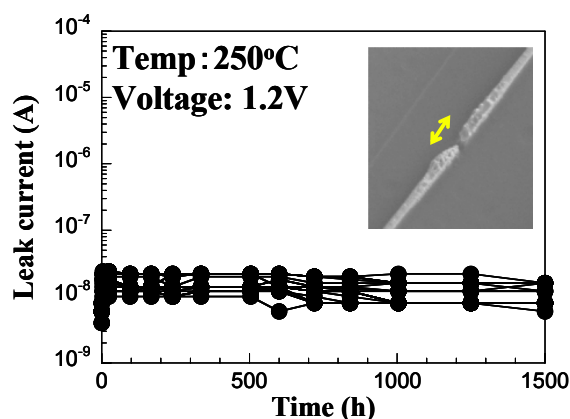


図 3-16 Cu-E-trim Fuse 切断部のリーク電流の高温保存試験結果

図3-16にCu-E-trim Fuse切断部のリーク電流の高温保存試験結果を、また、図3-17にCu-E-trim Fuse切断後の周辺配線へのリーク電流の高温保存試験結果を示す。この評価はサンプルをセラミックパッケージにアセンブリし、高温保存時にもバイアスを印加して行った。切断後のヒューズ両端のリーク電流と切断後の周辺配線へのリーク電流は、1500時

間後でも十分に安定である。こうした結果より、切断部のCuの拡散は信頼性の観点から、ほぼ無視できると言える。

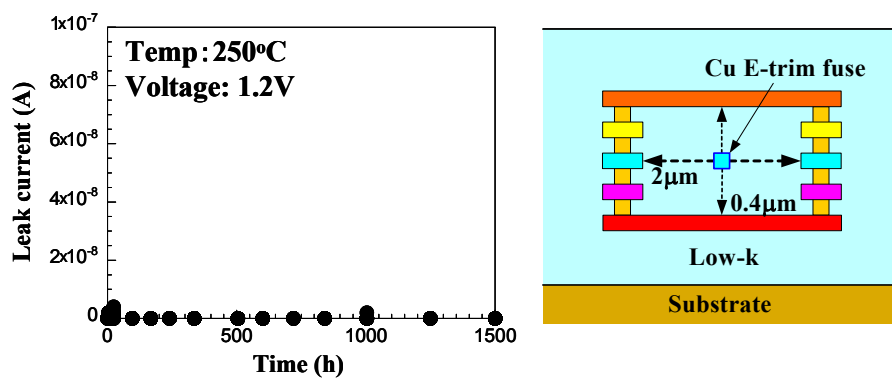


図 3-17 Cu-E-trim Fuse 切断後の周辺配線へのリーク電流の高温保存試験結果

3. 4 微細化に伴う 6T-SRAM の動作マージン低下に 対応する技術 [3_38]-[3_41]

ランダムばらつき増大による6T-cellの動作マージンの低下

CMOSプロセスはムーアの法則に従って急速に進展している。世界中の多くの研究者や半導体メーカーはスケールリングを実現するための様々な問題と戦ってきた。このため、近年トランジスタサイズのアグレッシブなスケールリングが、多くのデジタルチップに広く搭載されているEmbedded SRAMに大きな影響を及ぼしている。それは、一般的に小さなチップサイズを達成するためにそれぞれのプロセス・ノードでSRAMのメモリセルが最も小さなトランジスタサイズを使用しているからである。

図3-18に180nmノード以降の6T-cellメモリセルサイズのトレンドを示す[3_14]-[3_20]。1世代プロセス・ノードが進むにつれて、メモリセルサイズは約50%のシュリンクが行われてきた。65nmノードにおいて、約 $0.5 \mu\text{m}^2$ のメモリセルサイズが報告されている[3_17]-[3_20]。

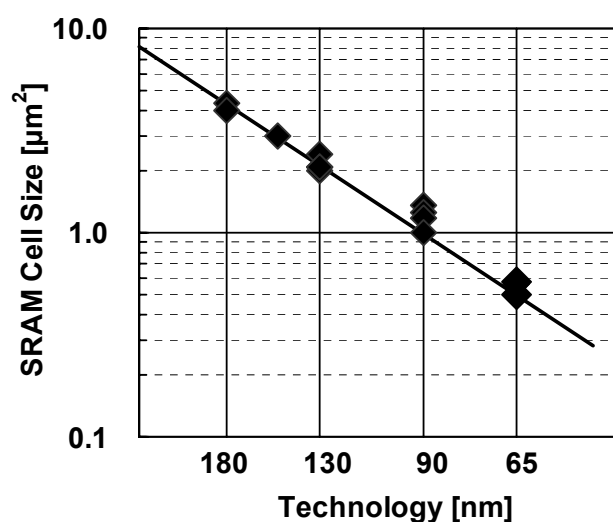


図 3-18 180nm ノード以降の 6T-cell メモリセルサイズのトレンド

sub-100nmのCMOSプロセスにおいて、高歩留でかつ小さなメモリセルサイズを達成するための最も大きな問題が6T-cellに使われているトランジスタの大きな V_{th} ばらつきである[3_21]。一般的に、 V_{th} ばらつきは、ローカルばらつき成分とグローバルばらつき成分に分離することができる[3_22]-[3_24]。ローカルばらつきは不純物の揺らぎによって発生するとされており[3_25]、一方、グローバルばらつきは主として転写や加工などの製造工程によりMOSTランジスタのゲート長(L)、ゲート幅(W)やゲート酸化膜厚(t_{ox})などの物理的なデ

ディメンジョンがばらつくことが原因である。プロセス・ノードの進展とともにトランジスタサイズがシュリンクされても、グローバルばらつきはほぼ維持されてきた。なぜなら、プロセス・ノードとともに、製造装置も進歩し、物理的ディメンジョンの精度も改善されているからである。しかし、sub-100nmのCMOSプロセスにおいて複雑な形状のトランジスタを使用する時には転写技術の限界のため、トランジスタの物理的ディメンジョンの精度を維持するのは困難となっている。Design for Manufacturing (DFM)の観点から、プリミティブ・ロジックセルのレイアウトのみならず、6T-cellのレイアウトもシンプルにすることが必要とされている。

図3-19に90nmと65nmノードに使用されている6T-cellのNMOSローカルVthばらつきの σ (標準偏差)を示す。ローカルVthばらつきの σ は、トランジスタのチャネルサイズを $L \cdot W$ とすると、 $1/(L \cdot W)^{0.5}$ に比例することがよく知られている[3_22]-[3_25]。プロセス・ノードの進展にしたがってトランジスタサイズがシュリンクされると、ローカルVthばらつきの σ は増加する[3_26]。これは、スケーリングによってローカルVthばらつきが劣化することを意味し、sub-100nmのCMOSプロセスにおいては、ローカルVthばらつきの σ が、グローバルばらつきの σ より大きくなっている[3_21]。この大きなローカルVthばらつきが、6T-cellの動作マージンを低下させ、グローバルVthばらつきと同等以上に大きなローカルVthばらつきを考慮して6T-cellの設計を行う必要がある[3_21], [3_27]-[3_28]。

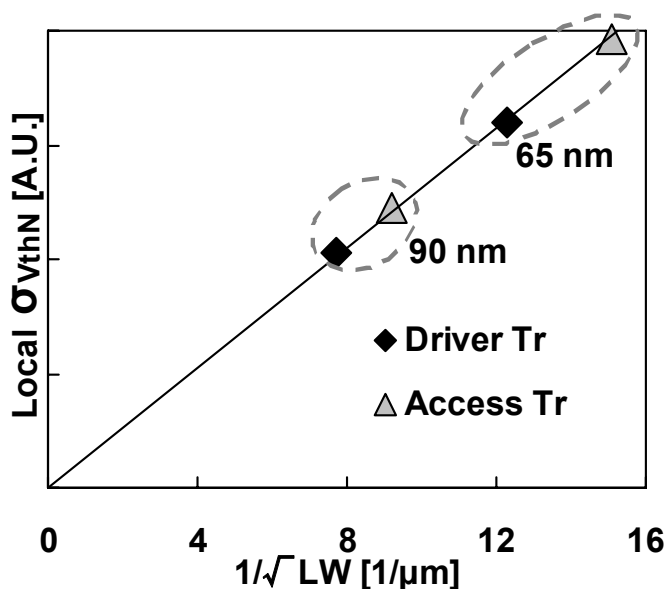


図 3-19 90nm と 65nm ノードの 6T-cell の NMOS ペリグルム・プロット

今まで述べたように、プロセス・ノードの進展とともにローカルVthばらつきが劣化し、6T-cellの動作マージンが低下すると、65nmノードにおいて、sub-0.5 μm^2 のメモリセルサイ

ズを使用したEmbedded SRAMの高歩留を達成するためには、ローカルばらつきの増加に打ち勝つ必要がある。参考文献[3_28]-[3_30]に示されているとおり、シンプルなメモリセルレイアウトの使用や回路的な対策で、6T-cellの動作マージンは広げることができる。65nmノードにおいて、ライト・アシスト回路の使用だけ[3_28]では十分な動作マージンを得ることは難しく、リード・アシスト回路とライト・アシスト回路の両者の使用が必須である[3_29]。さらにあわせて、シンプルなメモリセルレイアウトの使用も必要である[3_30]。

一般に、近年のSoCでは、数Kビットから数Mビットの小容量SRAMが数百種類搭載されている。一方、高性能MPUは1次から3次までのキャッシュやTAGメモリのような大容量SRAMを比較的少ない種類(おそらく10種類以下)を使用している。このため、非常に多くの種類のSRAMに対して電源配線のデザインを容易にするために、SoCに搭載されるSRAMは単一電源を使用することが望ましい。

本3.4節では、65nmノード・プロセスにおけるランダムばらつき増大による低歩留化に対応して高歩留を維持できる技術として、 $\text{sub-}0.5\mu\text{m}^2$ のメモリセルサイズで電気的な対称性がよくDFMを考慮した6T-cellのメモリセルレイアウトと、単一電源で動作マージンを広げるリード・アシスト回路とライト・アシスト回路について説明する。

3.4.1 直線的な拡散層とポリシリコンを用いた6T-cell レイアウト

従来の6T-cellのメモリセルレイアウト

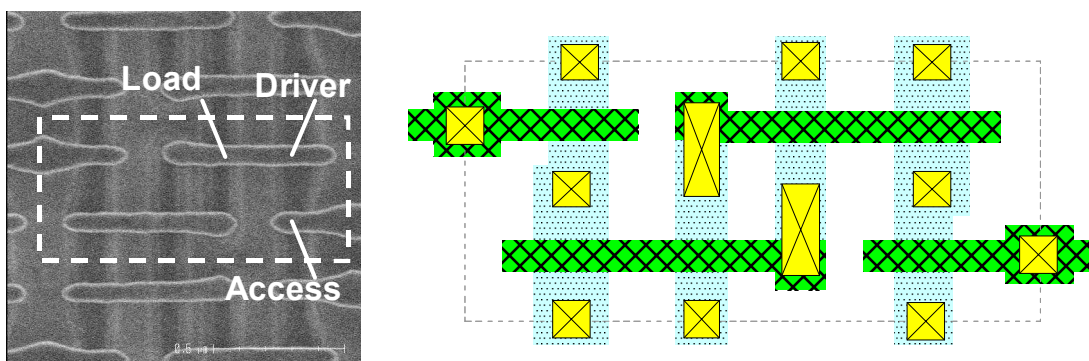


図 3-20 従来のメモリセルレイアウトを用いた $0.614\mu\text{m}^2$ の 6T-cell の SEM 写真と期待値レイアウト

図3-20に従来のメモリセルレイアウトを用いた $0.614\mu\text{m}^2$ の6T-cellのSEM写真と期待値レイアウト(ポリシリコンと拡散層とコンタクトのみ)を示す。期待値レイアウトとは、

OPC(Optical Proximity Correction-光近接効果補正)前のウェハ上に形成されることを期待したレイアウトのことである。しかし、マスクデータとしてはOPC後のデータを使用しても、転写・加工技術の限界により、ウェハ上の仕上がり形状においては、期待値レイアウトの角は丸まってしまう。トランジスタサイズは表3-1に示した。

第1章のp.5に示した図1-3で、Ac1, Ac2をアクセストランジスタ、Dr1, Dr2をドライブトランジスタ、Lo1, Lo2をロードトランジスタと呼ぶ。またアクセストランジスタWacに対するドライブトランジスタのWdrの比をレイアウトの「 β レシオ」= W_{dr}/W_{ac} と呼ぶ。これは、2.6.3節の図2-57の「セルレシオ」と全く同じ意味である。従来の6T-cellメモリセルレイアウトは、ハンマーヘッド形状のポリシリコンレイヤと複雑な形状の拡散層レイヤを持つ。ポリシリコンレイヤをハンマーヘッド形状としたのは、コンタクトレイヤに対するマスクずれマージンを稼ぐためであり、拡散層レイヤが複雑なのは、十分な β レシオを稼ぐためである。180nmノード程度までは、一般的にはStatic Noise Margin (SNM)を十分に大きくするために、 β レシオは1.2

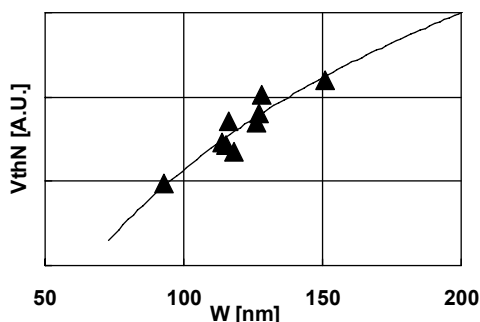


図 3-21 65nm ノードの SRAM NMOS の逆ナローチャネル効果

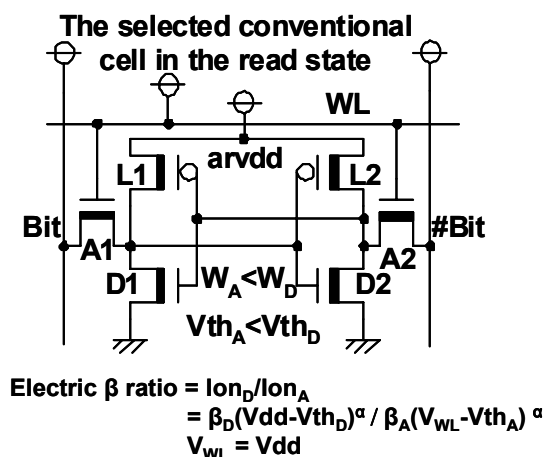


図 3-22 電氣的な β レシオの定義

～1.5程度とすることが必要と考えられていた。

図3-21に65nmノードのSRAM NMOSの逆ナローチャネル効果を示す。従来のメモリセルレイアウトでは、アクセストランジスタの V_{th} はドライバトランジスタの V_{th} より低い。図3-22に電気的な β レシオの定義を示す。1.1V以下の低 V_{dd} 領域では、 $(V_{dd}-V_{th_A})$ が $(V_{dd}-V_{th_D})$ より大きくなるため、アクセストランジスタのオン電流はドライバトランジスタのオン電流より大きくなる。このため、電気的な β レシオは低 V_{dd} 領域で、1以下となる。従来のメモリセルレイアウトで電気的な β レシオを低電圧でも大きくするには、さらに広い W_{dr} (ドライバトランジスタのチャネル幅)をより大きくする必要があり、これは、メモリセルサイズの拡大につながる。

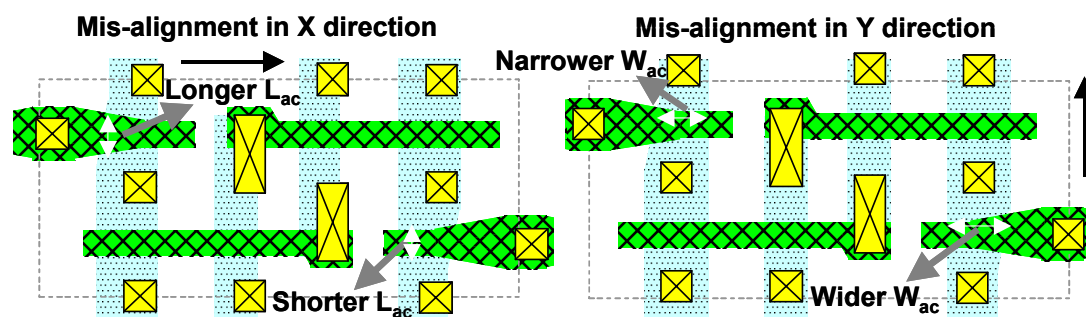


図 3-23 マスクずれが起こった場合の非対称なアクセストランジスタサイズの発生 (従来のメモリセルレイアウトを使用)

図3-23に従来のメモリセルレイアウトを使用して、マスクずれが起こった場合の非対称なアクセストランジスタサイズの発生を示す。今回使用した65nmノード・プロセスでは、ポリシリコンレイヤは拡散層レイヤにマスクを合わせ、コンタクトレイヤはポリシリコンレイヤにマスクを合わせる。この図ではポリシリコンレイヤが拡散層レイヤに対してマスクずれを起こした場合を示している。図の左側に示すX方向のマスクずれが起こった場合には、一方のアクセストランジスタのゲート長 (L_{ac}) が他方の L_{ac} より短くなっている。また、図の右側に示すY方向のマスクずれが起こった場合には、一方のアクセストランジスタのゲート幅 (W_{ac}) が他方の W_{ac} より広がっている。このため、従来のメモリセルレイアウトではマスクずれが発生した場合、電気特性に非対称性が生じやすい。大きなローカルばらつきを持つ65nmノード・プロセスでは、こうしたマスクずれによる非対称性が大きな影響を及ぼしてしまう場合がある。さらにDFMの観点でも、複雑な形状のトランジスタはグローバルばらつきを大きくし、電気特性の非対称なトランジスタ発生の原因となる場合がある。

直線的な拡散層とポリシリコンを用いた6T-cellのメモリセルレイアウト

図3-24に直線的な拡散層とポリシリコンを用いた $0.494 \mu\text{m}^2$ の6T-cellのSEM写真と期待値レイアウトを示す。今後、 $0.494 \mu\text{m}^2$ の6T-cellを「ストレートセル」と呼び、 $0.614 \mu\text{m}^2$ の6T-cellを「コンベンショナルセル」と呼ぶこととする。ストレートセルとコンベンショナルセルのトランジスタサイズを表3-1に示した。ストレートセルでは、拡散層とポリシリコンがコンベンショナルセルよりも単純で直線的である[3_20],[3_30]。ストレートセルは単純で転写技術にやさしいトランジスタの形状を持つため、グローバルばらつきは比較的小さい。WacとWdrは等しく、レイアウトの β レシオは1であり、電氣的 β レシオも1である[3_30]。このメモリセルの広いWacから、大きなアクセストランジスタのオン電流が期待できる。また、ストレートセルはたとえマスクずれが発生しても、電気特性が非対称になりにくい。

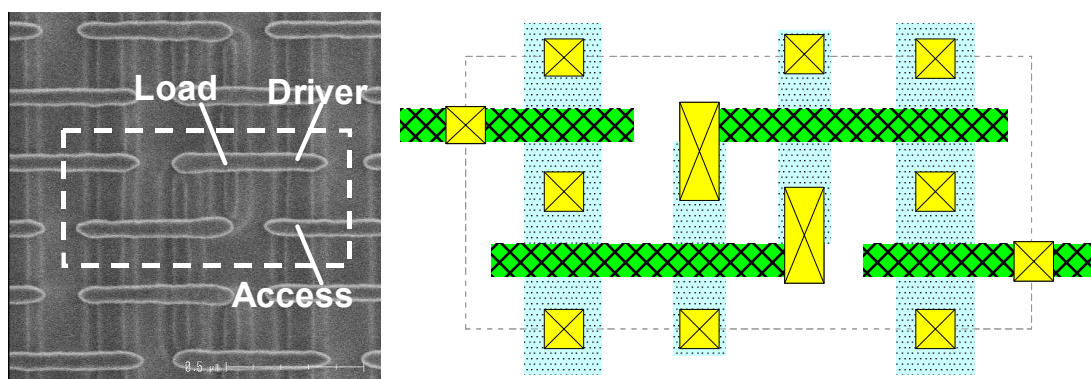


図 3-24 直線的な拡散層とポリシリコンを用いた $0.494 \mu\text{m}^2$ の SEM 写真と期待値レイアウト

図3-25にコンベンショナルセルとストレートセルのSNMの分布を示す。ストレートセルのSNMは高Vddでコンベンショナルセルより小さくなる(図3-26を参照)。しかし、コンベンショナルセルのSNMの μ (メディアン)/ σ は6.7であるのに対し、ストレートセルのSNMの μ/σ は7.4であり、ストレートセルのほうが大きい。大きなSNMの μ/σ は、ばらつきに対する耐性が高いことを意味する。つまり、ストレートセルは単純なレイアウトとローカルばらつきの小さいWの広いアクセストランジスタを使用しているため、ばらつきに対して耐性のあるレイアウトと言える。

表 3-1 コンベンショナルセルとストレートセルのトランジスタサイズ

	Cell Size	Beta Ratio	Access	Driver	Load	Lg
			Wac	Wdr	Wlo	
Conv. Cell	$0.614 \mu\text{m}^2$	1.44	90 nm	130 nm	90 nm	56 nm
Straight Cell	$0.494 \mu\text{m}^2$	1.00	120 nm	120 nm	80 nm	56 nm

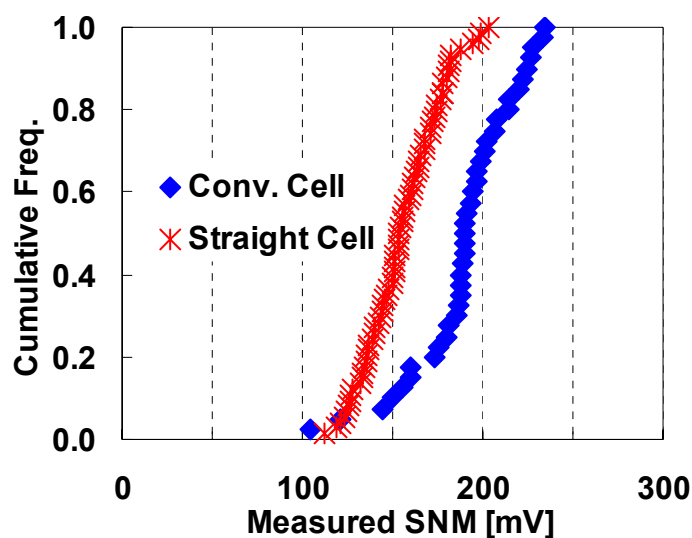


図 3-25 コンベンショナルセルとストレートセルの SNM の分布

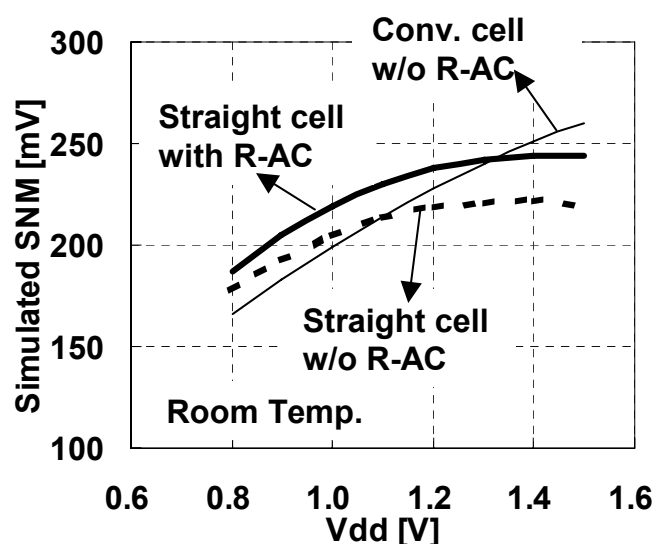


図 3-26 コンベンショナルセルとストレートセルの SNM の Vdd 依存性

図3-26にコンベンショナルセルとストレートセルのSNMのVdd依存性を示す。ここではリード・アシスト回路(R-AC→3. 4. 2節参照)をどちらのセルでも使用してない場合について述べる(w/o R-AC)。このシミュレーションではばらつきは考慮していない。コンベンショナルセルのSNMはVddの増加とともに大きくなる。一方、ストレートセルのSNMは1.2V付近にピークを持ち、高Vddでやや小さくなる。1V以下の低Vddで、電氣的 β レシオの影響により、ストレートセルのSNMはコンベンショナルセルより大きい。しかし、高Vddでは、電氣的 β レシオの影響により、ストレートセルのSNMはコンベンショナルセルより小さくなる。

3. 4. 2 リード・アシスト回路

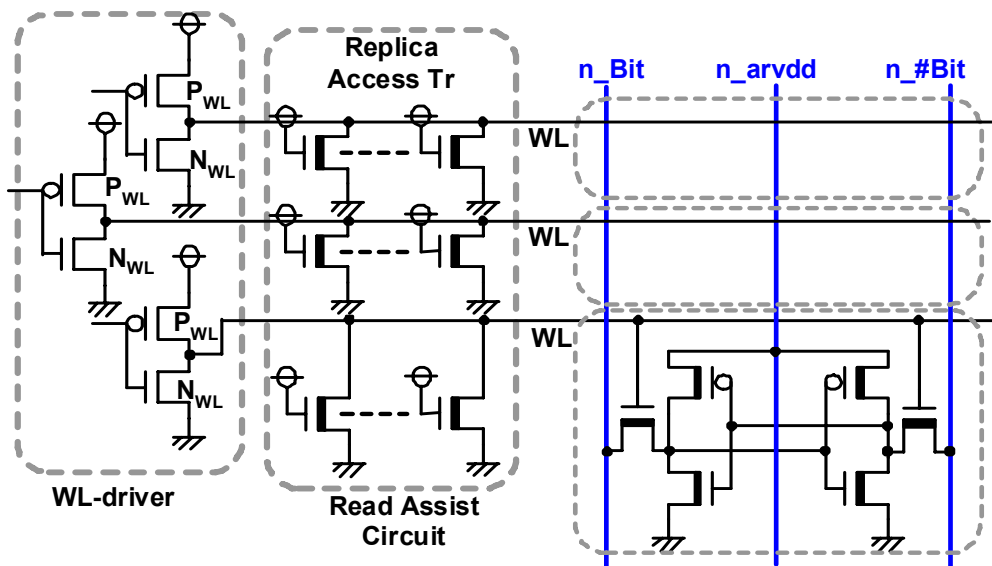


図 3-27 リード・アシスト回路の回路図

ストレートセルを使いながら高い歩留を得るために、リード・アシスト回路を提案した。図 3-27にリード・アシスト回路の回路図を示す。提案のリード・アシスト回路は、SRAMメモリセルの電源レベルよりもワード線(WL)レベルをやや低くすることによりSNMを改善する [3.29]-[3.30]。各ワード線にはいくつかのノーマリオンの Replica Access Transistors (RATs)が接続されている。図3-28にレプリカ・アクセス・トランジスタのレイアウトを示す。RATのレイアウトはストレートセルのアクセストランジスタのレイアウトのトポロジとほぼ同じにした。1本のワード線に接続されるRATの数は20個より少ない。このため、RATのアクティブ電流は128カラム以上の様な多くのカラムを持つ大容量Embedded SRAMマクロでは無視

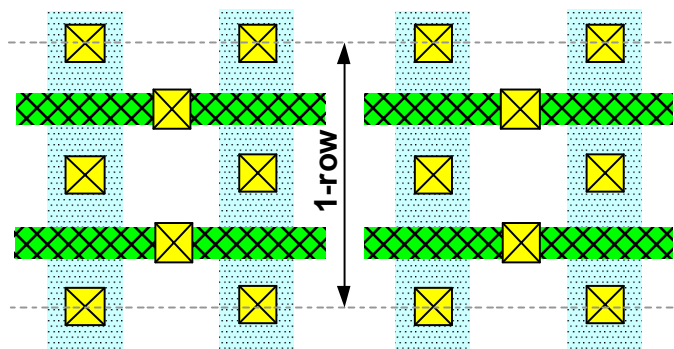


図 3-28 レプリカ・アクセス・トランジスタのレイアウト

できる。一般的にSRAMのNMOSの V_{thN} が低い場合、そのSNMは小さく、逆に V_{thN} が高い場合、そのSNMは大きい[3_21]. [3_27]–[3_27]。図3-27において、選択されたワード線ドライバの P_{WL} はオンであり、 N_{WL} はオフである。選択されたワード線レベルは P_{WL} とRATのオン抵抗の比によって決まる。SRAMの V_{thN} が低い場合、ワード線レベルが低くなるためアクセストランジスタのオン電流が抑えられ、電氣的 β レシオ(図3-22参照)とSNMは維持される。逆に V_{thN} が高い場合、ワード線レベルが高くなるためアクセストランジスタのオン電流があまり抑えられず、電氣的 β レシオとSNMは維持される。これは、提案のリード・アシスト回路は電氣的 β レシオとSNMを自己調整的に維持することを意味する。

図3-26に戻り、リード・アシスト回路を使用した場合(with R-AC)のストレートセルのSNMをみると、特に高Vddにおいて改善されており、Vddが高くなるとともにSNMも大きくなっている。

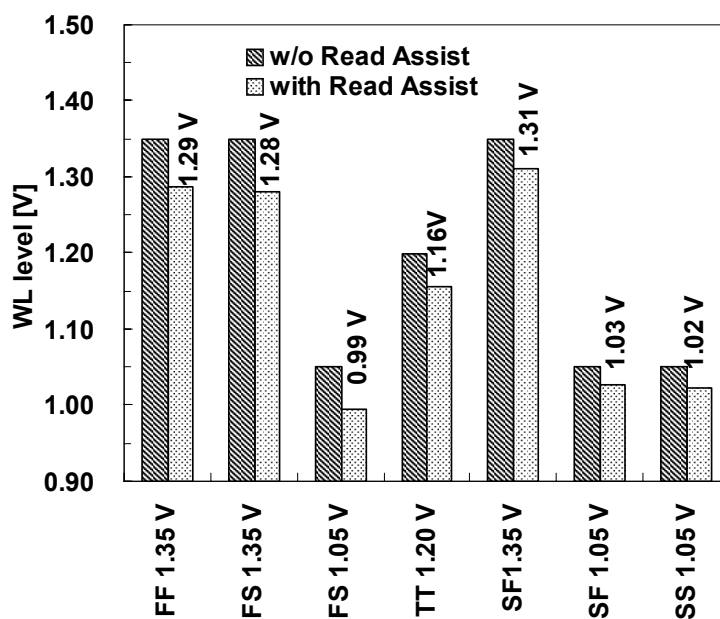


図 3-29 リード・アシスト回路を使用した場合と使用しなかった場合のワード線レベル

図3-29にリード・アシスト回路を使用した場合と使用しなかった場合のワード線レベルを示す。グローバルばらつきの各コーナについてシミュレーションを行っている。 V_{thN} が低く(FF, FS)かつ高いVdd(1.35V)の時、ストレートセルのSNMは悪化するはずであるが、リード・アシスト回路を使用した場合、RATにより大きくワード線レベルが抑えられており(60–70mV)、SNMは維持される。一方、 V_{thN} が高く(SS, SF)かつ低いVdd(1.05V)の時、ワード線レベルの低下量は小さい(20–30mV)。このように、広いVddと V_{thN} に対してワード線

レベルを自己調整して、電氣的 β 比を維持し、その結果SNMも維持される。

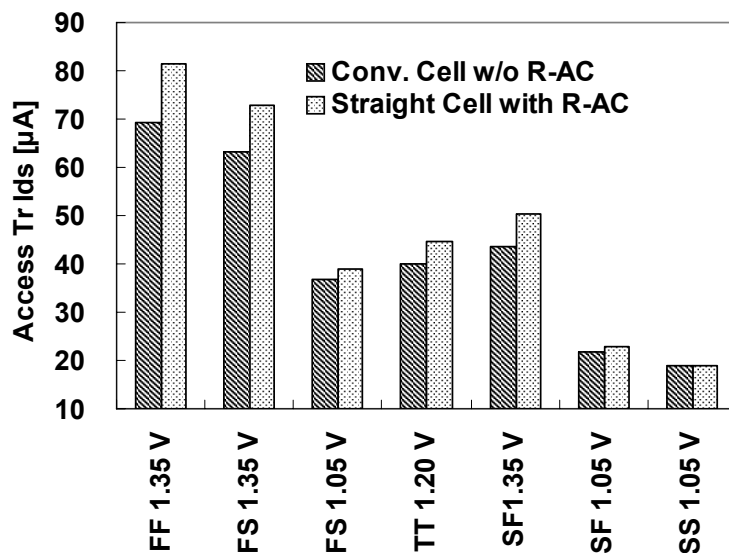


図 3-30 各コーナのアクセストランジスタのオン電流

図3-30に各コーナのアクセストランジスタのオン電流を示す。読出し時にビット線を駆動するアクセストランジスタのオン電流がSRAMの動作速度に大きな影響を与えるため、最悪条件(SS, $V_{dd}=1.05V$)のアクセストランジスタのオン電流に注意を払う必要がある。その最悪条件において、リード・アシスト回路を使ったストレートセルのアクセストランジスタのオン電流がリード・アシスト回路を使わないコンベンショナルセルと同じとなるようにRATの数を調節する。すると、ほかのコーナ条件(FF, FS, TT, SF)において、リード・アシスト回路を使ったストレートセルのアクセストランジスタのオン電流はリード・アシスト回路を使わないコンベンショナルセルより大きい。これは、ストレートセルの W_{ac} がコンベンショナルセルより大きいためである。上記のようにリード・アシスト回路とストレートセルの組合せで、動作速度が悪化することはない。

3. 4. 3 ライト・アシスト回路

ワード線レベルが低下すると、アクセストランジスタのオン電流が劣化するため、アクセストランジスタがロードトランジスタに打ち勝って書込みを行うのが難しくなる。図3-29に示したように、リード・アシスト回路を使った場合のワード線レベルは低下する。選択されたワード線には書込みを行うメモリセルだけでなく、以前のデータを保持しなければならない書込みを行わないメモリセルも接続されている[3-29]-[3-30]ため、たとえ、書込み時であっても、ワード線レベルをリード・アシスト回路で下げておく必要がある。このため、単一電源で動作する新しい配線容量を使ったライト・アシスト回路を提案した。

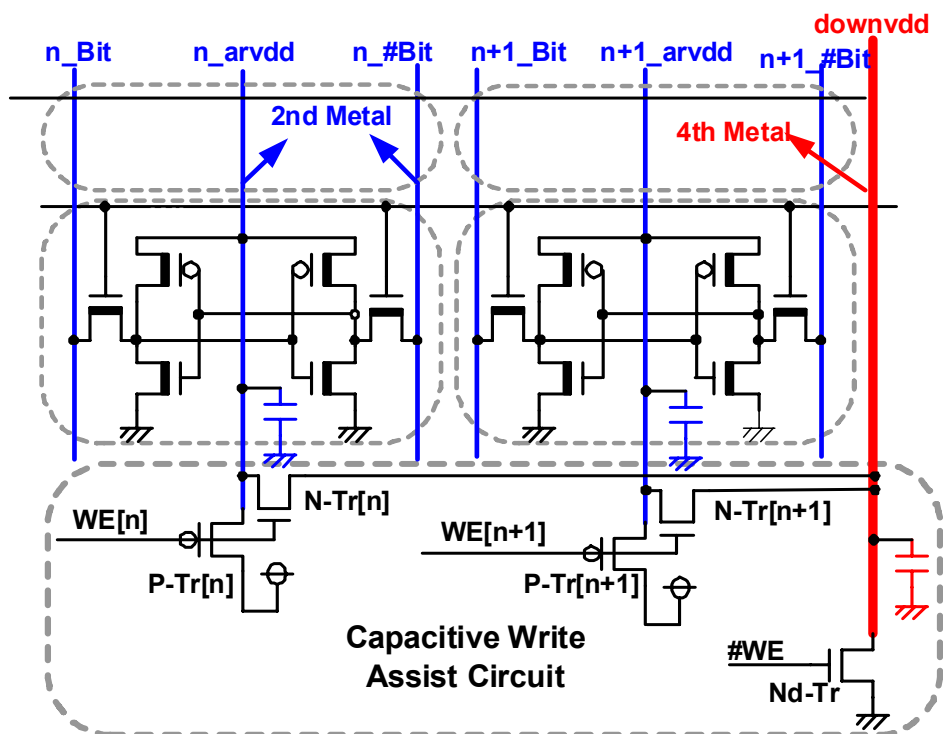


図 3-31 配線容量を使ったライト・アシスト回路の回路図

図3-31に配線容量を使ったライト・アシスト回路の回路図を示す。提案のライト・アシスト回路はメモリセルPMOSのソースの電源配線(arvddと呼ぶこととする)の電位を配線容量によりわずかに下げて、高速でかつ広いライト動作マージンを実現する。この回路図で、ビット線とarvdd線はどちらも2層目のメタルで形成され、arvdd線により各メモリセルのPMOSソースにVdd電位を供給する。arvdd線を書込み時にわずかに下げるための配線容量は、4層目のメタルからなるdownvdd線により形成される。downvdd線はメモリセルの上部に配置されている。

このライト・アシスト回路において、読出しもしくはNOP状態の時には、すべてのP-Tr[n], P-Tr[n+1], P-Tr[n+2], …とNd-Trはオンしている。このため、arvdd線の電位はVddに保たれ、downvdd線の電位はGNDとなっている。このとき、すべてのN-Tr[n], N-Tr[n+1], N-Tr[n+2], …はオフしており、arvdd線とdownvdd線は分離されている。

このライト・アシスト回路において、n番目のカラムに書込みを行う時には、WE[n]信号はHighレベルで、#WEはLowレベルとなっている。このとき、P-Tr[n]とNd-Trがオフし、arvdd線とdownvdd線がフローティング状態になっている。そしてn_arvdd線とdownvdd線がオン状態のN-Tr[n]によりショートされて、n_arvdd線の電位はarvdd線とdownvdd線の容量比で決まる電位まで落ちる。選択されたカラムのarvdd線の電位が下がるため、書込みされるメモリセルのPMOSの駆動力が弱くなり、ライト動作マージンを広げる。このライト・アシスト回路においては、メモリセル上のdownvdd線の配線容量を使っているため、面積ペナルティは小さい。

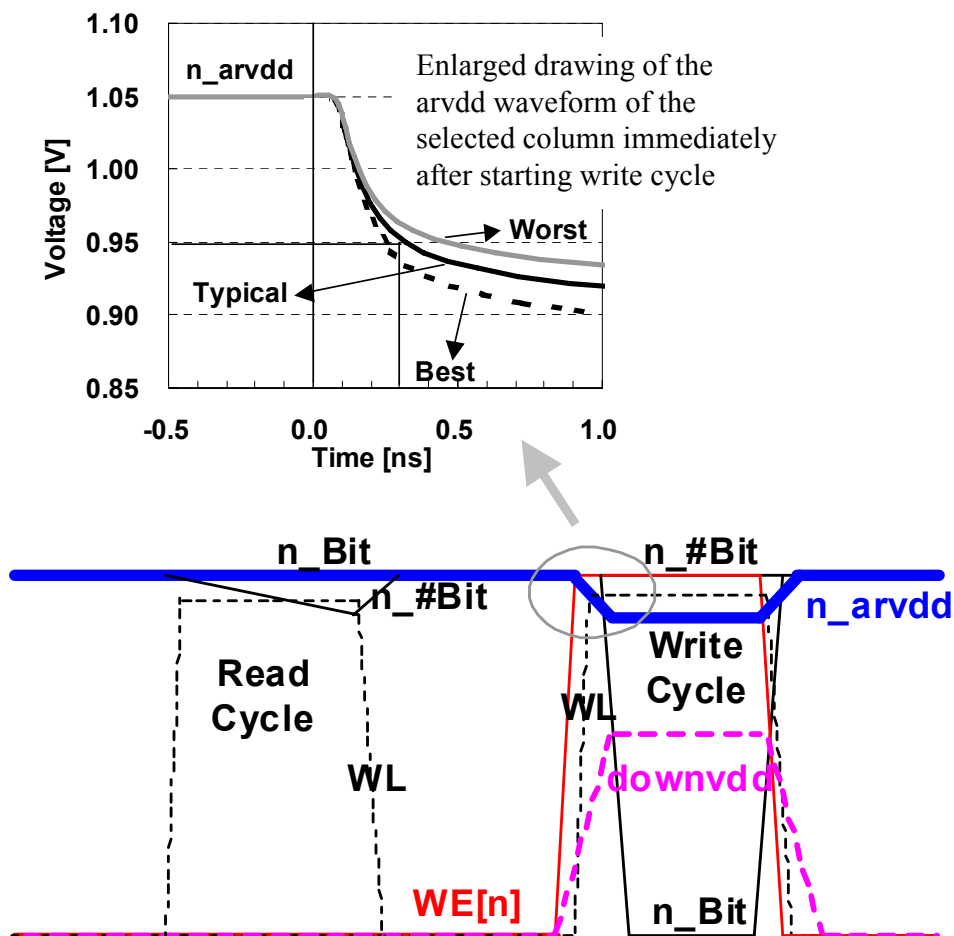


図 3-32 提案のリード・アシスト回路とライト・アシスト回路の動作波形

図3-32に提案のリード・アシスト回路とライト・アシスト回路の動作波形を示す。ワード線電位は、リード・サイクル、ライト・サイクルともにリード・アシスト回路の使用のため、Vddより、20mV～70mV程度低くなっている。リード・サイクルにおいては、arvdd線=Vdd、downvdd線=GNDとなっている。ライト・サイクルになると、arvdd線はVddより100mV以上低下し、downvdd線はハーフVdd近くまで上昇する。これは、downvdd線をNMOSだけにより、arvdd線にショートしたためである。

図3-32の上部にライト・サイクルが開始された直後の選択されたarvdd線のシミュレーション波形の拡大図を示す。Arvdd線の容量は、2層メタルの配線容量、メモリセルPMOSのソースの接合容量、オン状態のPMOSのチャネル容量、メモリセルのHigh側記憶ノードの容量からなる。Downvdd線の容量は、4層メタルの配線容量だけからなる。この図で、ワースト条件(arvddが下がりにくい条件)は、2層メタルとメモリセル・トランジスタのL/Wが製造時のばらつきで最も大きく、4層目メタルの容量が最も小さい時である。また、ベスト条件は、逆となる。標準条件では、arvdd線は、ライト・サイクル開始からわずか0.3nsで、Vddから100mV以上低下している。ワースト条件、ベスト条件ともに、標準条件から大きくかけ離れた状況とはならない。このシミュレーションより、提案の配線容量を使ったライト・アシスト回路は高速でかつ広いライト動作マージンを実現することがわかる。

3. 4. 4 試作結果

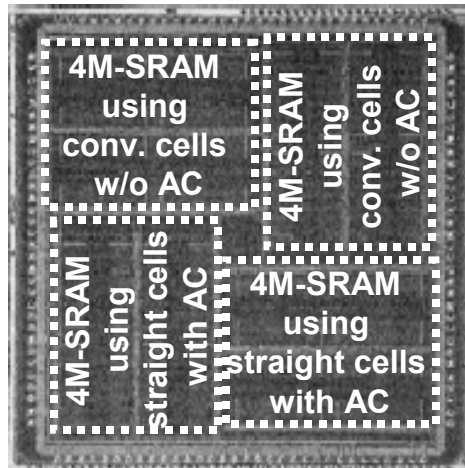
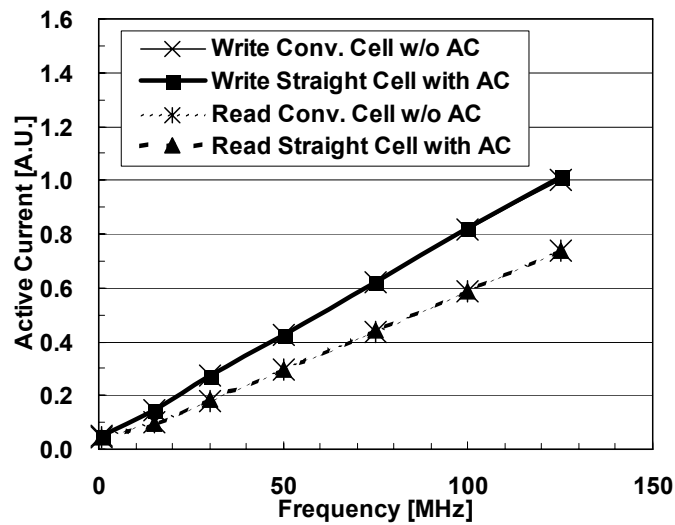


図 3-34 試作した 2つの 8M-SRAM のチップ写真



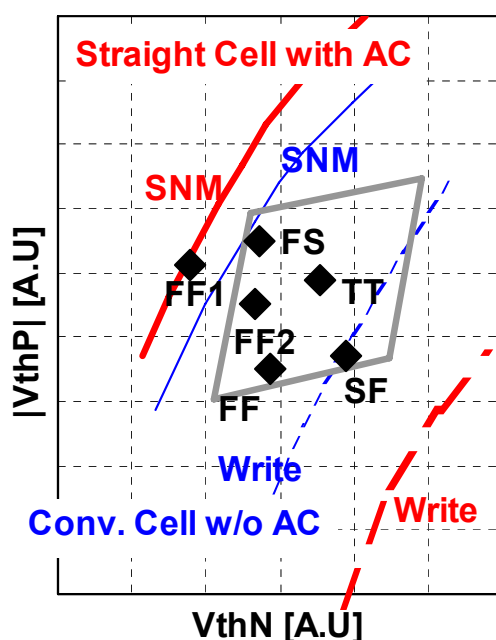
測定条件 : Vdd=1.2V, 室温

図 3-35 512K SRAM macro のアクティブ電流

65nm LSTP(Low Stand-by Power)のSoC CMOSプロセスを用いて、リード・アシスト回路と、ライト・アシスト回路を用いたストレートセルと、アシスト回路のないコンベンショナルセルの8MビットSRAMを試作した。本SRAMのチップ写真を図3-34に示した。それぞれの8M SRAMは2つの4M SRAMからなり、その4M SRAMは縦置きと横置きの2種類がある。それ

ぞれの4M SRAMは、8個の512Kbit Embedded SRAM macroから構成されている。試作に使用した65nm LSTP SoC CMOSプロセスは、1層ポリシリコン、8層Cu配線で、最小ゲート長が50nmである。リード・アシスト回路とライト・アシスト回路の面積ペナルティは2%以下である。

図3-35に512K SRAM macroのアクティブ電流を示す。これ以後に示す測定結果、シミュレーション結果ではリード・アシスト回路に8個のRATを用いた時を示す。アクティブ電流(リード・サイクルとライト・サイクル)のアシスト回路使用の有無による差は、1%以下である。この図では、その差を見出すことができない。



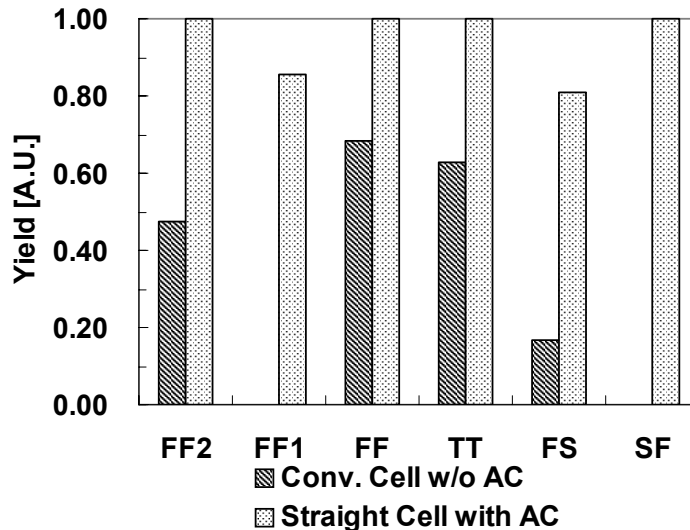
シミュレーション条件 : $V_{dd}=1.2V \pm 0.2V$, 室温

図 3-36 リード・アシスト回路とライト・アシスト回路を用いたストレートセルとアシスト回路を使用していないコンベンショナルセルの V_{th} カーブ

図3-36にリード・アシスト回路とライト・アシスト回路を用いたストレートセルとアシスト回路を使用していないコンベンショナルセルの V_{th} カーブを示す。この V_{th} カーブはメモリセルの動作マージンを示すものである[3_21], [3_27]-[3_28]。X軸はSRAMの V_{thN} 、Y軸はSRAMの V_{thP} である。図中上部の太い実線はリード・アシスト回路とライト・アシスト回路を用いたストレートセルのランダムばらつきを考慮した読出し動作マージンの境界である。図中下部の太い破線はアシスト回路を用いたストレートセルのランダムばらつきを考慮した書込み動作

マージンの境界である。Vthカーブ解析において、Vthの読出し動作マージンの境界と、読出し動作マージンの境界に挟まれた領域を「Vthウィンドウ」と呼ぶ[3_27]。細い実線はコンベンショナルセルの読出し動作マージンの境界であり、細い破線はコンベンショナルセルの書込み動作マージンの境界である。図中中央に、SRAM Vthのグローバルばらつきの境界を意味する菱形を示している。ストレートセルを用いた8M SRAMのVthウィンドウは、グローバルばらつきを意味する菱形より十分に大きい。一方、コンベンショナルセル場合は、8M SRAMのVthウィンドウは、グローバルばらつきを意味する菱形より小さい。つまり、このVthカーブ解析は、ランダムばらつきを考慮してもストレートセルを用いた8M SRAMが十分な動作マージンを持つことを示している。

図3-37に試作した8M SRAMのプローブテストの歩留を示す。図3-36のVthカーブ解析結果の中にプロットした位置にVthをスキューして試作した。リード・アシスト回路とライト・アシスト回路を用いたストレートセルの歩留は、アシスト回路を使用しないコンベンショナルセルの歩留より、すべてのVthスキュー条件で高い。特にFF1とSFのVthスキュー条件において、コンベンショナルセルの場合はVthウィンドウの外側に位置しているが、そのコンベンショナルセルの歩留はゼロ%となっている。



プローブテスト条件 : Vdd=1.2V±0.2V, 室温

図 3-37 試作した 8M SRAM のプローブテストの歩留

3. 5 まとめ

高歩留化は、SRAMのみならず半導体製品すべてで要求されることであるが、本章では、特に2000年代以降のEmbedded SRAMの時代において必要とされるEmbedded SRAMの高歩留化技術を提案し、その効果を検証した。下記に本章で提案した高歩留化技術についてまとめる。

(1) Embedded SRAMに適したシフトリダンダンシ

救済アルゴリズムが単純でかつ歩留向上効果が高い奇数・偶数デコード出力別系統シフトリダンダンシを提案した。このリダンダンシでは、M-BIST回路やBISR回路の面積の増加を抑えられ、かつ、冗長メモリセルを使用した時と使用しない時でアクセスタイムが変わらないため、Embedded SRAMに適した冗長回路方式である。

(2) Cu配線で形成された電気ヒューズ(Cu-E-trim Fuse)

本章で提案したCu-E-trim Fuseより以前に、Cu配線に大電流を流してCu配線を電気ヒューズとするCu-eFuseが提案されていた。Cu-eFuseの切断メカニズムは、Cu配線の層間絶縁膜にクラックを発生させることによりクラックにCuを吸い上げて、Cu配線に隙間を作ることであることを明らかにした。その上で、ヒューズを切断する間、切断電流供給トランジスタの線形領域を使用し、切断電流をヒューズ切断部とlow-k材料間の温度勾配を考慮して制御することにより、ヒューズの周りにクラックやダメージの発生のないCu配線で形成された電気ヒューズであるCu-E-trim Fuseを提案し、その切断メカニズムを明らかにした。そして、実際に65nmノードで試作し、切断の前後で5桁以上も抵抗値が変化し、切断後に1.2V、250℃の高温バイアス保存信頼性試験で1500hrs後でも抵抗値の変化が見られない、非常に良好な特性を確認できた。

(3) 直線的な拡散層とポリシリコンを用いた6T-cellレイアウト

6T-cellを構成するトランジスタのレイアウトを転写・加工技術に対して易しい直線的なレイアウトにすることでプロセス変動によるグローバルなトランジスタの特性ばらつきによる動作マージン劣化を抑えることを提案した。拡散層を直線的にすることはメモリセルの β 比を1とすることであるが、それにより0.8Vの低電圧のStatic Noise Margin (SNM)が約10mV改善でき、アクセストランジスタのサイズが大きくなることによりランダムばらつきにも強くなることがわかった。

(4) リード・アシスト回路

活性化されたワード線の電圧レベルを、グローバルなSRAM NMOSの特性変動に合わせて電氣的なメモリセルの β 比を自己調整的に制御するリード・アシスト回路を提案し、SNM

の劣化を抑えた。

(5) ライト・アシスト回路

書込み時に選択カラムのみのメモリセルVddを、メモリセル上に配置した配線の容量を用いて強制的に引下げる、配線容量を使ったライト・アシスト回路を提案し、ランダムばらつきにより低下した書込みマージンを広げる、高速書込み動作を可能としたことを説明した。上記の(3)、(4)、(5)について、実際に65nmノードで8M SRAMを試作し、評価結果とシミュレーション結果から、すべてのSPICEコーナで提案手法の歩留が上回るという良好な特性が得られることを示した。

3. 6 第3章参考文献

- [3_1] Ilyoung Kim; Zorian, Y.; Komoriya, G.; Pham, H.; Higgins, F.P.; Lewandowski, J.L.; “Built in self repair for Embedded high density SRAM,” in International Test Conference (ITC), 1998. Proceedings, pp. 1112 - 1119, 18-23 October 1998.
- [3_2] Nagura, Y.; Mullins, M.; Sauvageau, A.; Fujiwara, Y.; Furue, K.; Ohmura, R.; Komoike, T.; Okitaka, T.; Tanizaki, T.; Dosaka, K.; Arimito, K.; Koda, Y.; Tada, T.; “Test cost reduction by at-speed BISR for Embedded DRAMs,” in International Test Conference (ITC), 2001. Proceedings, pp. 182 - 187, 30 October - 1 November 2001.
- [3_3] Alavi, M.; Bohr, M.; Hicks, J.; Denham, M.; Cassens, A.; Douglas, D.; Tsai, M.-C.; “A PROM element based on salicide agglomeration of poly fuses in a CMOS logic process,” in International Electron Devices Meeting (IEDM), 1997. Technical Digest, pp. 855 - 858, 7-10 December 1997.
- [3_4] Kyunam Lim; Sangseok Kang; Jonghyun Choi; Jaehoon Joo; Younsang Lee; Jinseok Lee; Sooin Cho; Byungil Ryu; “Bit line coupling scheme and electrical fuse circuit for reliable operation of high density DRAM,” in Symposium VLSI Circuits, 2001. Digest of Technical Papers, pp. 33 - 34, 14-16 June 2001.
- [3_5] Kothandaraman, C.; Iyer, S.K.; Iyer, S.S.; “Electrically programmable fuse (eFUSE) using electromigration in silicides,” Electron Device Letters, IEEE, Vol. 23, No. 9, pp. 523 - 525, September 2002.
- [3_6] Cowan, B.; Farnsworth, O.; Jakobsen, P.; Oakland, S.; Ouellette, M.R.; Wheeler, D.L.; “On-chip repair and an ATE independent fusing methodology,” in International Test Conference (ITC), 2002. Proceedings, pp. 178 - 186, 7-10 October 2002.
- [3_7] Ouellette, M.R.; Anand, D.L.; Jakobsen, P.; “Shared fuse macro for multiple Embedded memory devices with redundancy,” in Custom Integrated Circuits Conference (CICC), 2001. Proceedings, pp. 191 - 194, 6-9 May 2001.
- [3_8] Safran, John; Leslie, Alan; Fredeman, Gregory; Kothandaraman, Chandrasekharan; Cestero, Alberto; Chen, Xiang; Rajeevakumar, Raj; Kim, Deok-kee; Li, Yan Zun; Moy, Dan; Robson, Norman; Kirihata, Toshiaki; Iyer, Subramanian; “A Compact eFUSE Programmable Array Memory for SOI CMOS,” in Symposium VLSI Circuits, 2007. Digest of Technical Papers, pp. 72 - 73, 14-16 June 2007.
- [3_9] Chung, Shine; Huang, Jiann-Tseng; Chen, Paul; Hsueh, Fu-Lung; “A 512 x 8 Electrical Fuse Memory with $15 \mu\text{m}^2$ Cells Using 8-sq Asymmetric Fuse and Core Devices in 90nm CMOS,” in Symposium VLSI Circuits, 2007. Digest of Technical Papers, pp. 74 - 75, 14-16 June 2007.
- [3_10] US Patent; Shiomi, T.; Ohbayashi, S; “Semiconductor integrated circuit device using BiCMOS technology,” No.6141269, 31 October 2000. →ビット線交互配置の冗長回路、ワードデコーダの両

側記シフトリダクション(32Kx8/x9 BiCMOS)

- [3_11] 日本公開特許; 浮田 求, 大林 茂樹, “半導体記憶装置,”特開2003-208795, 出願日:平成14年1月11日. →偶奇シフトリダクション(Network SRAM)
- [3_12] Kothandaraman, C; Iyer, S.K.; Wu, J.J.; Iyer, S.S.; “Optimisation of CoSi₂ Based Electrical Fuses for Redundancy Implementation in Sub-0.13 μ m Embedded DRAM Applications,” in International Conference on Solid State Devices and Materials (SSDM), 2000. Technical Digest, pp. 166 - 167, 29-31 August 2000.
- [3_13] Ueda, T.; Takaoka, H.; Hamada, M.; Kobayashi, Y.; Ono, A.; “A novel Cu electrical fuse structure and blowing scheme utilizing crack-assisted mode for 90 - 45 nm-node and beyond,” in Symposium VLSI Technology, 2006. Digest of Technical Papers, pp. 138 - 139, June 2006.
- [3_14] Zhang, K.; Bhattacharya, U.; Ma, L.; Ng, Y.; Zheng, B.; Bohr, M.; Thompson, S.; “A fully synchronized, pipelined, and re-configurable 50 Mb SRAM on 90 nm CMOS technology for logic applications,” in Symposium VLSI Technology, 2003. Digest of Technical Papers, pp. 253 - 254, 12-14 June 2003.
- [3_15] Tomita, K.; Hashimoto, K.; Inbe, T.; Oashi, T.; Tsukamoto, K.; Nishioka, Y.; Matsuura, M.; Eimori, T.; Inuishi, M.; Miyanaga, I.; Nakamura, M.; Kishimoto, T.; Yamada, T.; Eriguchi, K.; Yuasa, H.; Satake, T.; Kajiya, A.; Ogura, M.; “Sub-1 μ m² high density Embedded SRAM technologies for 100 nm generation SOC and beyond,” in Symposium VLSI Technology, 2002. Digest of Technical Papers, pp. 14 - 15, 11-13 June 2002.
- [3_16] Nii, K.; Tsukamoto, Y.; Yoshizawa, T.; Imaoka, S.; Yamagami, Y.; Suzuki, T.; Shibayama, A.; Makino, H.; Iwade, S.; “A 90-nm Low-Power 32-kB Embedded SRAM With Gate Leakage Suppression Circuit for Mobile Applications,” IEEE Journal of Solid-State Circuits, Vol. 39, No. 4, pp. 684 - 693, April 2004.
- [3_17] Kanda, M.; Morifuji, E.; Nishigoori, M.; Fujimoto, Y.; Uematsu, M.; Takahashi, K.; Tsuno, H.; Okano, K.; Matsuda, S.; Oyamatsu, H.; Takahashi, H.; Nagashima, N.; Yamada, S.; Noguchi, T.; Okamoto, Y.; Kakumu, M.; “Highly Stable 65nm Node (CMOS5) 0.56 μ m² SRAM Cell Design for Very Low Operation Voltage,” in Symposium VLSI Technology, 2003. Digest of Technical Papers, pp. 13 - 14, 10-12 June 2003.
- [3_18] Nakai, S.; Kojima, M.; Misawa, N.; Miyajima, M.; Asai, S.; Inagaki, S.; Iba, Y.; Ohba, T.; Kase, M.; Kitada, H.; Satoh, S.; Shimizu, N.; Sugiura, I.; Sugimoto, F.; Setta, Y.; Tanaka, T.; Tamura, N.; Nakaishi, M.; Nakata, Y.; Nakahira, J.; Nishikawa, N.; Hasegawa, A.; Fukuyama, S.; Fujita, K.; Hosaka, K.; Horiguchi, N.; Matsuyama, H.; Minami, T.; Minamizawa, M.; Morioka, H.; Yano, E.; Yamaguchi, A.;

- Watanabe, K.; Nakamura, T.; Sugii, T.; "A 65 nm CMOS Technology with a High-Performance and Low-Leakage Transistor, a $0.55 \mu\text{m}^2$ 6T-SRAM Cell and robust hybrid-ULK/Cu interconnects for mobile multimedia applications," in International Electron Devices Meeting (IEDM '03) Technical Digest, pp. 285 - 288, 8-10 December 2003.
- [3_19] Chatterjee, A.; Yoon, J.; Zhao, S.; Tang, S.; Sadra, K.; Crank, S.; Mogul, H.; Aggarwal, R.; Chatterjee, B.; Lytle, S.; Lin, C.T.; Lee, K.D.; Kim, J.; Hong, Q.Z.; Kim, T.; Olsen, L.; Quevedo-Lopez, M.; Kirmse, K.; Zhang, G.; Meek, C.; Aldrich, D.; Mair, H.; Mehrotra, M.; Adam, L.; Mosher, D.; Yang, J.Y.; Crenshaw, D.; Williams, B.; Jacobs, J.; Jain, M.; Rosal, J.; Houston, T.; Wu, J.; Nagaraj, N.S.; Scott, D.; Ashburn, S.; Tsao, A.; "A 65 nm CMOS technology for mobile and digital signal processing applications," in International Electron Devices Meeting (IEDM '04) Technical Digest, pp. 665 - 668, 13-15 December 2004.
- [3_20] Utsumi, K.; Morifuji, E.; Kanda, M.; Aota, S.; Yoshida, T.; Honda, K.; Matsubara, Y.; Yamada, S.; Matsuoka, F.; "A 65nm Low Power CMOS Platform with $0.495 \mu\text{m}^2$ SRAM for Digital Processing and Mobile Applications," in Symposium VLSI Technology, 2005. Digest of Technical Papers, pp. 216 - 217, 14-16 June 2005.
- [3_21] Yamaoka, M.; Osada, K.; Tsuchiya, R.; Horiuchi, M.; Kimura, S.; Kawahara, T.; "Low power SRAM menu for SOC application using Yin-Yang-feedback memory cell technology," in Symposium VLSI Technology, 2004. Digest of Technical Papers, pp. 288 - 291, 17-19 June 2004.
- [3_22] Shyu, J.-B.; Temes, G.C.; Yao, K.; "Random errors in MOS capacitors," IEEE Journal of Solid-State Circuits, Vol. 17, No. 6, pp. 1070 - 1076, December 1982.
- [3_23] Shyu, J.-B.; Temes, G.C.; Krummenacher, F.; "Random error effects in matched MOS capacitors and current sources," IEEE Journal of Solid-State Circuits, Vol. 19, No. 6, pp. 948 - 956, December 1984.
- [3_24] Pelgrom, M.J.M.; Duinmaijer, A.C.J.; Welbers, A.P.G.; "Matching Properties of MOS Transistors," IEEE Journal of Solid-State Circuits, Vol. 24, No. 5, pp. 1433 - 1439, October 1989.
- [3_25] Stolk, P.A.; Widdershoven, F.P.; Klaassen, D.B.M.; "Modeling Statistical Dopant Fluctuations in MOS Transistors," IEEE Trans. on Electron Devices, Vol. 45, No. 9, pp. 1960 - 1971, September 1998.
- [3_26] A. Asenov, "Random Dopant Induced Threshold Voltage Lowering and Fluctuations in Sub- $0.1 \mu\text{m}$ MOSFET's: A 3-D "atomistic" Simulation Study," IEEE Trans. on Electron Devices, Vol. 45, No. 12, pp. 2505 - 2513, December 1998.
- [3_27] Tsukamoto, Y.; Nii, K.; Imaoka, S.; Oda, Y.; Ohbayashi, S.; Yoshizawa, T.; Makino, H.; Ishibashi, K.; Shinohara, H.; "Worst-case analysis to obtain stable read/write DC margin of high density

- 6T-SRAM-array with local V_{th} variability,” in International Conference Computer-Aided Design, 2005 (ICCAD-2005), pp. 398 - 405, 6-10 November 2005.
- [3_28] Yamaoka, M.; Maeda, N.; Shinozaki, Y.; Shimazaki, Y.; Nii, K.; Shimada, S.; Yanagisawa, K.; Kawahara, T.; “90-nm process-variation adaptive Embedded SRAM modules with power-line-floating write technique,” IEEE Journal of Solid-State Circuits, Vol. 41, No. 3, pp. 705 - 711, March 2006.
- [3_29] Kevin Zhang; Bhattacharya, U.; Zhanping Chen; Hamzaoglu, F.; Murray, D.; Vallepalli, N.; Yih Wang; Bo Zheng; Bohr, M.; “A 3-GHz 70-Mb SRAM in 65-nm CMOS Technology With Integrated Column-Based Dynamic Power Supply,” IEEE Journal of Solid-State Circuits, Vol. 41, No. 1, pp. 146 - 151, January 2006.
- [3_30] Yamaoka, M.; Osada, K.; Ishibashi, K.; “0.4-V Logic-Library-Friendly SRAM Array Using Rectangular-Diffusion Cell and Delta-Boosted-Array Voltage Scheme,” IEEE Journal of Solid-State Circuits, Vol. 39, No. 6, pp. 934 - 940, June 2004.
- [3_31] Ohba, A.; Ohbayashi, S.; Shiomi, T.; Takano, S.; Anami, K.; Honda, H.; Ishigaki, Y.; Hatanaka, M.; Nagao, S.; Kayano, S.; “A 7ns 1Mb BiCMOS ECL SRAM with Shift Redundancy,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.26, No.4, pp. 507 - 512, April 1991.
- [3_32] Ohba, A.; Ohbayashi, S.; Shiomi, T.; Takano, S.; Anami, K.; Honda, H.; Ishigaki, Y.; Hatanaka, M.; Nagao, S.; Kayano, S.; “A 7 ns 1 Mb BiCMOS ECL SRAM with program-free redundancy,” in Symposium VLSI Circuits, 1990. Digest of Technical Papers, pp. 41 - 42, 7-9 June 1990.
- [3_33] 大庭 敦, 大林 茂樹, 塩見 徹, 本田裕己, 石垣佳之, 畑中正宏, 長尾繁雄, 穴見健治, “[招待講演] アクセス時間7nsの1Mb BiCMOS ECL RAM,” 電子情報通信学会 技術研究報告, Vol. 90, No. 140, SDM90-62, pp. 29-35, July 1990.
- [3_34] US Patent; Shiomi, T.; Ohbayashi, S.; “Semiconductor integrated circuit device using BiCMOS technology,” No.6141269, 31 October 2000. →ビット線交互配置の冗長回路、ワードデコーダの両側にシフトリダンダンシ(32Kx8/x9 BiCMOS)
- [3_35] 日本公開特許; 浮田 求, 大林 茂樹, “半導体記憶装置,”特開2003-208795, 出願日:平成14年1月11日. →偶奇シフトリダンダンシ(Network SRAM)
- [3_36] Kono, K.; Yonezu, T.; Ohbayashi, S.; Arakawa, M.; Asano, Y.; Uchida, T.; Iwamoto, T.; “A Crackless and High Reliable Cu eTrim Fuse using the Pinch Effect for 65nm,” Advanced Metallization Conference 2006 (AMC 2006), 2007 Materials Research Society, pp.671-676, 2007.
- [3_37] Kono, K.; Yonezu, T.; Obayashi, S.; Arakawa, M.; Asano, Y.; Uchida, T.; Iwamoto, T.; “A crackless and high reliable Cu eTrim fuse using the pinch effect for 65nm,” in Advanced Metallization Conference (ADMTA 2006): 16th Asian Session, pp. 126-127, September 2006.

- [3_38] Ohbayashi, S.; Yabuuchi, M.; Nii, K.; Tsukamoto, Y.; Imaoka, S.; Oda, Y.; Yoshihara, T.; Igarashi, M.; Takeuchi, M.; Kawashima, H.; Yamaguchi, Y.; Tsukamoto, K.; Inuishi, M.; Makino, H.; Ishibashi, K.; Shinohara, H.; “A 65-nm SoC Embedded 6T-SRAM Designed for Manufacturability With Read and Write Operation Stabilizing Circuits,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 42, No.4, pp. 820 - 829, April 2007.
- [3_39] Ohbayashi, S.; Yabuuchi, M.; Nii, K.; Tsukamoto, Y.; Imaoka, S.; Oda, Y.; Igarashi, M.; Takeuchi, M.; Kawashima, H.; Makino, H.; Yamaguchi, Y.; Tsukamoto, K.; Inuishi, M.; Ishibashi, K.; Shinohara, H.; “A 65 nm SoC Embedded 6T-SRAM Design for Manufacturing with Read and Write Cell Stabilizing Circuits,” in Symposium VLSI Circuits, 2006. Digest of Technical Papers, pp. 17-18, June 15-17 2006.
- [3_40] 藪内 誠, 大林 茂樹, 新居浩二, 塚本康正, 今岡 進, 五十嵐元繁, 竹内雅彦, 川島 光, 牧野博之, 山口泰男, 塚本和宏, 犬石昌秀, 石橋孝一郎, 篠原尋史, “65nm混載SRAMでの動作マージン改善回路,” 電子情報通信学会 技術研究報告, Vol. 106, No. 207, ICD2006-105, pp. 149-153, August 2006.
- [3_41] Tsukamoto, Y.; Nii, K.; Imaoka, S.; Oda, Y.; Ohbayashi, S.; Yoshizawa, T.; Makino, H.; Ishibashi, K.; Shinohara, H.; “Worst-case analysis to obtain stable read/write DC margin of high density 6T-SRAM-array with local V_{th} variability,” in International Conference Computer-Aided Design, 2005 (ICCAD-2005), pp. 398 - 405, 6-10 November 2005.

第4章 SRAMの高品質化

4. 1 序

高品質化は、SRAMのみならず半導体製品すべてにおいて要求される性能であるが、一般的には、コストとトレードオフの関係となる。しかし、高品質で高コストが許される製品はニッチな市場としかならず、大きな事業としては成り立たない場合が多い。

1つのパッケージ内に複数のチップを実装するSystem in Package (SiP)、Multi Chip Module(MCM)または3次元実装(3D-stack)を低コストで実現するには、1つのパッケージ内の各チップが低コストのKnown Good Die (KGD)であることが必要である。SRAMはロジックプロセスとの親和性が高いため、SoCにEmbedded SRAMとして搭載されることが多い。このため、SoCのKGD化にはEmbedded SRAMを高品質にする技術が必須である。

また、自動車に搭載される半導体の量が急激に増加しており、車載用途に耐えうるSoCを低コストで実現するために、Embedded SRAMの品質を上げることも重要である。

高品質化が要求されて、しかも、半導体事業としてメインストリームとなる可能性がある代表的なものとして、上記の低コストKGDのSoCと、自動車用途のSoCが考えられる。低コストKGDを実現する技術のほとんどは、自動車用途の集積回路に応用可能である。

このため本章では、低コストKGDを実現するEmbedded SRAMの回路技術について提案する。

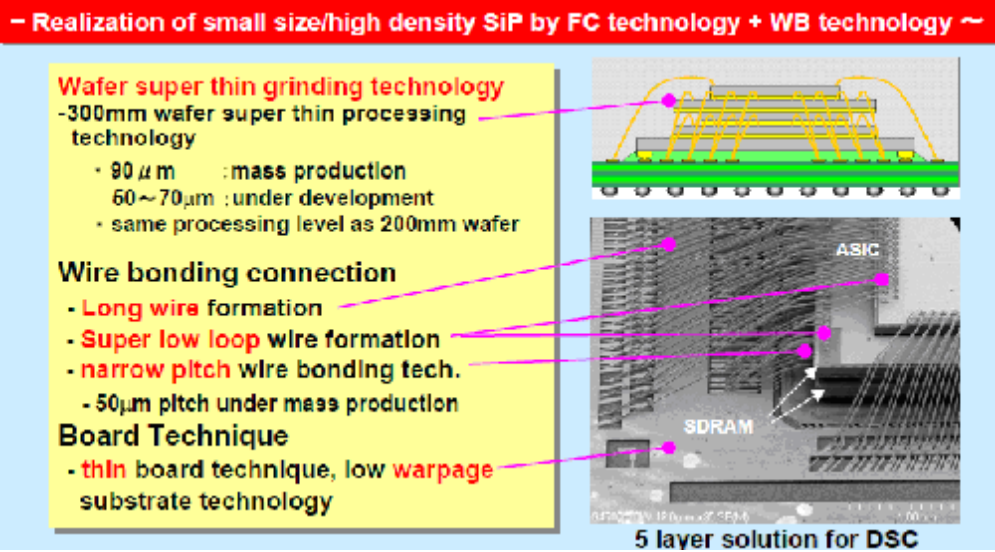
4. 2 低コスト KGD を実現する Embedded SRAM の回路技術

[4_25]-[4_28]

はじめに

近年、携帯電話の多機能化は目覚ましいものがあり、携帯電話に、eメール、インターネット、ゲーム、カメラ、オーディオ、ビデオ、TVといった機能が搭載されている。しかも、この多機能化は、半導体はもちろんのこと、様々な部品も含めて、携帯電話のサイズはほぼ同じままで進展している。このため、携帯電話には、プロセッサを搭載したSoC、DRAM、フラッシュ・メモリのようなVLSIが積み重ねられたSiPが一般に搭載されている。さらには、MPU、DSP、SoC、メモリといったデジタルVLSIは低コストでかつ高性能を達成するために、ムーアの法則に従って、急速なシュリンクが続けられている(more Moore)。

また、MCM, SiP, SoP (system on package)[4_4], CoC(Chip on Chip), 3D-stackのようなパッケージ技術は、チップ間的高速伝送の達成と、同一面積に搭載するトランジスタ数を

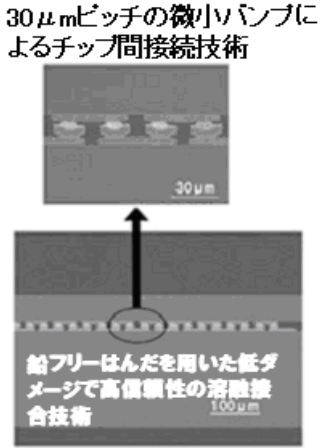


<http://www.ieee.se.ritsumei.ac.jp/sscs/20060915/seminer-kikuchi.pdf> [4_1]

図 4-1 SiP の一例

増やすために、進展しており、プロセスの微細化の限界が見えはじめた近年、微細化に頼らずとも、トランジスタの高密度化を進める技術(More than Moore)の1つとして注目され研究が進められている。

図4-1にSiPの一例を示す[4_1]。現在はこの図のようにフリップチップ(FC)技術とワイヤボ

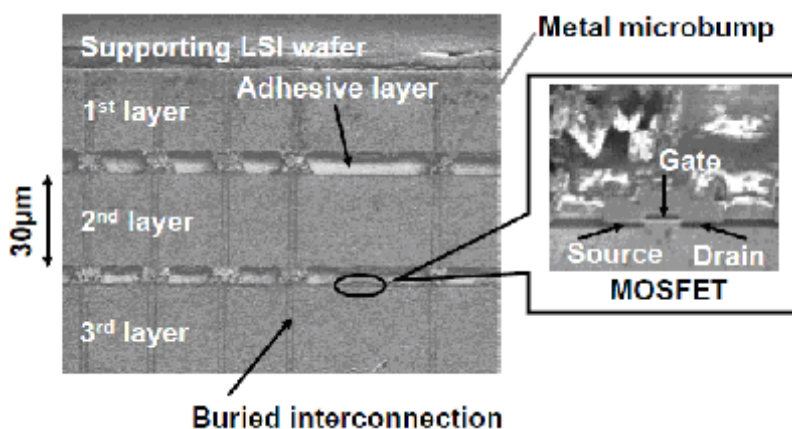


http://japan.renesas.com/fmwk.jsp?cnt=press_release20060302.htm&fp=/company_info/news_and_events/press_releases [4_2]

図 4-2 CoC(Chip on Chip)技術の一例

ンディング(WB)技術を組み合わせてチップを積層することが主流となっている。これを実現するためには、ウェハを薄くする技術、複雑なワイヤボンディングを可能とする技術、パッケージ基板の薄膜化と低反り技術が必要である。

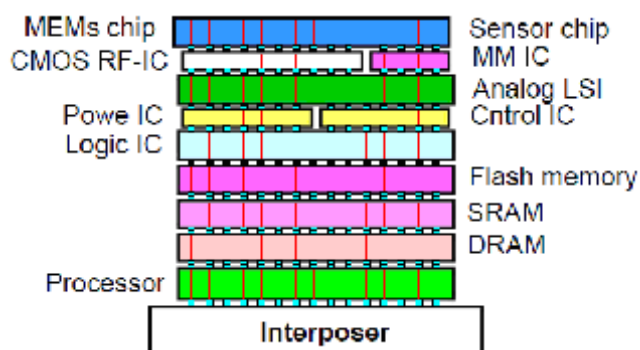
図4-2にChip on Chip (CoC)技術を示す[4.2]。ワイヤボンディング以外にチップ間を接続する技術の一例としてCoCがある。図中に示すように微小なバンプによりチップ間を接続し、ワイヤボンディングとパッケージ基板を介してチップ間の信号を接続するよりはるかに高速なチップ間伝送が可能となる。



ISSCC07-Forum on the “Design of 3D-Chipstacks” M. Koyanagi et al. [4_3]

図 4-3 3D-stack の一例

図4-3に3D-stackの一例を示す[4.3]。3D-stackは、薄膜化したチップを貫通するVia(TSV:Through Si Via)により積層した複数のチップの信号を接続するものである。CoC



ISSCC07-Forum on the “Design of 3D-Chipstacks” M. Koyanagi et al. [4_3]

図 4-4 3D-stack の理想形

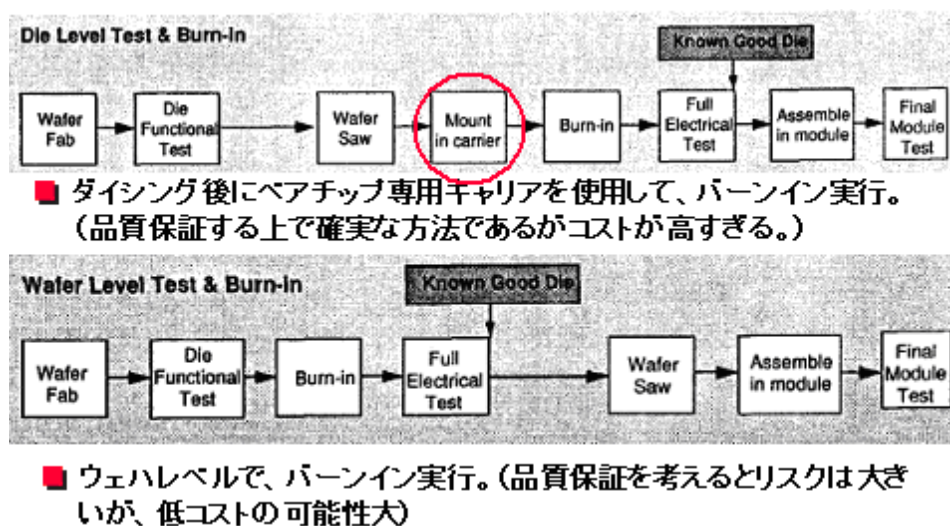
技術が2チップ間の接続技術であることに対し、TSVは複数のチップにわたってチップ間の信号の伝送を行う。これも、ワイヤボンディングとパッケージ基板を介してチップ間の信号を接続するよりはるかに高速なチップ間伝送が可能となる。

図4-4に3D-stackの理想形を示す[4_4]。この図は東北大・小柳教授の描く3D-stack技術の目指す最終形態の一例である。MEMSチップやRFチップ、パワーIC、アナログチップ、MPUを含むロジックチップ、メモリなどをそれぞれに最適なプロセス技術で作成し、TSVでチップ間接続を行って、1パッケージで、高機能、高性能を実現するものである。この最終形に向かうには、放熱、設計ツール、信頼性、コストなど、さまざま障壁があり、技術開発が進められている。

このように、デジタル電子機器は、CMOSプロセスの進歩と、パッケージ技術の進歩の両方によって、高性能、高機能化が進められている。

1つのパッケージに複数のチップを搭載しようとする技術も広く普及するには当然低コストであることが求められる。このためには、アドバンスで低コストのKGD技術が必須である[4_4]。ここで、KGDについて説明する。KGDとは「良品である事が保証されている」ベア・ダイのことである。しかし、「良品である事が保証されている」というところがあいまいな場合が多い。

例えば、95%以上の歩留ならKGDという場合もあり、別の場合には、100Fit, 100ppmを保証していないとKGDとは呼ばない場合もある。複数のチップを1つのパッケージに搭載する



B. Vasquez and S. Lindsey, "Survey of known-good-die technologies," in IRW Final Report, pp. 152-161, 1993. [4_5]

図 4-5 KGD テストフローの一例

場合(SiP, MCP)では、低コスト化のために非常に重要である。極端な例では、10円と5000円の2チップを積層したSiPの場合、10円のチップが不良だった場合、5000円のチップが良品であっても、このSiPは不良品となり、5010円以上のコストの損失が生じる。

図4-5にKGDテストフローの一例[4_5]を示す。低コストKGDの実現のためには、低コストで高信頼性のベアチップのBurn-In (BI)が必要である。図中に示すように、ダイシング後にベアチップ専用のキャリアを使用して、BIを実行することは、品質保証の観点で確実な方法であるが専用キャリアを準備するとコストが非常に高くなる。一方、ウェハレベルでBIを実行すれば、品質保証の観点ではリスクが高いが、低コストが実現できる可能性が高い。有力な低コストのベアチップBI技術として、Wafer Level BI (WLBI)があるが、通常のBIと比較すると高信頼性を維持できるかという観点では高リスクである[4_6]。

すこし、古い資料であるがITRS2003では、LSTP CMOSプロセスを用いたSoCにおいて、Embedded Memoryのチップ内の面積比率が2009年に80%を超え、2012年に90%を超えること予想されていた[4_7]。実際には、この予測より、多少遅れているが、Embedded Memoryの比率が増えていることは間違いない。このため、ロウパワーのSoCにおいて、KGDを実現するためには、ロウパワーのSoCであってもEmbedded Memoryの占める割合が高いため、Embedded Memoryの効果的なWLBIを実現することが必須である。

WLBIモードとして、SRAMや、4T-cellのSRAMにおいて、すべてのワード線(WL)とビット線(BL)を同時に活性化する技術を搭載することが提案されている[4_8]。こうした、メモリセルにDCストレスを与えるための技術を搭載する目的はBI時間の短縮である[4_8]。

6T-cellを用いたSRAMを今後、「6T-SRAM」と呼ぶ。6T-SRAMはSoCにおいて最も標準的なEmbedded Memoryである。しかし、6T-SRAMにおいて、DRAM, 4T-cellのSRAM用に提案された上記のWLBIモード[4_8]を用いて、すべてのワード線、ビット線を同時に活性化して書き込み状態にすると、膨大な数のメモリセルのロードPMOSとライトドライバのNMOS間に大きな貫通電流が流れる。このため、Embedded 6T-SRAMにWLBIモードを導入することは困難である。本章では、6T-SRAM用のWLBIモードを提案する。

上記に述べたように、十分な品質を持つKGDを実現するためには、WLBI後の不良率を十分に低くする必要がある。また、ウェハ・プローブテストの歩留は $0.25\ \mu\text{m}$ 、 $0.18\ \mu\text{m}$ 、90nmノードにおいて通常のアセンブリ後のBI歩留と強い正の相関があることが報告されている[4_9]-[4_11]。この現象は、著者も $0.1\ \mu\text{m}$ 以上のノードの汎用メモリにて観測している。コンベンショナルなBI不良率がウェハ・プローブテストの歩留に比例している理由として、キラー・ディフェクト(不良に直接結びつく欠陥)数がレイテント・ディフェクト(隠れた欠陥)数に比例すること[4_12]が報告されており、BIストレスによりレイテント・ディフェクトがキラー・デ

ィフェクトに変化するためと考えている。さらに通常のBI不良率は、置換された冗長メモリセル数に比例することも報告されている[4.12]。これも、置換された冗長メモリセル数もレイテント・ディフェクト数に比例するからと考えられる。

6T-SRAMにおいては、通常のメモリと比べて、レイテント・ディフェクトによる異常に大きなリーク電流を持つが動作可能なメモリセルが存在する可能性が高い。このレイテント・ディフェクトによる異常に大きなリーク電流を持つが動作可能なメモリセルを「リークビット」と呼ぶこととした。通常のリダンダンシ方式では、リークビットはチップのスタンバイ電流を悪化させ、BI不良率も悪化させる。この問題を解決するため、本章で、リークビット・リダンダンシと呼ぶ新しいリダンダンシ回路を提案する。リークビット・リダンダンシは、BI工程の前に不良メモリセルの冗長メモリセルへの置換を実行したチップのスタンバイ電流と、BI不良率を改善する。また、リークビット・リダンダンシの使用で、WLBI後に不良メモリセルの置換を実行したベアチップの出荷後の初期不良率(infant mortality)を改善する。なぜなら、一般にBI不良率は製品の出荷後の初期不良率と相関があるからである。

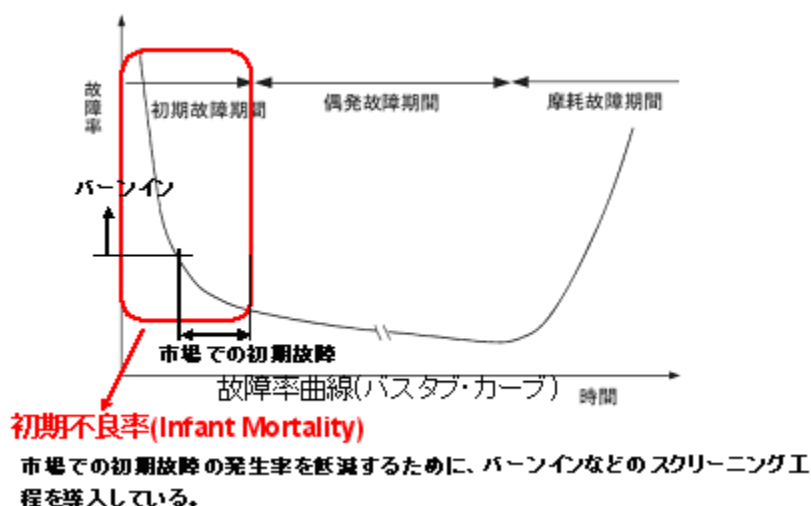


図 4-6 初期不良率(Infant Mortality)の説明

図4-6に初期不良率の説明を示す。初期不良率は半導体のバスタブ・カーブにおける初期故障期間の不良率のことである。BIを行うことにより、市場での初期故障率を低減することができる。BI時間を長くすると、市場での初期故障の発生率を抑えることができる。しかし、長時間のBIはテストコストの増加を招く。このため、DRAMでは活性化率を上げて短時間BIで初期不良をスクリーニングできるように工夫している。

3. 3節で述べたとおり、LTヒューズは、広く使われてきた技術であるが、ヒューズをレーザー・トリミングするためのテスト工程が必要で、ウェハをウェハ・プローブテスト装置からレー

ザー・トリミング装置に移動させるなければならない。上記のレーザー・トリミング工程のような付加的なテスト工程が不要なため、テスト工程の低コスト化には電気ヒューズが必要である。3. 3節で述べたように、最も普及している電気ヒューズは、ゲート電極を形成するポリシリコンに大電流を流して抵抗を変化させるeFuseである[4_13]-[4_15]。しかし、45nmノード以降、ゲート電極は、シリサイドが上層部に形成されたポリシリコンから、FUSI(Fully Silicide)を含むメタルゲートに置換えられることが予想され、ポリシリコンeFuseを45nmノード以降でも付加的なプロセス工程無しに使うことは困難である[4_16]。別の電氣的なヒューズとして、ie-Flash (Inverse-gate-electrode Flash)ヒューズが提案されている[4_17]が、このヒューズは3.3V IOトランジスタから構成されるため、プロセスの微細化による小型化が困難である。3. 3節で詳しく説明したが、近年Cu配線に大電流を流してCu配線を切断する電気ヒューズが提案されている[4_16], [4_18], [4_23]。3. 3節にて説明したCu-E-trim Fuseはクラックの発生がなく、Fuseの上下に配線やパッド、トランジスタが配置できる[4_18], [4_23]。本章では、Cu-E-trim Fuseのレイアウトと回路技術について提案する。

4. 2. 1 低コスト KGD を実現するための プロービング・テストフロー

図4-7に6T-SRAMの低コストKGDを実現する提案の高温でのプロービング・テストフローを示す。KGDを実現するためのテストフローでは、当然、複数の温度のプロービング・テストが必要であるが、この図では、KGDテストフローで最も重要な高温について示している。このテストフローにおいて、一般的なBIよりも強いストレスをWLBI時に与えて、非常に短い時間で寿命の短いメモリセルを見つけ出すことが必要である。寿命の短いメモリセルはWLBIにより、不良メモリセルやリークビットになる。しかし、リークビットは、動作しているビットでありそのアドレスを検出できない。このため、冗長メモリセルと置換することができない。提案するリークビット・リダundancyはリークビットのアドレスを不良アドレスとして検出できる回路を搭載したものである。初期不良となりやすいリークビットを置換すれば、ベアチップの初期不良率を低減することが可能となる。そして、リークビットと他の不良ビットは低コストの電気ヒューズであるCu-E-trim Fuseにより冗長メモリセルと置換を行い、置換後のテストを行っている。

低コストのKGDを実現するため、ベアチップ用の特別なソケットのような特別なBI装置を使うことはできない。通常のウェハ・プローブテスト装置を使用した高信頼性をもつベアチップBI技術を開発することを目標とした。この目標は、提案のWLBIモードとリークビット・リダundancyの組合せで達成できると考えた。加えて、低コストのヒューズ技術であるCu-E-trim Fuseを使用することとした。

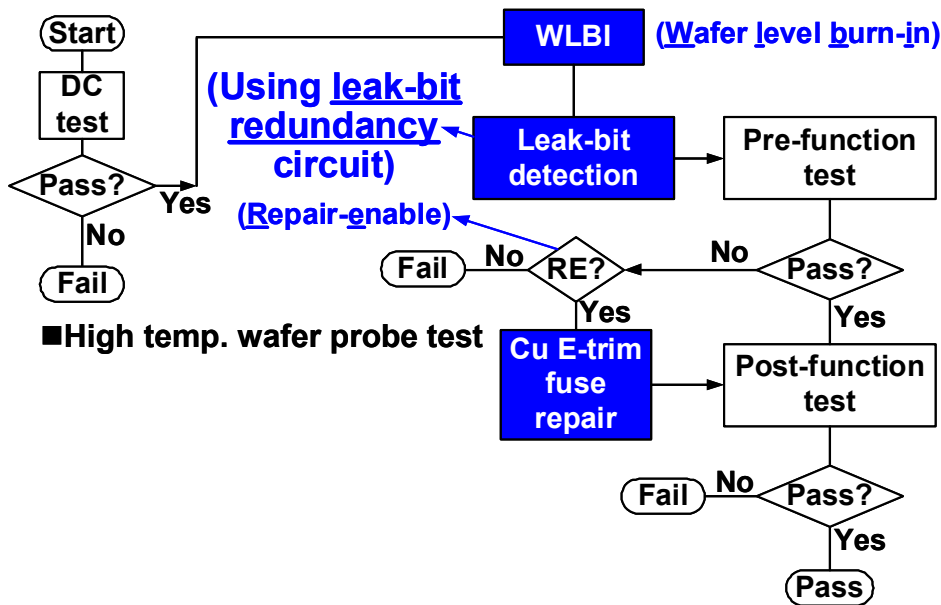


図 4-7 6T-SRAM の低コスト KGD を実現する提案プロービング・テストフロー

図4-7に示したウェハ・プロービング・テストフローでは、まず、最初にDCテストを行い、次にWLBIを実行する。このWLBIモードでは、冗長メモリセルにもDCストレスを印加する。そして、リークビットをリークビット・リダンダンシ回路の使用で不良ビットに変化させた後、プリファンクション・テストを行う。プリファンクション・テストにおいて、そのチップがリペアイネーブルであったなら、Cu-E-trim Fuseを使用して、不良セルを冗長セルに置換する。最後に、パスチップも、置換されたチップもすべてポストファンクション・テストを行う。

図4-8に低コストKGDを実現する提案プロービング・テストフローを実現するための3つのキーとなる技術を組み合わせた6T-SRAMのブロック図を示す。3つのキーとなる技術とは、1) WLBIモード、2) リークビット・リダンダンシ、3) Cu-E-trim Fuseである。これらのキーとなる技術は、配線容量を使用したライト・アシスト回路を持つ3.4節で示した6T-SRAM[4.19], [4.24]に搭載された。この図で「WA Cir.」はライト・アシスト回路を意味し、「BL Load」はビット線負荷回路を意味する。このSRAMにおいては、1つの置換カラムの単位は、4カラムからなる。CREN_N信号は、Cu-E-trim Fuse回路に接続された冗長カラム制御回路からの信号である。CRED_N=Lの時、それが接続された4カラム(置換カラム単位)は活性化される。CRED_N=Hの時、それが接続された4カラム(置換カラム単位)は非活性となる。多くのメモリセルPMOSのソースが接続されたCu配線を3.4節で示したように「arvdd」と呼ぶことにする[4.19], [4.24]。リーク判定回路、リーク・カラム・ラッチ回路、リーク判定スイッチはリークビット・リダンダンシ関係の回路ブロックである。RED_LEAK1信号、RED_LEAK2信号、

RED_LEAK3信号はリークビット・リダンダンシ回路の制御信号である。通常モードでは、RED_LEAK1=L, RED_LEAK2 = L, RED_LEAK3 = Hである。BI_W_N信号、BI_MODE信号はWLBIモード回路関係の信号である。通常モードでは、BI_W_N = H, BI_MODE = Lである。

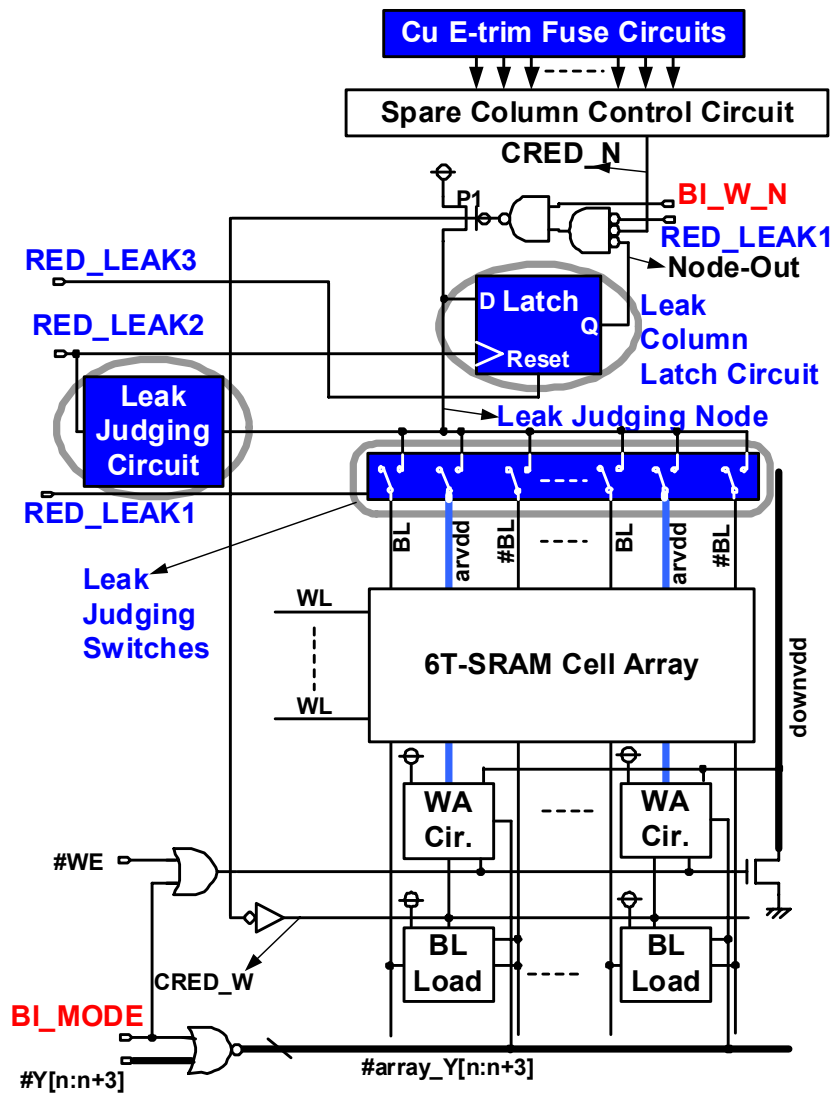


図 4-8 提案プロービング・テストフローを実現するための3つのキーとなる技術を組み合わせた 6T-SRAM のブロック図

4. 2. 2 6T-cell 向けウェハレベルバーンイン

WLBIモードを使って、メモリセルに印加しようと考えたDCストレスには下記の種類がある。

- 1) 偶数ワード線と奇数ワード線を交互に活性化することにより印加するワード線・ワード線間のDCストレス。
- 2) すべてのビット線を同時に書き込み状態で活性化することにより印加するビット線・arvdd線間のDCストレス。
- 3) 同時に多くのセルが書き込み状態になることによりすべてのメモリセル・トランジスタに印加されるDCストレス。

4. 2節の「はじめに」で述べたとおり、WLBIモードはDRAM，4T-cellのSRAMに関してはすでに提案されている[4_8]。しかし、従来の6T-SRAMに対して、非常に多くのメモリセルの同時に書き込みによるDCストレスを十分に与えることは困難である。

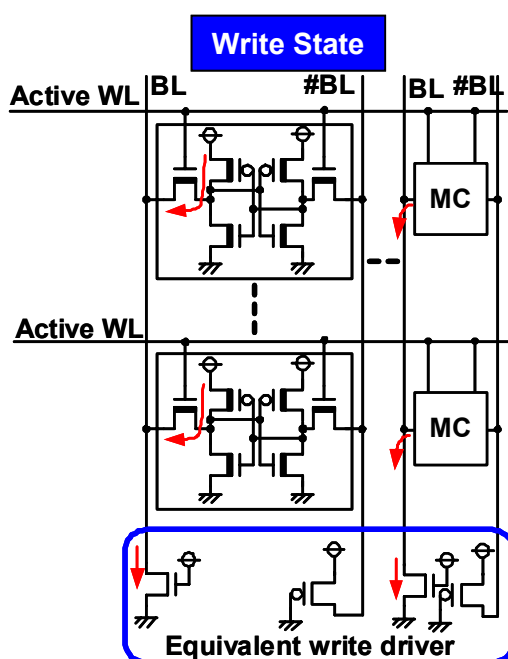


図 4-9 大量の 6T-cell が同時書き込み状態にある従来の 6T-SRAM の等価回路

図4-9に大量の6T-cellが同時書き込み状態にある従来の6T-SRAMの等価回路を示す。従来の6T-SRAMにおいて、非常に多くのワード線とビット線が書き込み状態で同時に活性化されると、膨大な数のロードPMOSとライトドライバのNMOSの間で非常に大きな貫通電流が流れ続ける。その理由は、ライトドライバのNMOSのサイズは通常動作時の1つのメモリ

セルに対して書込むことに対して最適化するため、非常に多くのメモリセルに対して書込み動作を行うにはサイズが小さすぎることである。このため、従来の6T-SRAMでは同時書込み動作は不可能であり、同時書込み動作によるDCストレスを従来の6T-SRAMに印加することはできない。

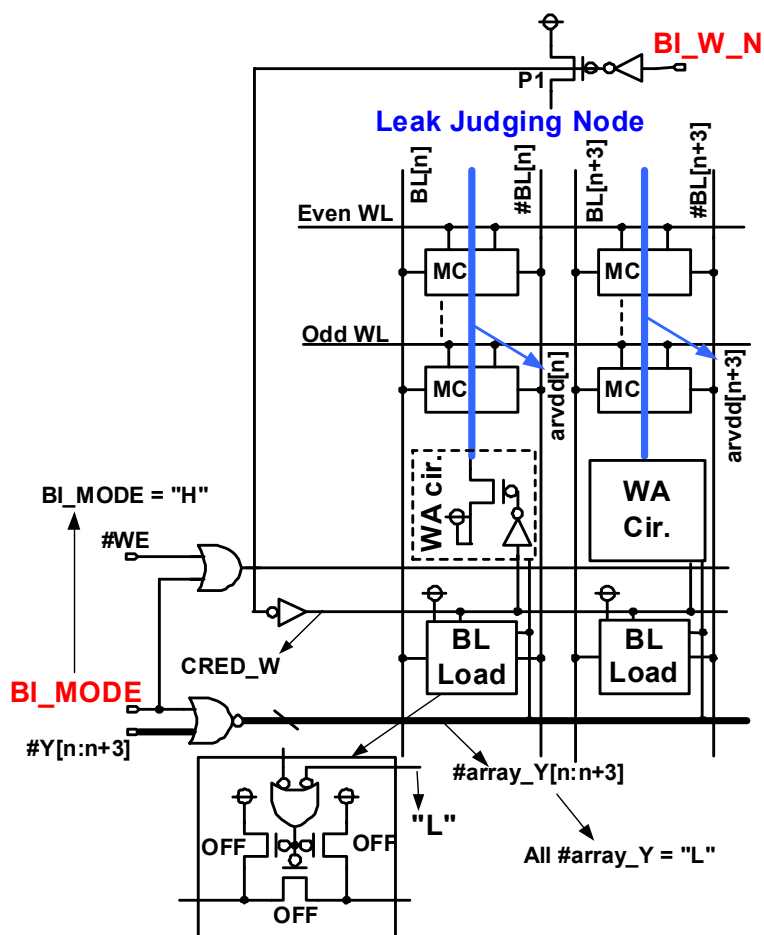


図 4-10 同時書込み状態が可能な WLBI モード回路を搭載した 6T-SRAM の等価回路

図4-10に膨大な数の6T-cellに対して同時書込み状態が可能なWLBIモード回路を搭載した6T-SRAMの等価回路を示す。WLBIモードにおいて、65nm LSTPプロセスでは、2.0V以上のVddの印加が必要となる。これは、通常のウェハ・プロービング・テスト装置において、余裕を持って扱える温度である90～100℃で、1.2Vコア・トランジスタに10秒程度の非常に短い時間で通常のBIと同等なストレスを印加するためである。WLBIモードではBI_MODE=Hなので、ビット線負荷は非活性状態となり、ライト・アシスト回路の動作は単純となる。

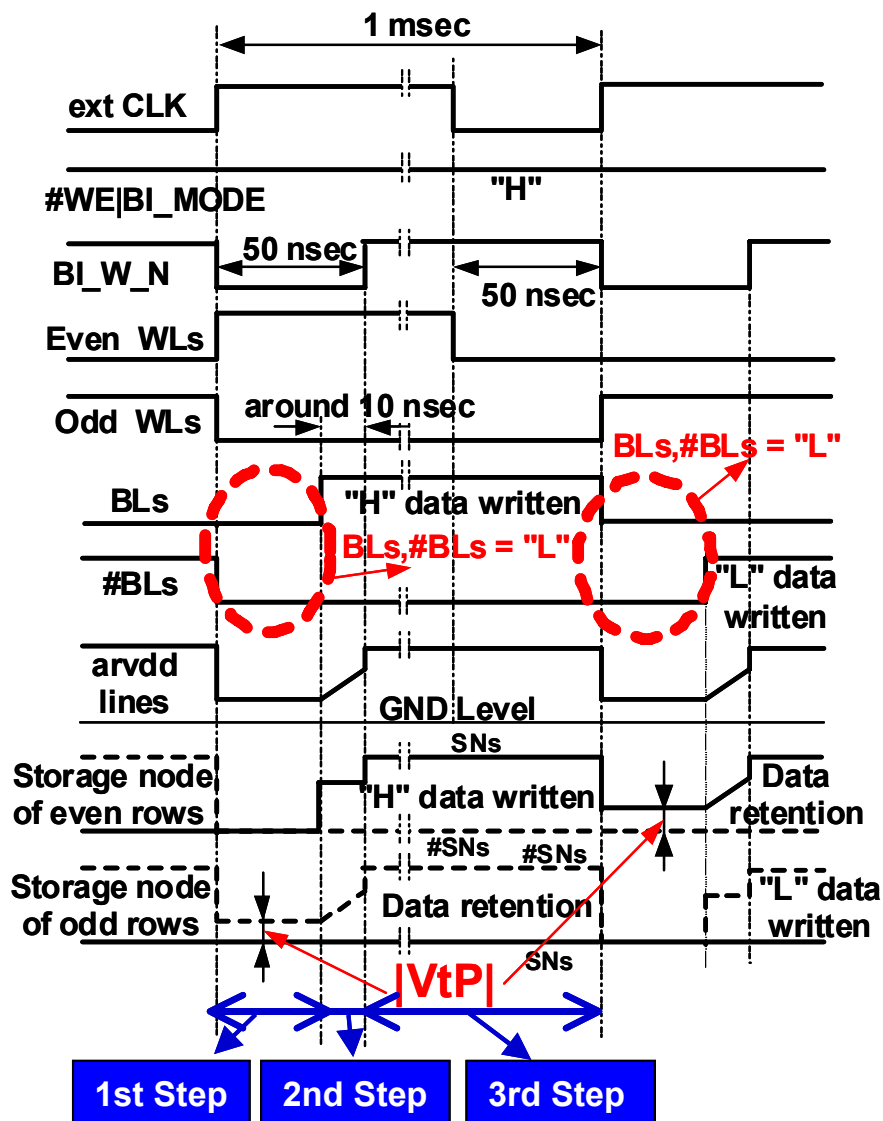


図 4-11 WLBI モードの波形図

図4-11にWLBIモードの波形図を示す。DCストレスの印加が目的のため、サイクルタイムは非常にゆっくりで1msec程度で十分である。奇数ワード線と偶数ワード線間にDCストレスを印加するために、すべての偶数ワード線(Even WLS)と奇数ワード線(Odd WLS)が交互に活性化されている。提案のWLBIモードのコンセプトは、貫通電流なしに膨大な数のメモリセルに対して同時に書込み動作を行うことである。提案のWLBIモードによる同時書込み動作は、下記の3つのステップからなる。

- 1) 第1ステップ→外部クロック(ext CLK)の立上りエッジとほぼ同時に非常に多くのワード線が立上ってから、BI_W_N=Lでかつ通常は相補動作のビット線対(BLs, #BLs)が同時にGNDに下げられている期間。この第1ステップで、ライト・アシスト回路の

PMOSがオフするため、すべてのarvdd線はフローティングになる。すべてのビット線対(BLs, #BLs)がGNDなので、すべてのarvdd線は、6T-cellのロードPMOSとアクセスNMOSを介して、ロードPMOSのしきい値 $|V_{tP}|$ まで下げられる。

- 2) 第2ステップ→どちらかのビット線(BLsまたは#BLs)の一方がHighレベルとなってから、BL_W_Nが立上るまでの期間。この第2ステップで、ライト・アシスト回路のPMOSは依然としてオフのまま、Highレベルになったどちらかのビット線により、6T-cellのロードPMOSとアクセスNMOSを介してすべてのarvdd線は、ハーフVdd付近まで充電される。
- 3) 第3ステップ→BL_W_Nが立上ってから、次のサイクルの外部クロック(ext CLK)の立上りまでの期間。この第3ステップで、BL_W_N=Hによりライト・アシスト回路のPMOSはオンとなり、すべてのarvdd線はVdd付近まで充電される。

このように、提案のWLBIモード回路は膨大な数の6T-cellに対して、貫通電流なしに同時に書き込み動作を行うことが可能である。第1ステップで、すべてビット線対が同時にGNDに下げられている時、arvdd線とHighレベルの記憶ノードは $|V_{tP}|$ である。このとき、ロードPMOSのNウェルの電位はVddであるため、ロードPMOSにはバックゲートがかかった状態となり、 $|V_{tP}|$ はメモリセルのデータを保持するには十分なレベルを持っている。

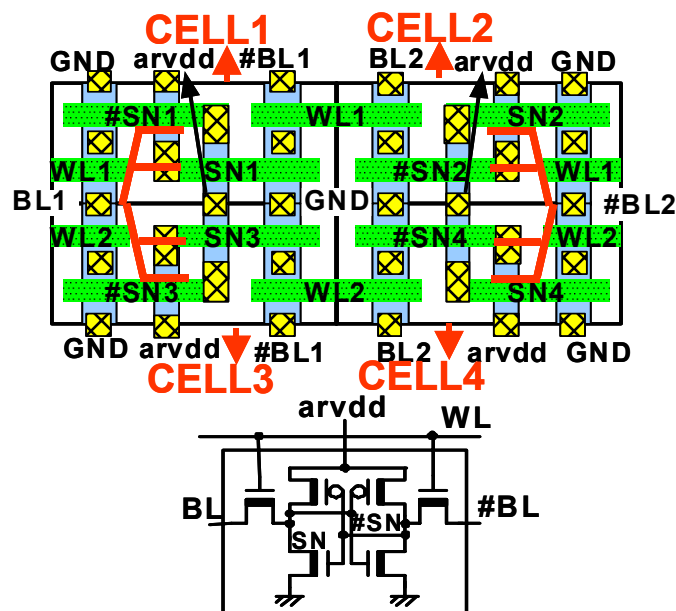


図 4-12 6T-cell の配置方法

図4-12に6T-cellの配置方法を示す。6T-cellの配置方法として、BLと#BLをワード線方

向に常に同じ向きに並べることを提案している。つまり、1つ目のセルはBL-#BL、2つ目のセルもBL-#BL、3つ目のセルもBL-#BL、4つ目のセルもBL-#BLのように配置する。一般的には、この配置方法とは左右反転した配置方法が使用されていると思われる。つまり、1つ目のセルはBL-#BL、2つ目のセルは#BL-BL、3つ目のセルはBL-#BL、4つ目のセルは#BL-BLのような配置方法である。提案のWLBIモード回路では、カラム方向には同一データしか書込めない。つまり、データ・パターンはロウストライプ・パターンと全面同一データ・パターンのみである。ロウストライプ・パターンと全面同一パターンでは一般にはロウ方向のセル間でストレスが印加できるとは考えにくい。しかし、提案の6T-cellの配置方法を用いるとロウストライプ・パターンでも、ロウ方向でDCストレスが印加可能である。これは、図4-13を見るとわかるように、記憶ノードSN1-#SN2間、あるいはSN3-#SN4間で電位が異なっているためである。カラム方向のセル間でのDCストレスはロウストライプ・パターンを使うことで印加可能である。また、ビット線・arvdd間、ビット線・GND線間へのDCストレスは、データ・パターンとしてHighまたはLowを書込むことで印加可能である。このため、提案のWLBIモードでは、わずか2つのデータ・パターン(ロウストライプと逆ロウストライプ)のみで、6T-cellのすべてのノードにDCストレスを印加可能となる。

4. 2. 3 リークビット・リダンダンシ

リークビット・リダンダンシのコンセプトは下記のとおりである。

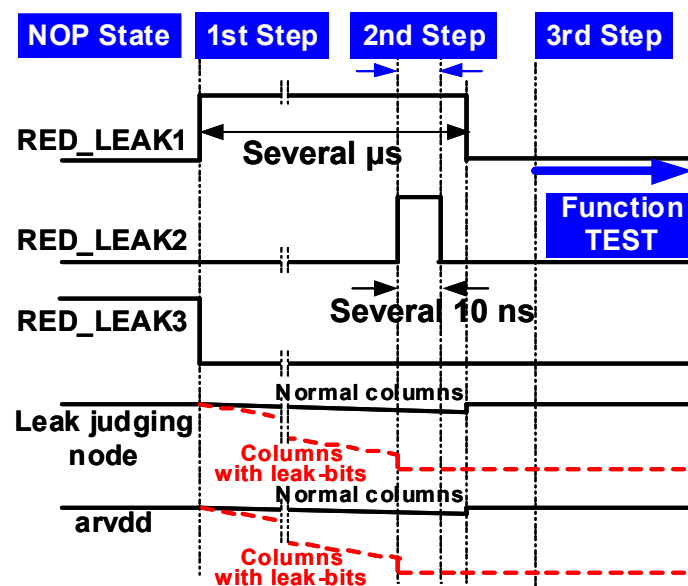


図 4-13 リークビット・リダンダンシの波形図

- 1) すべてのビット線対とarvdd線をフローティングとし、リークビットによりフローティングなビット線対とarvdd線のレベルを引下げる。
- 2) リークビットにより引下げられたarvdd線にテスト時にVdd電位を与えない。
- 3) arvdd線にVddが与えられずリークビットによりarvdd線が下がったままのカラムはテスト時に不良カラムとなる。これにより、リークビットのアドレスを不良カラムとして検知することが可能となる。

リークビット・リダンダンシの動作もまた、3つのステップで説明できる。そこで、図4-13にリークビット・リダンダンシの波形図を示し、図4-14にリークビット・リダンダンシの各ステップの等価回路を示す。リークビット・リダンダンシの動作を下記の3つのステップにわけて説明する。

- 1) 第1ステップ→RED_LEAK1の立上りエッジとRED_LEAK3の立下りエッジから、RED_LEAK2の立上りエッジまでの期間。この期間には、RED_LEAK1=Hで、RED_LEAK2=RED_LEAK3=Lである。P1はオフ状態で、リーク判定スイッチはオン状態、リーク・カラム・ラッチ回路は活性化状態、ビット線負荷とライト・アシスト回路が非活性状態のためすべてのarvdd線とビット対はフローティングとなっている。リーク判定ノードに、この置換カラム単位の4つのarvdd線とビット線対がリーク判定スイッチを介して、接続されている。RED_LEAK2=Lであるため、Node-Out=Lで、リーク判定回路は非活性である。
- 2) 第2ステップ→RED_LEAK2の立上りエッジから、RED_LEAK2の立下りエッジまでの期間。この期間には、RED_LEAK1=RED_LEAK2=Hで、RED_LEAK3=Lである。RED_LEAK2=Hであるため、リーク・カラム・ラッチ回路のN1がオン状態である。第1ステップで、フローティング状態のビット線とarvdd線の状態は、第2ステップでリーク・カラム・ラッチ回路に取込まれる。置換カラム単位のリークビットが存在しない時には、Node-Out=Lを継続する。リークビットが存在する時には、リーク判定回路が活性状態で、N2によりリーク判定ノードがGNDに引下げられ、Node-OutはHighに変化する。
- 3) 第3ステップ→RED_LEAK2の立下りエッジ以降の期間。この期間には、RED_LEAK1=RED_LEAK2=RED_LEAK3=Lである。RED_LEAK2=Lのため、リーク・カラム・ラッチ回路のN1がオフし、第2ステップでリーク・カラム・ラッチ回路に取込まれた、第1ステップの状態を保持する。リークビットが存在しない時には、Node-Out=Lを継続し、ライト・アシスト回路とビット線負荷回路は活性化され、この置換カラム単位は通常通り動作する。リークビットが存在する時には、Node-Out=H

が継続されることでライト・アシスト回路とビット線負荷回路の非活性が継続され、ビット線対とarvdd線はLowのままとなる。つまり、リークビットが1つ以上存在する置換

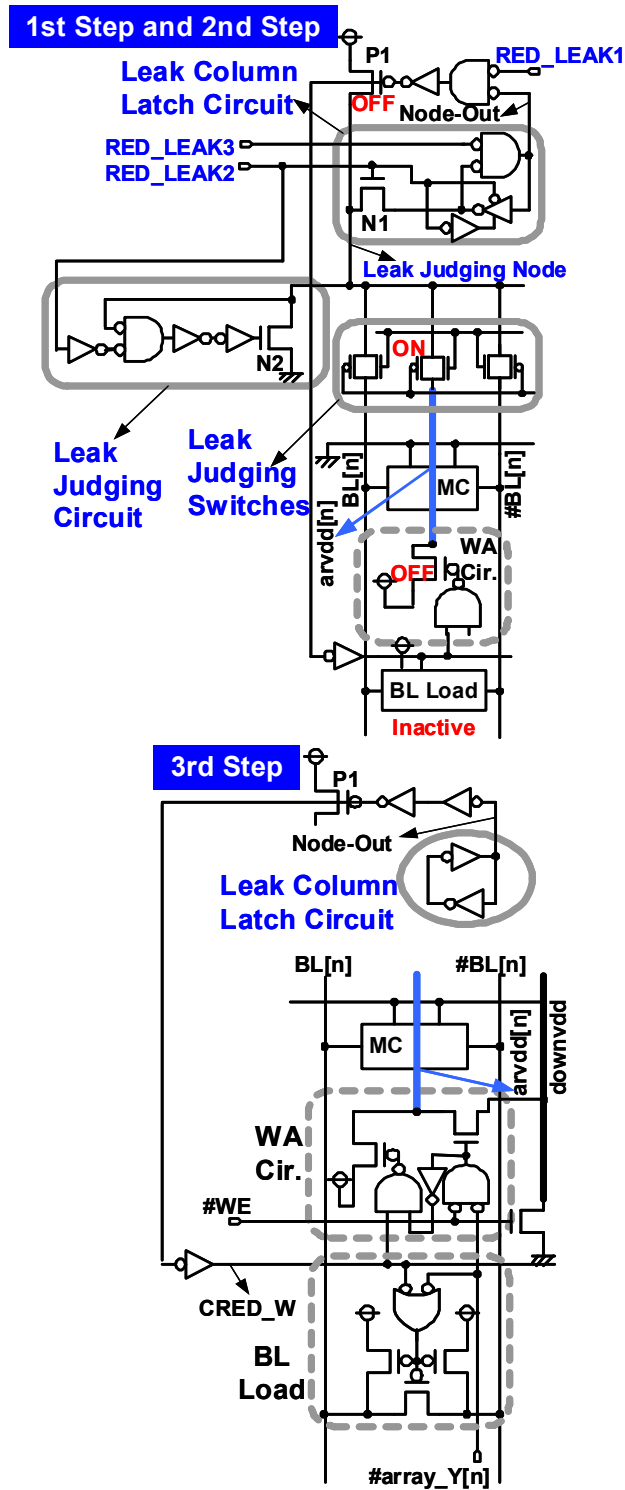
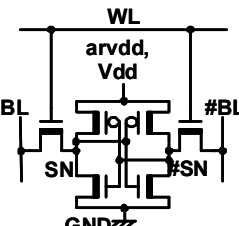


図 4-14 リークビット・リダンダンシの各ステップの等価回路

カラム単位は第3ステップにおけるファンクションテストで不良となる。このファンクションテストで、リークビットが存在する不良の置換カラム単位のアドレスを検出できる。不良の置換カラム単位はヒューズをプログラミングにより、冗長の置換カラム単位と置換えられる。その後、不良の置換カラム単位のビット線負荷とライト・アシスト回路は非活性のままとなり、そのビット線対とarvdd線はフローティング状態となり、製品の信頼性に影響を及ぼすことはない。

表 4-1 6T-cell のショート系の不良モード分類と従来のリダンダンシ回路とリークビット・リダンダンシにおける不良モードごとのリペアできる可能性



	BL,#BL	arvd, Vdd	GND	WL	SN	#SN
BL, #BL		A	B	C	D	D
arvd, Vdd			E	F	G	G
GND				H	J	J
WL					K	K
SN						L
#SN						

		Stand-by Current		Conv. Redundancy		Leak-Bit Redundancy	
				No write assist		Not depending on write assist	
				Repair Possibility		Repair Possibility	
		Soft Short	Dead Short	Soft Short	Dead Short	Soft Short	Dead Short
Failure A	Vdd-BL	No	No	NG	OK Column Failure	NG	OK Column Failure
Failure B	BL-GND	Small	Large	NG	OK Column Failure	OK 4-Column Failure	OK 4-Column Failure
Failure C	WL-BL	Small	Large	NG	NG Block Failure	OK 4-Column Failure	OK Cross Failure
Failure D	BL-SN	Small After Write	No	NG	OK Column Failure	OK After Write	OK Column Failure
Failure E	Vdd-GND	Small	Large	NG	NG Block Failure	OK 4-Column Failure	OK 4-Column Failure
Failure F	Vdd-WL	Small	Large	NG	NG Block Failure	OK 4-Column Failure	OK Cross Failure
Failure G	Vdd-SN	Small After Write	No	NG	OK Bit Failure	OK After Write	OK Bit Failure
Failure H	WL-GND	No	No	NG	OK Row Failure	NG	OK Row Failure
Failure J	GND-SN	Small After Write	No	NG	OK Bit Failure	OK After Write	OK Bit Failure
Failure K	SN-WL	Small After Write	No	NG	OK Bit Failure	OK After Write	OK Bit Failure
Failure L	SN-#SN	Small	Large	NG	OK Bit Failure	OK 4-Column Failure	OK 4-Column Failure

Repair possibility is improved using the leak-bit redundancy.

表4-1に6T-cellのショート系の不良モード分類と従来のリダンダンシ回路とリークビット・リダンダンシにおける不良モードごとのリペアできる可能性を示す。表の上部には、6T-cellの各ノード間のショートが原因の不良モードを網羅的に分類した表を示した。表の下部には、それぞれの不良モードにおけるスタンバイ電流の大きさと、リペアできる可能性(Repair

possibility)を示す。リペアできる可能性が「NG」は、その不良モードは冗長ロウまたは冗長カラムを使ってもリペアできないことを意味する。一方、リペアできる可能性が「OK」は、その不良モードは冗長ロウまたは冗長カラムを使ってリペアできることを意味する。「Soft Short」は、6T-cellのトランジスタのオン抵抗よりも比較的高い抵抗値でショートが起こっていることを意味する。「Dead Short」は、ショートが発生している部分の抵抗値が配線抵抗並みに低いことを意味する。Dead Shortが発生した6T-cellは不良ビットとなる。

当然のことながら、6T-cellでは、「Soft Short」のスタンバイ電流は小さく、「Dead Short」のスタンバイ電流は大きい。また、DRAMセルや4T-cellでは、「Soft Short」が発生しても不良ビットとなる場合が多い。6T-cellでは「Soft Short」が発生すると、動作はするがスタンバイ電流が多い、いわゆる「リークビット」となっている可能性が高い。BIや実使用時のストレスで「Soft Short」は、「Dead Short」に変化する場合がある。このため、リークビットの存在は6T-SRAMの信頼性に影響を及ぼす可能性が高い。ライト・アシスト回路[4_19]-[4_21], [4_24]を使用していない6T-SRAMの通常のリダンダンシ回路では、「Dead Short」の発生したFailure C (WL-BL), Failure E (Vdd-GND), Failure F (Vdd-WL)はブロック不良となるので、リペアは不可能である。しかし、ライト・アシスト回路[4_19]-[4_21], [4_24]を使用している場合、Failure E (Vdd-GND), Failure F (Vdd-WL)はリペア可能となる場合もある。通常のリダンダンシ回路では、すべての「Soft Short」による不良は救済することができない。

リークビット・リダンダンシにおいては、「Soft Short」が発生した不良モードでも、スタンバイ電流が少しでも多くなれば、リペア可能である。また、「Dead Short」の発生したFailure C (WL-BL), Failure E (Vdd-GND), Failure F (Vdd-WL)を含む不良モードはライト・アシスト回路の有無にかかわらず、救済可能である。つまり、この表の右側の白抜き文字を使用した領域は、リークビット・リダンダンシの使用で新たにリペア可能となった不良モードである。すなわち、リークビット・リダンダンシは、「Soft Short」不良の置換により信頼性を向上させるだけでなく、「Dead Short」の発生したFailure C (WL-BL), Failure E (Vdd-GND), Failure F (Vdd-WL)の不良モードをも救済可能とする歩留向上技術でもある。

4. 2. 4 **Cu-E-trim Fuse の回路技術**

4. 2節の「はじめに」で述べたとおり、一般的な電気ヒューズであるポリシリコン・ヒューズは、今後のメタルゲートを用いた先端プロセスでは使用できない。このため、Cu配線をヒューズとする新しい電気ヒューズが開発されている[4_16], [4_18], [4_23]。ピンチ効果を用いて切断するCu配線電気ヒューズをCu-E-trim Fuseと呼び3. 3節で説明した[4_18], [4_23]。

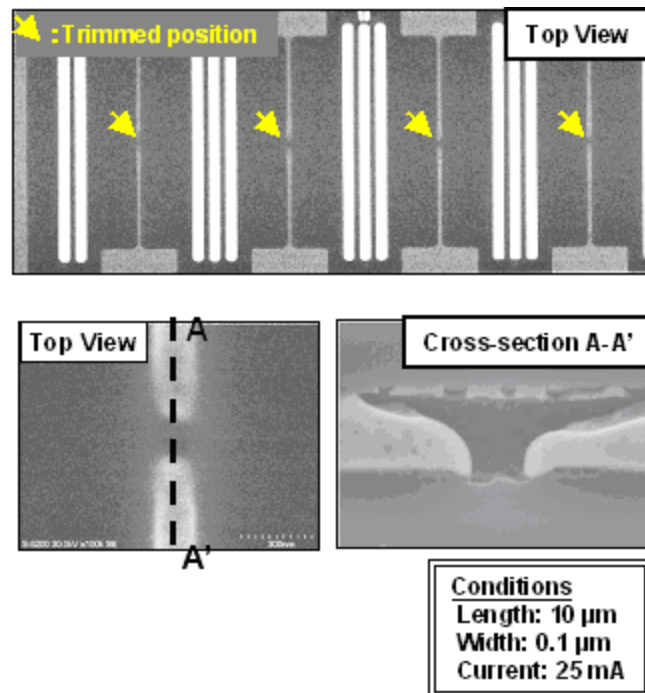


図 4-15 Cu-E-trim Fuse TEG の切断後の SEM 写真

図4-15に3. 3. 2節に図3-14として示したCu-E-trim Fuse TEGの切断後のSEM写真を再掲する[4_18], [4_23]。Cu-E-trim Fuseは細く薄いCu配線からなり、1.2Vコア・トランジスタによりCu配線に大電流を流すことで切断する[4_18], [4_23]。この図の上部のSEM写真をみると、すべてのヒューズがそのセンタ付近で切断されていることがわかる。この図の下部に切断部の拡大写真を示す。ヒューズの周辺にダメージやクラックは観察されていない。上記については、3. 3節に詳述した。数々の実験を行った結果、TEGにおいて、最適条件でCu-E-trim Fuseを300万本以上切断し、その成功率は100%であった。

図4-16にCu-E-trim Fuseの回路図を示す。この図中に示す全てのトランジスタは1.2Vコア・トランジスタである。ヒューズの下層に配置した切断電流供給回路(the trimming current supply circuit)において、NMOSのPウェルはトリプル・ウェルを用いてP基板と電氣的に分離した。それは、たとえ、切断ダメージやCuの拡散による異常なゲートリークが発生しても、Cu-E-trim Fuse回路の全リーク電流に悪影響を及ぼさないためである。

切断時には、仮想電源制御回路(the virtual power line control circuit)を制御する信号であるTrim_Enable1とTrim_Enable2はHighレベルである。このため、TG1がオンして、V_Vdd_Gate=Vdd_Gateとなり、オンしたN_gndによりV_GND=GNDとなっている。Vdd_Gateは、切断時のみ使用する電源であり、切断電流を最適化するためにレベルを調整する。また

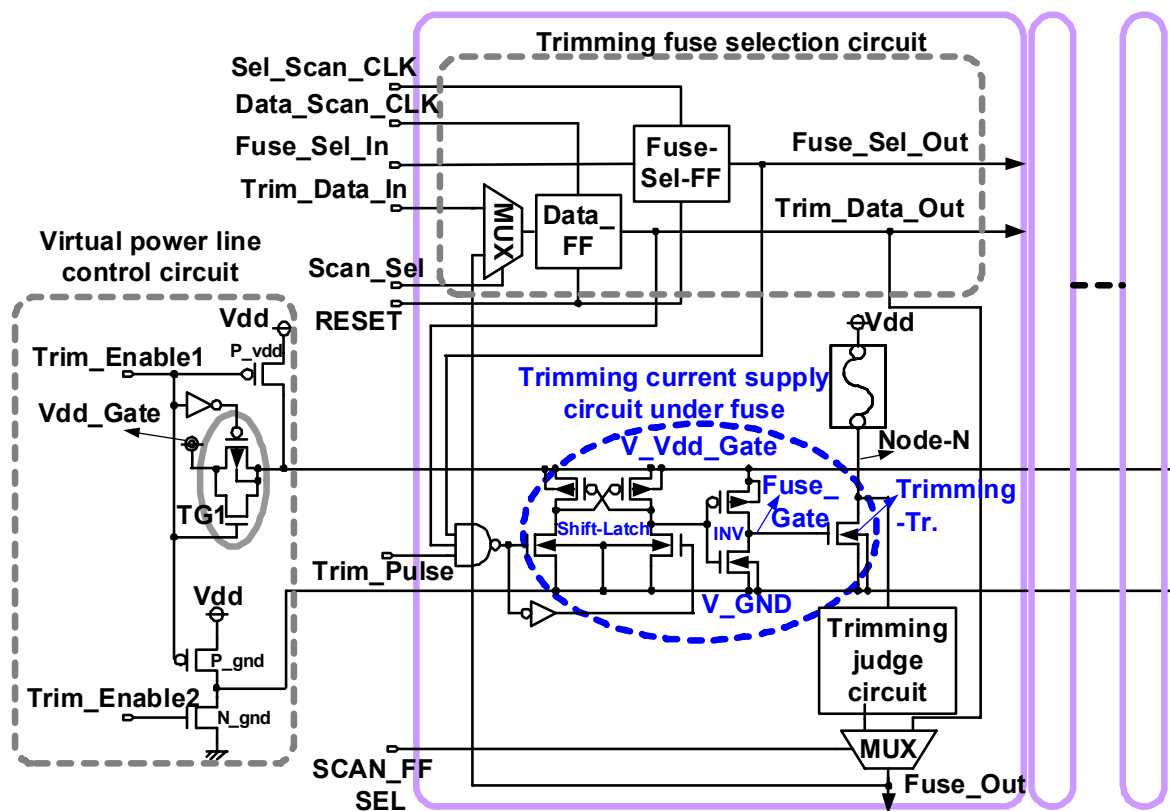


図 4-16 Cu-E-trim Fuse の回路図

切断時には、切断ヒューズ選択回路(the trimming fuse selection circuit)が大きな切断電流による内部電源配線Vdd, GNDの電圧変動を抑えるために、ヒューズを1本だけを選択して、順番に切断していく。切断電流はTrim_Pulse=Hの期間のみ流れる。切断時と切断判定時を除くと、仮想電源制御回路において、Trim_Enable1 = Trim_Enable2 = Trim_Pulse = Vdd_Gate = Lとする。このため、ヒューズ下に配置されたV_Vdd_Gate配線とV_GND配線はVddに設定されている。切断判定回路(the trimming judge circuit)は、切断箇所のCuのバイアスによる拡散を防止するために、Node_NをVddに設定している。3. 3. 2節で述べたとおり、Cu-E-trim Fuseは切断の前後で抵抗値が5桁以上変化しており[4_18], [4_23]、切断判定回路として単純なものが使用できる。

切断ヒューズ選択回路のFuse-Sel-FFとData-FFがスキャン・チェーンを形成するように複数のCu-E-trim Fuse回路が配置されている[4_22]。ヒューズの切断データはData-FFのスキャン・チェーンに格納されている。LTヒューズを使用している場合には、3. 2節で述べたとおり、Embedded SRAMのテストはSoCに搭載されているM-BIST回路もしくはBISR回路で不良ビットのアドレスを特定し、救済可能か否かの判断を行い、救済可能であれば、不良ビットを置換するためのアドレスプログラミングに必要なLTヒューズの切断情報を出力す

る。このとき、一般的にはLTヒューズの切断情報はM-BIST回路内に格納する。図4-17のCu-E-trim Fuse回路の場合、LTヒューズの切断情報は、Data-FFのスキラン・チェーンに格納されているため、M-BIST回路の回路規模を縮小できる。また、切断ヒューズを1本だけ選択するために、Fuse-Sel-FFのスキラン・チェーンの中で1つのFFだけにHighデータが格納されている。そして、Cu-E-trim Fuse回路は2つのMUX (multiplexer)を持ち、Fuse_OUTからData_FFへのフィードバックループを持つ。これにより、Cu-E-trim Fuse回路は、ヒューズ自身の切断チェック機能と、不良ビットを実験的にヒューズの切断なしに冗長セルに置換する機能を搭載している。

Cu-E-trim Fuse回路のVddと他の回路のVddとを共通化しているため、Cu-E-trim Fuse専用のVddパッドは不要である。Cu-E-trim Fuse切断時のVddの電位はWLBIモード時のVddより低いため、Cu-E-trim Fuse回路に使用している1.2Vコア・トランジスタの信頼性に関する問題は発生しない。Vdd_GateはCu-E-trim Fuse専用の電源であり切断時以外はGNDに設定する。

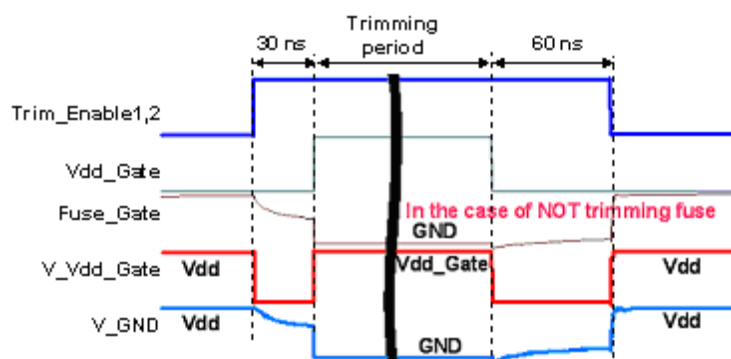


図 4-17 Cu-E-trim Fuse 切断時の仮想電源制御回路のシミュレーション波形

図4-17にCu-E-trim Fuse切断時の仮想電源制御回路のシミュレーション波形を示す。この図は非切断ヒューズの波形図である。切断時と切断判定時以外には、Trim_Enable1 = Trim_Enable2 = Vdd_Gate = GNDにしていたので、P_vdd、P_gndはオン状態で、N_gndはオフ状態であり、その結果、V_Vdd_Gate = V_GND = Vddに設定される。このときには、V_GND = Vddのため、異常なゲートリークは流れない。それから、切断時には、Trim_Enable1 = Trim_Enable2 = Vdd_Gate = Hに変化させるので、P_vdd、P_gndはオフ状態で、N_gndはオン状態であり、その結果、V_Vdd_Gate = H, V_GND = GNDに設定される。このとき、非切断ヒューズ部では、ヒューズに接続された切断トランジスタ(trimming Tr.)のゲートノードのFuse_Gate = GNDであるため、電流を流すことはなくヒューズは切断されない。Cu-E-trim Fuseの回路図で、Trim Pulseが入力される3NANDが活性化されれば、図4-17

で、Fuse_GateがHighレベルの期間があり、切断トランジスタはヒューズに切断電流を供給する。

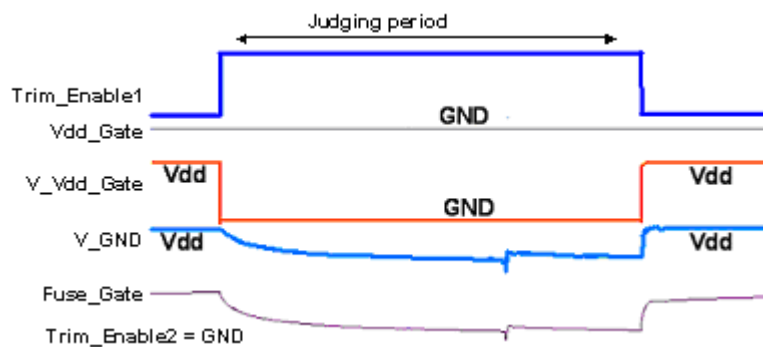


図 4-18 Cu-E-trim Fuse 切断判定時の仮想電源制御回路のシミュレーション波形

図4-18でCu-E-trim Fuse切断判定時の仮想電源制御回路のシミュレーション波形を示す。切断判定時には、すべての切断トランジスタはオフ状態であることが必要である。Trim_Enable1 = H, Trim_Enable2 = L, Vdd_Gate = GNDにしていたので、P_vddはオフ状態、P_gndはオン状態、N_gndはオフ状態、TG1がオン状態であり、その結果、V_Vdd_Gate = Vddに設定され、Fuse_Gateの電位はV_GNDより低くなる。このため、切断トランジスタのVgsは負バイアスとなり、切断トランジスタは非活性状態となる。

図4-19にCu-E-trim Fuseのレイアウトと断面図を示す。切断後、図4-16でわかるように切断部近傍のCu配線のバリアメタルとCu拡散防止膜は破壊される。切断判定時を除いたすべての場合に、Cuのバイアスによる拡散を防ぐために、切断部の上下左右はVddに設定する必要がある。切断判定時のみ、切断部近傍には、1.2Vの電圧ストレスが与えられる。しかし、10年の半導体製品寿命のうち、切断判定期間は、10秒以下となるため、Cuの電位差による拡散は問題とならない。

図4-19のレイアウトと断面図に示されているように、溝状のViaとCu配線からなる「壁」を使って、Cuの熱拡散距離を伸ばすことにより、Cuの熱拡散の悪影響を排除している。本技術を発表する[4.25]以前に提案されたCu配線ヒューズ[4.16], [4.18], [4.23]ではヒューズの下層に回路を配置することは報告されてないが、こうしたCuの拡散を抑える技術と、クラックの発生のないCu-E-trim Fuse[4.18], [4.23]の使用により、切断電流供給回路をヒューズの下層に配置することができた。また、Vddに設定した溝状のViaとCu配線からなる「壁」でヒューズ切断部の周りを囲むことにより、Cu-E-trim Fuseの近くに配置された他の回路へのCu汚染を防いでいる。

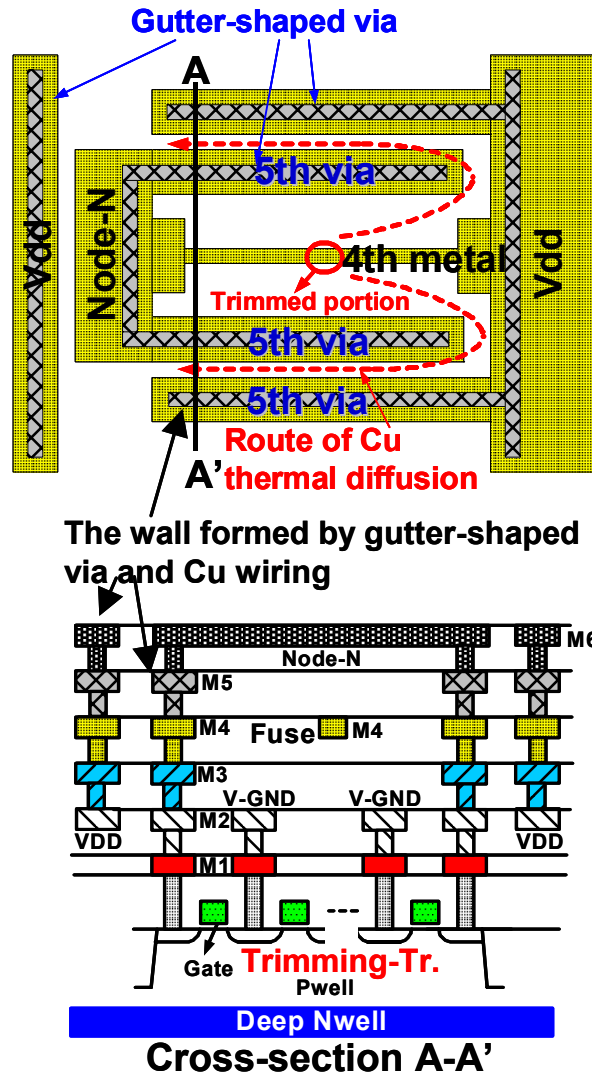


図 4-19 Cu-E-trim Fuse のレイアウトと断面図

図4-20にCu-E-trim Fuse回路のレイアウトを示す。このレイアウト領域には、切断判定回路と切断ヒューズ選択回路を含んでいる。Cu-E-trim Fuseの面積として、65nmノード・プロセスのLTヒューズの面積とほぼ等しい $6 \mu\text{m} \times 36 \mu\text{m} = 216 \mu\text{m}^2$ という小面積を達成した。クラックの発生のないCu-E-trim Fuse[4_18], [4_23]であるために、ヒューズの下層に切断電流供給回路が配置でき、かつ、Cu-E-trim Fuse回路の全てのトランジスタとして、1.2Vコア・トランジスタを使用したことが、この小面積の達成に貢献している。

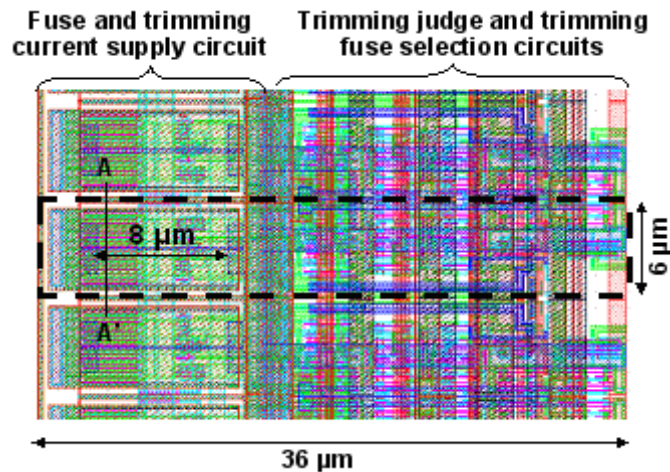


図 4-20 Cu-E-trim Fuse 回路のレイアウト

4. 2. 5 試作結果

図4-21に512Kbit SRAM macroのアーキテクチャとレイアウトを示す。リークビット・リダンダンシ回路は本マクロの上部に配置され、ライト・アシスト回路とビット線負荷は本マクロの下部に配置されている。本マクロにおいて、リークビット・リダンダンシ回路の面積ペナルティは2%以下であり、WLBIモード回路において面積ペナルティはなく、プリデコーダにNORゲートを1段追加することによる50psの速度ペナルティがある。

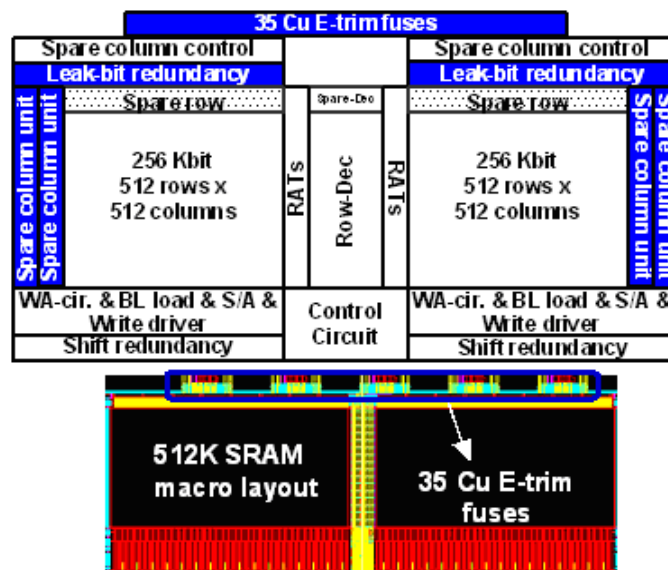


図 4-21 512Kbit SRAM macro のアーキテクチャとレイアウト

図4-22に試作した16M-SRAMのチップ写真[4_19], [4_24]とCu-E-trim FuseのSEM写真を示す。試作には、65nm LSTP CMOSプロセスが使用された。3. 4. 4節に示すように、このプロセスは、1層ポリシリコン、8層Cu配線で、最小ゲート長が50nmである。この16M SRAMは32個の512Kbit SRAM macroから構成されている。それぞれの512Kbit SRAM macroは、35本のCu-E-trim Fuseを持つ。それぞれのCu-E-trim Fuseは8 μ m長のCu配線からなり、その両側にCu配線からなる「壁」を持つ。

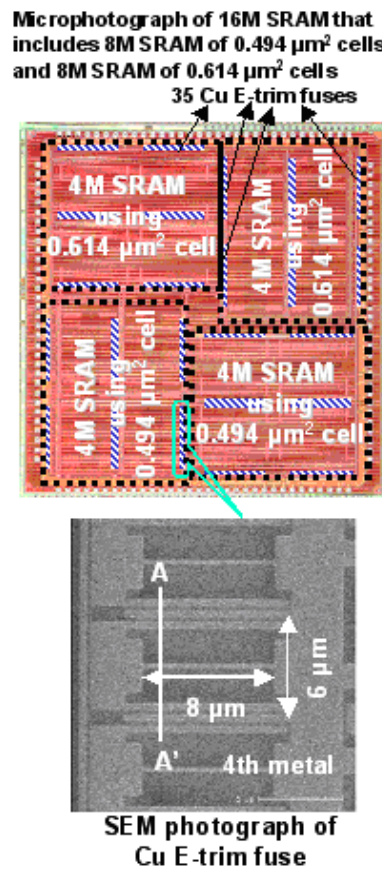


図 4-22 試作した 16M-SRAM のチップ写真と Cu-E-trim Fuse の SEM 写真

図4-23にWLBIモードにより書込みされた拡大FBM (fail-bit-map)を示す。この測定時、期待値はall-0とした。このFBMはWLBIモードの使用でロウストライプ・パターンとなっている。偶数ロウにdata-0が、奇数ロウにdata-1が書込まれている。この図より、WLBIモードによる同時書込み動作が確認できた。

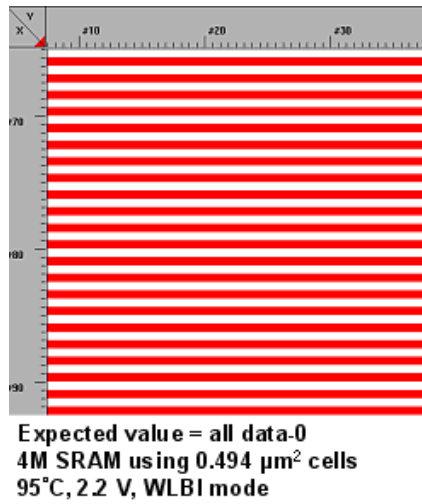


図 4-23 WLBI モードにより書き込みされた拡大 FBM (fail-bit-map)

図4-24にBIストレス前後のWFBM (wafer-fail-bit-map)の違いを示す。この図より、WLBIモードの使用により、通常のライト動作を用いたBIと比較して、ロウのストレスが256倍に、カ

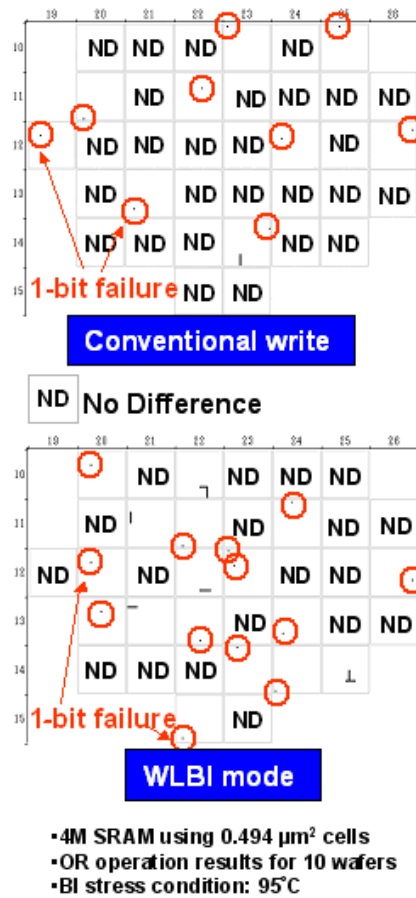


図 4-24 BI ストレス前後の WFBM (wafer-fail-bit-map)の違い

ラムのストレスが1024倍になったため、ロウとカラムのライン不良が増加していることがわかる。この実験におけるBIストレス条件は、量産時のストレスよりも非常に強くしている。

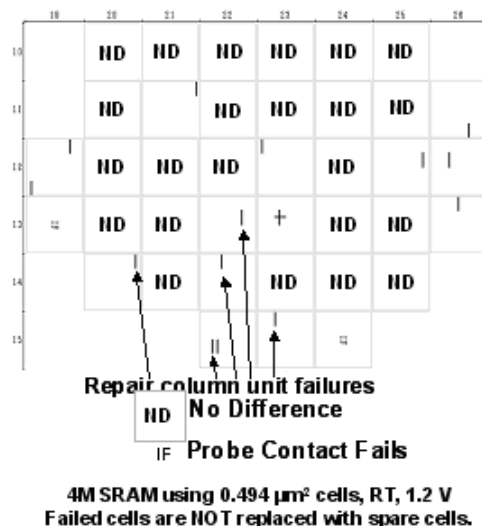
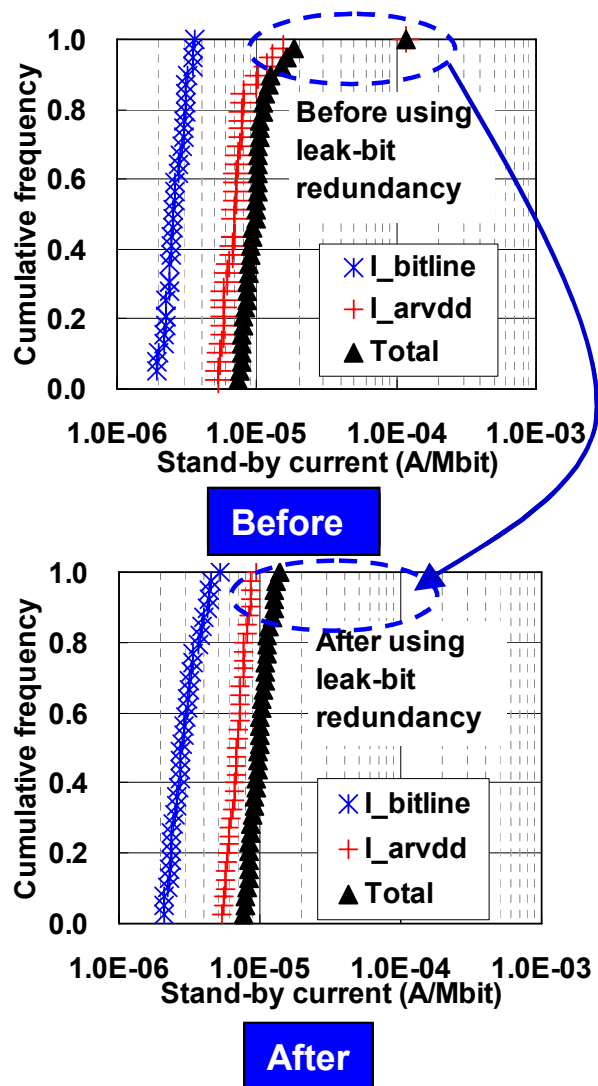


図 4-25 リークビット・リダンダンシ使用前後の WFBM の違い

図4-25にリークビット・リダンダンシ使用前後のWFBMの違いを示す。この測定では、不良セルを、冗長セルで救済をしていない。リークビット・リダンダンシの使用後、置換カラム単位の不良(4カラム不良)が増加している。これより、リークビット・リダンダンシの使用でリークビットが置換カラム単位の不良として検出できることを確認できた。

図4-26にリークビット・リダンダンシ使用前後のスタンバイ電流分布の違いを示す。この実験には、あるウェハプロセス実験により、通常よりもスタンバイ電流の分布が悪いウェハを使用した。また、この結果は、不良セルが冗長セルと置換された場合について示した。図中で、 I_{bitline} はビット線対に流れるスタンバイ電流を意味し、 I_{arvdd} はarvdd線に流れるスタンバイ電流を意味する。0.494 μm^2 cellを用いた4M SRAMのスタンバイ電流分布はリークビット・リダンダンシの使用で約10%改善されている。



4M SRAM using 0.494 μm^2 cells, RT, 1.2 V
 Failed cells were replaced with spare cells.

図 4-26 リークビット・リダundancy使用前後のスタンバイ電流分布の違い

4. 3 まとめ

プロセスの微細化の限界が見えはじめた近年、微細化に頼らずとも、トランジスタの高密度化を進める技術(More than Moore)として、1つのパッケージ内に複数のチップを実装するSiP, MCM, 3D-stackなどの先端パッケージ技術が注目され研究が進められている。こうした技術を低コストで実現するには、1つのパッケージ内の各チップが低コストのKGDであることが必要である。また、半導体の新たな有望な市場として自動車向けの製品が注目されている。当然、半導体の不具合が人の命に直結しかねない車載用途では、低コストでありながら高品質が要求される。このため、低コストKGD化の技術は車載用途のEmbedded SRAMに応用できる。

本章では、低コストKGDを実現する回路技術を提案し、その効果を検証した。下記に本章で提案した高品質化技術についてまとめる。

(1) 低コストKGDを実現するためのプロービング・テストフロー

本章で提案した低コストKGDを実現する3つのキーとなる技術は、1) WLBIモード、2) リークビット・リダンダンシ、3) Cu-E-trim Fuseである。前述の3つの技術を使用し、通常のプロービング・テスト治工を用い、できるだけ短いテスト時間で高品質を実現するプロービング・テストフローを提案し、その技術を使用した6T-SRAMのブロック図を示した。

(2) 6T-cell向けウェハレベルバーンイン

6T-SRAM用のWLBIモードを提案した。DRAMや4T-cellのSRAMでは同時に多数のワード線やビット線を活性化して書込み状態とするWLBIモードが可能であったが、6T-cellのSRAMでは大きな貫通電流のために不可能であった。ここでは、数10nsの短い期間だけ、通常相補に動作するビット線対を両者共にLowレベルにし、かつメモリセル電源をフローティングにすることにより、貫通電流の流れない6T-SRAM用のWLBIモード回路を提案した。このWLBIモードの面積ペナルティはなく、50psの非常に小さい速度ペナルティがある。このWLBIモードでは、貫通電流なしにロウドライブの書込みが可能で、6T-cellの全てのノードとトランジスタにDCストレスの印加が可能となる。

(3) リークビット・リダンダンシ

リークビット・リダンダンシは、6T-SRAMに存在するレイテント・ディフェクト(隠れた欠陥)による異常なリーク電流を持ちながらも通常の動作が可能なビットである「リークビット」を検出して冗長セルと置換する技術である。本章では、低品質のメモリセルを歩留の低下なしに除外するリークビット・リダンダンシを提案した。リークビット・リダンダンシは、ベアチップの初期不良率を低減し、スタンバイ電流分布を約10%改善する。その面積ペナルティは2%以

下である。

(4) Cu-E-trim Fuseの回路技術

メタルゲートを使用する先端プロセスにおいても使用できるCu配線で形成された電気ヒューズであり、クラックの発生がなく切断可能なCu-E-trim Fuseにおいて、第3章で確認した信頼性をさらに高くするCu-E-trim Fuse回路とレイアウトを提案した。その提案内容は、1) 切断ダメージやCuの拡散による異常なゲートリークが発生しても、電気ヒューズ回路の全リーク電流に悪影響を与えないよう、切断電流供給回路のPウェルをトリプル・ウェルを用いてP基板と電氣的に分離すること、2) ヒューズ切断部のCuのバイアスと熱による拡散を防ぐため、ヒューズの上下左右の配線層をVddに設定し、そしてVddに設定した溝状のViaとCu配線からなる壁でヒューズ切断部の周りを囲むレイアウトにより、近くに配置された他の回路へのCu汚染を防ぐことの2つである。このCu-E-trim Fuse回路では、1.2Vコア・トランジスタのみを使用しているため、CMOSプロセスのスケーリングとともに回路面積の低減が可能である。また、Cu-E-trim Fuseの切断部周辺にはクラックの発生がないため、切断トランジスタをヒューズの下層に配置可能である。その結果、65nmノード・プロセスで、 $6 \times 36 \mu\text{m}^2$ の小面積を達成した。

4. 4 第 4 章参考文献

- [4.1] [Online]. Available: <http://www.ieee.se.ritsumei.ac.jp/sscs/20060915/seminer-kikuchi.pdf>
- [4.2] [Online]. Available:
http://japan.renesas.com/fmwk.jsp?cnt=press_release20060302.htm&fp=/company_info/news_and_events/press_releases
- [4.3] Koyanagii, M.; Tanaka, T.; “New Three-Dimensional Integration Technologies Based on Wafer-to-Wafer and Chip-to-Wafer Bonding Methods,” in ISSCC 2007, “Design of 3D-Chipstacks” in Circuit Design Forum, 12-14 February 2007.
- [4.4] Tummala, R.R.; “Packaging: past, present and future,” in Proceedings of 6th International Conference Electronic Packaging Technology, pp. 3 - 7, 30 August - 2 September 2005.
- [4.5] Vasquez, B.; Lindsey, S.; “The promise of known-good-die technologies,” in Proceedings of the 1994 International Conference Multi-Chip Modules, pp. 1 - 6, 13-15 April 1994.
- [4.6] Miller, J.W.; Soorholtz, V.; Vesquez, B.; “Wafer level IC burn-in as a step towards BIR (building-in reliability),” in 1992 International Wafer Level Reliability Workshop, Final Report, pp. 151 - 162, 25-28 October 1992.
- [4.7] ITRS 2003, p. 10 [Online]. Available: <http://www.itrs.net/Links/2003ITRS/SysDrivers2003.pdf>
- [4.8] Furuyama, T.; Kushiya, N.; Noji, H.; Kataoka, M.; Yoshida, T.; Doi, S.; Ezawa, M.; Watanabe, T.; “Wafer burn-in (WBI) technology for RAM’s,” in International Electron Devices Meeting (IEDM), 1993 Technical Digest, pp. 639 - 642, 5-8 December 1993.
- [4.9] Riordan, W.C.; Miller, R.; Sherman, J.M.; Hicks, J.; “Microprocessor reliability performance as a function of die location for a 0.25 μ , five layer metal CMOS logic process,” in Proceedings 1999 IEEE International Reliability Physics Symposium, pp. 1 - 11, 23-25 March 1999.
- [4.10] Miller, R.B.; Riordan, W.C.; “Unit level predicted yield: a method of identifying high defect density die at wafer sort,” in International Test Conference (ITC), 2001. Proceedings, pp. 1118 - 1127, 30 October -1 November 2001.
- [4.11] Riordan, W.C.; Miller, R.; St Pierre, E.R.; “Reliability improvement and burn in optimization through the use of die level predictive modeling,” in Proceedings 2005 IEEE International Reliability Physics Symposium, pp. 435 - 445, 17-21 April 2005.
- [4.12] Barnett, T.S.; Grady, M.; Purdy, K.; Singh, A.D.; “Redundancy implications for early-life reliability: experimental verification of an integrated yield-reliability model,” in International Test Conference (ITC), 2002. Proceedings, pp. 693 - 699, 7-10 October 2002.
- [4.13] Alavi, M.; Bohr, M.; Hicks, J.; Denham, M.; Cassens, A.; Douglas, D.; Tsai, M.-C.; “A PROM

- element based on salicide agglomeration of poly fuses in a CMOS logic process,” in International Electron Devices Meeting (IEDM), 1997. Technical Digest, pp. 855 - 858, 7-10 December 1997.
- [4_14] Kyunam Lim; Sangseok Kang; Jonghyun Choi; Jaehoon Joo; Younsang Lee; Jinseok Lee; Sooin Cho; Byungil Ryu; “Bit line coupling scheme and electrical fuse circuit for reliable operation of high density DRAM,” in Symposium VLSI Circuits, 2001. Digest of Technical Papers, pp. 33 - 34, 14-16 June 2001.
- [4_15] Kothandaraman, C.; Iyer, S.K.; Iyer, S.S.; “Electrically programmable fuse (eFUSE) using electromigration in silicides,” *Electron Device Letters, IEEE*, Vol. 23, No. 9, pp. 523 - 525, September 2002.
- [4_16] Ueda, T.; Takaoka, H.; Hamada, M.; Kobayashi, Y.; Ono, A.; “A novel Cu electrical fuse structure and blowing scheme utilizing crack-assisted mode for 90 - 45 nm-node and beyond,” in Symposium VLSI Technology, 2006. Digest of Technical Papers, pp. 138 - 139, June 2006.
- [4_17] Yamaoka, M.; Yanagisawa, K.; Shukuri, S.; Norisue, K.; Ishibashi, K.; “A system LSI memory redundancy technique using an ie-Flash (inverse-gate-electrode Flash) programming circuit,” *IEEE Journal of Solid-State Circuits*, Vol. 37, No. 5, pp. 599 - 604, May 2002.
- [4_18] Kono, K.; Yonezu, T.; Obayashi, S.; Arakawa, M.; Asano, Y.; Uchida, T.; Iwamoto, T.; “A crackless and high reliable Cu eTrim fuse using the pinch effect for 65nm,” in Advanced Metallization Conference (ADMTA 2006): 16th Asian Session, pp. 126-127, September 2006.
- [4_19] Ohbayashi, S.; Yabuuchi, M.; Nii, K.; Tsukamoto, Y.; Imaoka, S.; Oda, Y.; Igarashi, M.; Takeuchi, M.; Kawashima, H.; Makino, H.; Yamaguchi, Y.; Tsukamoto, K.; Inuishi, M.; Ishibashi, K.; Shinohara, H.; “A 65 nm SoC Embedded 6T-SRAM Design for Manufacturing with Read and Write Cell Stabilizing Circuits,” in Symposium VLSI Circuits, 2006. Digest of Technical Papers, pp. 17-18, 15-17 June 2006.
- [4_20] Yamaoka, M.; Maeda, N.; Shinozaki, Y.; Shimazaki, Y.; Nii, K.; Shimada, S.; Yanagisawa, K.; Kawahara, T.; “90-nm process-variation adaptive Embedded SRAM modules with power-line-floating write technique,” *IEEE Journal of Solid-State Circuits*, Vol. 41, No. 3, pp. 705 - 711, March 2006.
- [4_21] Kevin Zhang; Bhattacharya, U.; Zhanping Chen; Hamzaoglu, F.; Murray, D.; Vallepalli, N.; Yih Wang; Bo Zheng; Bohr, M.; “A 3-GHz 70-Mb SRAM in 65-nm CMOS Technology With Integrated Column-Based Dynamic Power Supply,” *IEEE Journal of Solid-State Circuits*, Vol. 41, No. 1, pp. 146 - 151, January 2006.
- [4_22] Cowan, B.; Farnsworth, O.; Jakobsen, P.; Oakland, S.; Ouellette, M.R.; Wheeler, D.L.; “On-chip repair and an ATE independent fusing methodology,” in International Test Conference (ITC), 2002. Proceedings, pp. 178 - 186, 7-10 October 2002.

- [4_23] Kono, K.; Yonezu, T.; Ohbayashi, S.; Arakawa, M.; Asano, Y.; Uchida, T.; Iwamoto, T.; “A Crackless and High Reliable Cu eTrim Fuse using the Pinch Effect for 65nm,” Advanced Metallization Conference 2006 (AMC 2006), 2007 Materials Research Society, pp.671–676, 2007.
- [4_24] Ohbayashi, S.; Yabuuchi, M.; Nii, K.; Tsukamoto, Y.; Imaoka, S.; Oda, Y.; Yoshihara, T.; Igarashi, M.; Takeuchi, M.; Kawashima, H.; Yamaguchi, Y.; Tsukamoto, K.; Inuishi, M.; Makino, H.; Ishibashi, K.; Shinohara, H.; “A 65-nm SoC Embedded 6T–SRAM Designed for Manufacturability With Read and Write Operation Stabilizing Circuits,” IEEE JOURNAL OF SOLID–STATE CIRCUITS, VOL. 42, No.4, pp. 820 - 829, April 2007.
- [4_25] Ohbayashi, S.; Yabuuchi, M.; Kono, K.; Oda, Y.; Imaoka, S.; Usui, K Yonezu, T.; Iwamoto, T.; Nii, K.; Tsukamoto, Y.; Arakawa, M.; Uchida, T.; Okada, M.; Ishii, A.; Makino, H.; Ishibashi, K.; Shinohara, H.; “A 65nm Embedded SRAM with Wafer–Level Burn–In Mode, Leak–Bit Redundancy and E–Trim Fuse for Known Good Die,” in Digest of Technical Papers. ISSCC, pp. 488 - 489, 12–14 February 2007.
- [4_26] Ohbayashi, S.; Yabuuchi, M.; Kono, K.; Oda, Y.; Imaoka, S.; Usui, K.; Yonezu, T.; Iwamoto, T.; Nii, K.; Tsukamoto, Y.; Arakawa, M.; Uchida, T.; Okada, M.; Ishii, A.; Makino, H.; Ishibashi, K.; Shinohara, H.; “A 65 nm Embedded SRAM with Wafer Level Burn–In Mode, Leak–Bit Redundancy and Cu E–trim Fuse for Known Good Die,” IEEE JOURNAL OF SOLID–STATE CIRCUITS, VOL.43, No.1, pp. 96–108, January 2008.
- [4_27] 大林 茂樹, 藪内 誠, 河野和史, 小田祐士, 今岡 進, 臼井啓一, 米津俊明, 岩本 猛, 新居 浩二, 塚本康正, 荒川政司, 内田孝裕, 牧野博之, 石橋孝一郎, 篠原尋史, “[Invited Talk] A 65 nm Embedded SRAM with Wafer Level Burn–In Mode, Leak–Bit Redundancy and E–trim Fuse for Known Good Die,” 電子情報通信学会 技術研究報告, Vol. 107, No. 1, ICD2007–11, pp. 59–64, April 2007.
- [4_28] Kono, K.; Yonezu, T.; Ohbayashi, S.; Arakawa, M.; Asano, Y.; Uchida, T.; Iwamoto, T.; “A Crackless and High Reliable Cu eTrim Fuse using the Pinch Effect for 65nm,” Advanced Metallization Conference 2006 (AMC 2006), 2007 Materials Research Society, pp.671–676, 2007.

第5章 結論

5. 1 総括

2008年現在、LSIを使用した電子機器のますますの高機能化と多くの人への普及が進み、また非接触カードによる個人認証や電子マネー、あるいは、自動車のエンジン制御やエアバックの制御などのようにエンドユーザが電子機器とは意識せずに使用する機器へのLSIの搭載が進み、暮らしのありとあらゆる場面で無意識にLSIに搭載された大小様々な規模のコンピュータを利用している社会（ユビキタス社会）が実現しようとしている。このため、LSIの市場は今後も大きく成長することは間違いない。このなかで、時ともに主流となる技術内容が変遷しても、リーズナブルなコストの範囲で、用途に応じて、すべてのLSIは、(1) 高速、(2) 低消費電力、(3) 高密度、(4) 高歩留、(5) 高品質でという高性能であることが常に市場から求められ続ける。また、それぞれの項目は独立しておらず、互いに複雑に絡み合い、時にはトレードオフの関係となり、時には同時に向上できる関係となる。

SRAMはロジックプロセスとの親和性と高速性を生かし、もっとも代表的なEmbedded Memoryとして使用されており、2000年以降、テクノロジノードの進展により1チップに搭載できるトランジスタ数の劇的な増大により、Embedded SRAMの大容量化が進み、現在では、サーバー用途のMicro Processing Unit(MPU)では3次キャッシュまでもが1チップに搭載される例も出てきている。LSI市場が大きく成長し続けているなかで、Embedded SRAMも高性能化が市場から要求されている。

Embedded SRAMの高性能化が市場から要求されるなかで、高性能化のいくつかの項目うち、高速化、高歩留化、高品質化を本研究で取り上げた。本研究では、Embedded SRAMの高速化・高歩留化・高品質化に関して、主として回路設計的な側面からの検討を行い、場合によっては、プロセス面まで踏み込んだ側面からの検討を行った。このEmbedded SRAMの高速化・高歩留化・高品質化という3つの課題の解決を目的として提案、開発を行った技術について、第2章から第4章にわたって詳細を述べた。本章では本研究で得られた結果を総括する。

第2章では、電源電圧が5V～3V時代のSRAMの高速化に大きく貢献したBiCMOS技術の回路技術とプロセス技術について提案し、その効果を検証し、下記の結論を得た。

(1) 配線容量を考慮したSRAMデコーダのファンアウトの最適化手法

デコーダの負荷として配線容量までを考慮してファンアウトを最適化する手法を提案した。従来、配線容量のついたデコーダのファンアウト最適化でよく使用されてい

た等ファンアウト法よりも高速であることがわかった。本章での比較例では、提案手法が11%(200ps)高速であることを確認した。

(2) 高速 X1/X4 切換バイポーラ・センスアンプ

テスト時間の短縮のために、高速X1/X4切換バイポーラ・センスアンプを提案した。バイポーラ・ワイヤード・オアを利用しているため、X1とX4でアクセス時間の差がテストの測定誤差に近い0.2ns以下となり、アクセスタイムに遅延を生じさせることなく切換可能となることを確認した。

(3) シフトリダンダンシ

置換の前後でアクセスタイムがほとんど変わらず、救済アドレスのプログラミングが単純なリダンダンシ技術であるシフトリダンダンシを提案した。

(4) 上記の(2)と(3)の回路技術を適用し、2層ポリシリコン、2層アルミの0.8 μ m BiCMOSプロセスを使用して、1M ECL SRAMを試作した結果、X1モード、X4モードの両方で、アクセスタイム7nsが得られた。

(5) Synchronous 化による高速化

Synchronous化によりシステムレベルの高速化が図れることを説明し、ECL-IOのSynchronous SRAMの入出力レジスタとして、小振幅で高速な内部クロックを利用できるECLレジスタと高速なECL-CMOSレベルコンバータを提案した。CLKexの立上りから、ECL-CMOSレベルコンバータ出力まで1.9nsを達成した。

(6) 融合型BiNMOSワードドライバ

小面積高速の融合型BiNMOSワードドライバのレイアウトを提案した。ラッチアップ耐性に問題がなく、Fanout=1と軽い負荷容量のリングオシレータでCMOSより1段当たり11%高速の170ps/stageを達成した。この技術を採用することでCLKexの立上りからワード線選択まで4.1nsを達成できた。

(7) 2分割リードデータバスのバイポーラ・メインセンスアンプ

大容量化によりデータバスの電圧振幅を押さえたバイポーラ使用の電流・電圧変換形メインセンスアンプでも配線抵抗によるわずかな電位変化による遅延が発生する。これを抑えるために、電流・電圧変換形メインセンスアンプにおいて、データバスを2分割することを提案することで、従来の構成より0.2nsの高速化を達成した。

(8) 階層型 ECL 入力バッファ用のリファレンス電位発生回路

階層型ECL入力バッファ用のリファレンス電位発生回路を提案し、大容量ECL-IOの集積回路でチップ内のリファレンス電位の変動が、従来の構成では50mV程度であるものを、提案手法では10mV程度と小容量時と同様に抑えられることを示

した。

- (9) 上記(5)～(8)の回路技術を適用し、3層ポリシリコン・2層アルミの0.8 μ m BiCMOS プロセスを使用して256K ECL STRAMを試作した。その結果、5nsのサイクル時間、2nsのクロックアクセス時間が得られた。

- (10) センタパワーピン配置

ワイヤボンディングやチップ内電源配線のインダクタンスによる高速出力回路の電源ノイズに及ぼす影響をシミュレーションで明らかにし、コーナパワーピン配置の電源ノイズのピーク値が3Vであるのに対し、センタパワーピン配置の電源ノイズのピーク値が1V以下に抑えられ、出力バッファの遅延時間もセンタパワーピン配置の方が0.5ns高速であるため、センタパワーピン配置の採用を提案した。

- (11) センタパワーピンに最適なビット線負荷交互配置構成

センタパワーピン配置でもデータバス長を短くでき、かつ、ビット線周りの回路を緩いレイアウト制約の中で高速回路を選択できる新しいアーキテクチャであるビット線負荷交互配置構成を提案した。従来の構成より、データバス長の短縮で0.15ns高速化可能であることを確認した。

- (12) NMOS による高速ライトリカバリ可能なビット線負荷回路

高速ライトリカバリを可能とするために、NMOSとPMOSによりビット線をプリチャージする新しいビット線負荷回路を提案した。

- (13) ワイヤードオア型カラムセンスアンプ

小面積の高性能ダブルポリシリコン・バイポーラを各カラムに配置してメモリセルで駆動する容量を小さくし、ローカルデータバス(LRDB)と、グローバルデータバスの2段のデータバス構成をとり、いずれのデータバスもワイヤードオア型とした新しいセンス回路であるワイヤードオア型カラムセンスアンプを提案した。ビット線とLRDBの遅延を0.3nsに抑えることができた。

- (14) 高性能ダブルポリシリコン・バイポーラを搭載した 0.6 μ m BiCMOS プロセス

エミッタ電極とベース電極をどちらもポリシリコンで形成し、200nmのSidewallにより自己整合的にエミッタ電極とベース電極を分離することで高性能ダブルポリシリコン・バイポーラを形成した。LOCOS形成後の高エネルギーイオン注入を用いて、狭チャネル効果を抑え、As(砒素)が注入された3層目ポリシリコン(WSi/ポリシリコン)のデポ後1050°C、30秒のrapid thermal annealingによりメモリセルのGND直接コンタクト抵抗を低減することを提案し、4Mbit-SRAMクラスの小面積メモリセルを実現した。

- (15) 上記の(10)～(14)の回路技術とプロセス技術を使用して、256K TTL SRAMを試

作した結果、アクセス時間5nsが得られた。

(16) 3.3V 対応ワイヤードオア型カラムセンスアンプ

高性能ダブルポリシリコン・バイポーラを各カラムに配置したワイヤードオア型カラムセンスアンプを3.3V動作に最適化し、下限動作を改善しながら、3.0Vの低電圧でビット線とLRDBの遅延を0.7nsに抑えることができた。

(17) バイポーラを用いた高速ライトリカバリ可能なビット線負荷回路

3.3V化に伴い、バイポーラのV_{be}の逆バイアスによるバイポーラの劣化を気にする必要がなくなったため、NMOSより駆動力の大きいバイポーラをビット線負荷に使用した。ビット線をVCCプリチャージに変更し、ライトリカバリ時にLRDBがイコライズされる回路技術を提案した。従来の回路では、プリチャージが完了前にメモセルの読み出しが開始されると必ずプリチャージ完了時よりも遅くなっていたが、提案回路では遅延が発生しない。

(18) 高性能ダブルポリシリコン・バイポーラを搭載した 0.5 μm 3.3V BiCMOS プロセス

小面積かつ1.8Vまで動作可能なTFT型4T-cellと、高性能ダブルポリシリコン・バイポーラを搭載した0.5 μm 3.3V BiCMOSプロセスを開発した。5V系プロセスより低熱処理にする必要があるが、それでも、エミッタ抵抗を低減できる水素バーク機能を備えたSingle Wafer Type CVDと、メモセルのGND抵抗を低減できるNitride Etch Stop Self Aligned Contactを提案し、3.3V動作と高速動作を両立させた。

上記の(16)～(18)の回路技術とプロセス技術を使用して、3.3V 1M TTL SRAMを試作した結果、アクセス時間7.8nsが得られた。

第3章では、特に2000年代以降のEmbedded SRAMの時代において必要とされるEmbedded SRAMの高歩留化技術を提案し、その効果を検証し、下記の結論を得た。

(1) Embedded SRAMに適したシフトリダンダンシ

救済アルゴリズムが単純でかつ歩留向上効果が高い奇数・偶数デコーダ出力別系統シフトリダンダンシを提案した。このリダンダンシでは、M-BIST回路やBISR回路の面積の増加を抑えられ、かつ、冗長メモセルを使用した時と使用しない時でアクセスタイムが変わらないため、Embedded SRAMに適した冗長回路方式である。

(2) Cu配線で形成された電気ヒューズ(Cu-E-trim Fuse)

本章で提案したCu-E-trim Fuseより以前に、Cu配線に大電流を流してCu配線を電気ヒューズとするCu-eFuseが提案されていた。Cu-eFuseの切断メカニズムは、Cu配線の層間絶縁膜にクラックを発生させることによりクラックにCuを吸い上げて、Cu配線

に隙間を作ることであることを明らかにした。その上で、ヒューズを切断する間、切断電流供給トランジスタの線形領域を使用し、切断電流をヒューズ切断部とlow-k材料間の温度勾配を考慮して制御することにより、ヒューズの周りにクラックやダメージの発生のないCu配線で形成された電気ヒューズであるCu-E-trim Fuseを提案し、その切断メカニズムを明らかにした。そして、実際に65nmノードで試作し、切断の前後で5桁以上も抵抗値が変化し、切断後に1.2V、250°Cの高温バイアス保存信頼性試験で1500hrs後でも抵抗値の変化が見られない、非常に良好な特性を確認できた。

(3) 直線的な拡散層とポリシリコンを用いた6T-cellレイアウト

6T-cellを構成するトランジスタのレイアウトを転写・加工技術に対して易しい直線的なレイアウトにすることでプロセス変動によるグローバルなトランジスタの特性ばらつきによる動作マージン劣化を抑えることを提案した。拡散層を直線的にすることはメモリセルの β 比を1とすることであるが、それにより0.8Vの低電圧のStatic Noise Margin (SNM)が約10mV改善でき、アクセストランジスタのサイズが大きくなることによりランダムばらつきにも強くなることがわかった。

(4) リード・アシスト回路

活性化されたワード線の電圧レベルを、グローバルなSRAM NMOSの特性変動に合わせて電氣的なメモリセルの β 比を自己調整的に制御するリード・アシスト回路を提案し、SNMの劣化を抑えた。

(5) ライト・アシスト回路

書込み時に選択カラムのみのメモリセルVddを、メモリセル上に配置した配線の容量を用いて強制的に引下げる、配線容量を使ったライト・アシスト回路を提案し、ランダムばらつきにより低下した書込みマージンを広げる、高速書込み動作を可能としたことを説明した。上記の(3)、(4)、(5)について、実際に65nmノードで8M SRAMを試作し、評価結果とシミュレーション結果から、すべてのSPICEコーナで提案手法の歩留が上回るという良好な特性が得られることを示した。

第4章では、Embedded SRAMの高品質化に関して、今後のパッケージ技術の進展と、大きな伸びが期待できる自動車市場に対応できる低コストKGDを実現する回路技術を提案し、その効果を検証し、下記の結論を得た。

(1) 低コストKGDを実現するためのプロービング・テストフロー

本章で提案した低コストKGDを実現する3つのキーとなる技術は、1) WLBIモード、2) リークビット・リダンダンシ、3) Cu-E-trim Fuseである。前述の3つの技術を使用し、

通常のプロビング・テスト治工具を用い、できるだけ短いテスト時間で高品質を実現するプロビング・テストフローを提案し、その技術を使用した6T-SRAMのブロック図を示した。

(2) 6T-cell向けウェハレベルバーンイン

6T-SRAM用のWLBIモードを提案した。DRAMや4T-cellのSRAMでは同時に多数のワード線やビット線を活性化して書込み状態とするWLBIモードが可能であったが、6T-cellのSRAMでは大きな貫通電流のために不可能であった。ここでは、数10nsの短い期間だけ、通常相補に動作するビット線対を両者共にLowレベルにし、かつメモリセル電源をフローティングにすることにより、貫通電流の流れない6T-SRAM用のWLBIモード回路を提案した。このWLBIモードの面積ペナルティはなく、50psの非常に小さい速度ペナルティがある。このWLBIモードでは、貫通電流なしにロウストライプの書込みが可能で、6T-cellの全てのノードとトランジスタにDCストレスの印加が可能となる。

(3) リークビット・リダンダンシ

リークビット・リダンダンシは、6T-SRAMに存在するレイテント・ディフェクト(隠れた欠陥)による異常なリーク電流を持ちながらも通常の動作が可能なビットである「リークビット」を検出して冗長セルと置換する技術である。本章では、低品質のメモリセルを歩留の低下なしに除外するリークビット・リダンダンシを提案した。リークビット・リダンダンシは、ベアチップの初期不良率を低減し、スタンバイ電流分布を約10%改善する。その面積ペナルティは2%以下である。

(4) Cu-E-trim Fuseの回路技術

メタルゲートを使用する先端プロセスにおいても使用できるCu配線で形成された電気ヒューズであり、クラックの発生がなく切断可能なCu-E-trim Fuseにおいて、第3章で確認した信頼性をさらに高くするCu-E-trim Fuse回路とレイアウトを提案した。その提案内容は、1)切断ダメージやCuの拡散による異常なゲートリークが発生しても、電気ヒューズ回路の全リーク電流に悪影響を与えないよう、切断電流供給回路のPウェルをトリプル・ウェルを用いてP基板と電氣的に分離すること、2)ヒューズ切断部のCuのバイアスと熱による拡散を防ぐため、ヒューズの上下左右の配線層をVddに設定し、そしてVddに設定した溝状のViaとCu配線からなる壁でヒューズ切断部の周りを囲むレイアウトにより、近くに配置された他の回路へのCu汚染を防ぐことの2つである。このCu-E-trim Fuse回路では、1.2Vコア・トランジスタのみを使用しているため、CMOSプロセスのスケーリングとともに回路面積の低減が可能である。また、Cu-E-trim Fuseの切断部周辺にはクラックの発生がないため、切断トランジスタをヒューズの下層に配置

可能である。その結果、65nmノード・プロセスで、 $6 \times 36 \mu\text{m}^2$ の小面積を達成した。

これらのEmbedded SRAM向けに提案された技術は、本研究において工学的応用の効果を実デバイスにおいて実証した。また、本研究の内容は、Embedded SRAMやそれを搭載するシステムLSIやパッケージレベルのシステムの発展にむけて、大きく貢献すると確信する。

5. 2 今後の展望

前節や、序章でも述べたように、2008年現在、LSIを使用した電子機器のますますの高機能化と多くの人への普及が進み、また非接触カードによる個人認証や電子マネー、あるいは、自動車のエンジン制御やエアバックの制御などのようにエンドユーザが電子機器とは意識せずに使用する機器へのLSIの搭載が進み、暮らしのありとあらゆる場面で無意識にLSIに搭載された大小様々な規模のコンピュータを利用している社会（ユビキタス社会）が実現しようとしている。このため、LSIの市場は今後も大きく成長することは間違いない。

しかしながら、Siによるムーアの法則に基づいた微細化は技術的な限界が見えてきている。また、先端プロセスの設計コスト、マスクコスト、製造コストの増加は、先端プロセスを必要とするユーザの減少を招くことも危惧される。したがって、More Mooreと呼ばれる様々な回路技術、プロセス技術を駆使して、更なる微細化を進める動きと、More than Mooreと呼ばれるパッケージ技術などを駆使して、同一の面積に搭載されるトランジスタ数を増加させる動きの両方が、多くの研究者、研究機関により進められている。

そして、今後応用分野に応じて、使用するプロセス・ノードが異なり、180nmノード程度のプロセスは、今後も長期にわたりSoCに使用され続けられると思われる。2000年までは、先端プロセスによる微細化を進展させるプロセス技術、回路技術(More Moore)の開発が主流であった。しかし、4.2節の図4-4に示したような様々な機能のチップを1つのパッケージに搭載し、必ずしも先端プロセスを使わずにそれぞれに最適なプロセスを使用した方が低コストで高機能化が図れる可能性が出てきた。

今後は、こうしたパッケージ技術の進化に対応した回路技術の検討を進める必要があると考える。例えば、チップ間伝送を超短距離通信で行う回路技術などはその好例である[5_1]-[5_2]。また、自動車向けLSI市場の拡大をきっかけに、「ディペンダブルLSI」が注目されている。Dependableとは、頼りにできる、信頼できる、当てにできる、依存できるという意味である。従来の高品質LSIは、出荷後に通常のLSIに要求される寿命である10年間での市場不良率が非常に低く、理想はゼロppmというものである。「ディペンダブルLSI」は、この高品質LSIとは多少意味合いが変わり、さまざまモードの劣化により使用している間に故障しそうなことを故障の前にアラームを出力する機能や、あるいは、故障を自己修正（メモリであれば、自分自身で冗長セルと置換する）する機能を有するLSIである。こうした「ディペンダブルLSI」は、自動車向けだけでなく、医療用途、福祉用途、あるいは、社会の重要なインフラにLSIが使われるユビキタス社会では、LSIが高品質であるだけでは十分ではないことから、注目されるようになってきている。ISSCC'07で発表されたロジック回路の救済回路技術[5_3]がディペンダブルLSIの好例である。

このように、今後は先端プロセスの開発とそのプロセスを使いこなす回路の開発だけではなく、やや、成熟したプロセスにおいて、高機能、高品質、ディペンダブルであることを実現する技術開発も重要となると考える。

5. 3 第5章参考文献

- [5_1] Ishikuro, H.; Sugahara, T.; Kuroda, T.; “An Attachable Wireless Chip Access Interface for Arbitrary Data Rate Using Pulse-Based Inductive-Coupling through LSI Package,” in Digest of Technical Papers. ISSCC, pp. 360 - 361, 11-15 February 2007.
- [5_2] Miura, N.; Ishikuro, H.; Sakurai, T.; Kuroda, T.; “A 0.14pJ/b Inductive-Coupling Inter-Chip Data Transceiver with Digitally-Controlled Precise Pulse Shaping,” in Digest of Technical Papers. ISSCC, pp. 358 - 360, 11-15 February 2007.
- [5_3] Nakura, T.; Nose, K.; Mizuno, M.; “Fine-Grain Redundant Logic Using Defect-Prediction Flip-Flops,” in Digest of Technical Papers. ISSCC, pp. 402 - 403, 11-15 February 2007.

謝辞

本研究をまとめるにあたり、終始懇切なるご指導と御鞭撻を賜った早稲田大学大学院情報生産システム研究科・吉原務教授に心より御礼申し上げます。

また、本研究にあたり、懇篤なるご指導とご高配を賜った早稲田大学大学院情報生産システム研究科・井上靖秋教授、吉増敏彦教授、吉村猛教授に厚くお礼申し上げます。

本研究の遂行にあたり、終始ご懇切なるご教示とご鞭撻を賜り、また研究の機会を与えていただいた株式会社ルネサステクノロジ・取締役・中屋雅夫博士、同設計技術統括部長・三輪久晴氏、同副統括部長・秋山俊恭氏、元三菱電機株式会社・常務取締役・中野隆生博士、同元LSI研究所・茅野晋平博士、同元北伊丹製作所・角正氏、株式会社ルネサステクノロジ・経営企画統括部・穴見健治博士、元株式会社ルネサステクノロジ・メモリ統括部・外山毅氏、同元製品技術本部・設計技術統括部・設計基盤開発部・牧野博之博士に厚くお礼申し上げます。

本研究の遂行、及び、論文の作成にあたり、数々の御教示、御忠告を頂いた株式会社ルネサステクノロジ・製品技術本部・設計技術統括部・設計基盤開発部長・篠原尋史博士、同先端回路技術開発グループ・グループマネージャ・中瀬泰伸博士、同システムソリューション統括本部・SOC設計統括部・回路IP開発部・石橋孝一郎博士に厚く御礼申し上げます。

そして、本研究の数々の分析、解析、議論にご協力いただいた株式会社ルネサステクノロジ・製品技術本部・設計技術統括部・設計基盤開発部・新居浩二博士、塚本康正博士、藪内誠氏、同汎用製品統括本部・SRAM/EEPROM部・塩見徹氏、広瀬愛彦氏、同経営企画統括部・大庭敦氏、同生産本部 技術開発統括部・プロセス開発部・岩本猛博士、河野和史氏、同技術企画部・西村安正博士、同テスト技術開発部・米津俊明氏、同システムソリューション統括本部・SOC設計統括部・Embedded Memoryセンタ・木原雄治博士、内田孝裕氏、同回路IP開発部・荒川政司氏、同マイコン統括本部・マイコン技術開発統括部・MCUデバイスプラットフォーム開発部・浮田求氏、佐藤広利氏、株式会社ルネサスデザイン・今岡進氏、株式会社シキノハイテック・小田祐士氏、大王電機株式会社・岡本泰之氏、臼井啓一氏、元三菱電機株式会社・北伊丹製作所・松尾龍二氏、和田知久博士、村上修二博士、元株式会社ルネサステクノロジ・知的財産統括部・有田豊博士、株式会社日立製作所・中央研究所・山岡雅直博士に心から感謝いたします。

本研究の試作デバイスの開発にあたって、ご協力と有益な議論をいただいた株式会社ルネサステクノロジ・生産本部・技術開発統括部・SOCデバイス開発部・山口泰男博士、塚本和宏氏、石井敦氏、竹内雅彦氏、大芦敏行氏、五十嵐元繁氏、技術企画部・大西

和博氏、同MSIGデバイス開発部・本田裕己氏、同MCUデバイス開発部・石垣佳之氏、牧幸生氏に心より感謝いたします。

末筆ながら、本研究の期間中終始有益なご討論と協力をいただいた株式会社ルネサステクノロジ・設計技術統括部、同SOC設計統括部、同技術開発統括部、大王電機株式会社、元三菱電機株式会社LSI研究所、元同北伊丹製作所の各位に心から感謝いたします。

そして、本研究の遂行を終始、精神面、生活面で支えてくれた妻 千雪、長男 祐樹、長女 あかりに心から感謝の意を表したい。

研究業績目録

学術誌原著論文(1st Author)

1. Ohbayashi, S.; Yabuuchi, M.; Kono, K.; Oda, Y.; Imaoka, S.; Usui, K.; Yonezu, T.; Iwamoto, T.; Nii, K.; Tsukamoto, Y.; Arakawa, M.; Uchida, T.; Okada, M.; Ishii, A.; Makino, H.; Ishibashi, K.; Shinohara, H.; “A 65 nm Embedded SRAM with Wafer Level Burn-In Mode, Leak-Bit Redundancy and Cu E-trim Fuse for Known Good Die,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 43, No.1, pp. 96-108, January 2008.
2. Ohbayashi, S.; Yabuuchi, M.; Nii, K.; Tsukamoto, Y.; Imaoka, S.; Oda, Y.; Igarashi, M.; Takeuchi, M.; Kawashima, H.; Makino, H.; Yamaguchi, Y.; Tsukamoto, K.; Inuishi, M.; Ishibashi, K.; Shinohara, H.; “A 65-nm SoC Embedded 6T-SRAM Designed for Manufacturability With Read and Write Operation Stabilizing Circuits,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 42, No.4, pp. 820 - 829, April 2007.
3. 大林 茂樹, 塩見徹, 松尾龍一, 本田裕己, 石垣佳之, 宇賀公治, 石田雅宏, 河野芳雄, 角正, “ビット線負荷交互配置構成を用いた 5ns 32Kx8/x9 Bi-CMOS TTL SRAM,” 信学論 (C-II), Vol. J76-C-II, No. 7, pp. 511-520, 1993-7.
4. 大林 茂樹, 塩見徹, 大庭敦, 本田裕己, 石垣佳之, 日根史郎, 穴見健二, 角正, 鈴木公男, “融合型 Bi-nMOS ゲートを用いた同期式 256K Bi-CMOS ECL RAM,” 信学論 (C-II), Vol. J75-C-II, No. 7, pp. 340-345, 1992-7.

<Letter>

1. Ohbayashi, S.; Wada, T.; Hirose, T.; Anami, K.; “A Study on Fanout Optimization of SRAM Decoder with a Line Capacitance,” IEICE TRANS. ELECTRON, VOL. E73, No. 11, pp. 1855-1857, November 1990.

学術誌原著論文(Co- Author)

1. Nii, K.; Yabuuchi, M.; Tsukamoto, Y.; Ohbayashi, S.; Imaoka, S.; Makino, H.; Yamagami, Y.; Ishikura, S.; Terano, T.; Oashi, T.; Hashimoto, K.; Sebe, A.; Okazaki, G.; Satomi, K.; Akamatsu, H.; Shinohara, H.; “A 45nm Low-Standby-Power Embedded SRAM with Improved Immunity Against Process and Temperature Variations,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 43, No. 1, pp. 180-191, January 2008.
2. Kono, K.; Yonezu, T.; Ohbayashi, S.; Arakawa, M.; Asano, Y.; Uchida, T.; Iwamoto, T.; “A Crackless and High Reliable Cu eTrim Fuse using the Pinch Effect for 65nm,” Advanced Metallization Conference 2006 (AMC 2006), 2007 Materials Research Society, pp. 671-676, 2007.
3. Sato, H.; Wada, T.; Ohbayashi, S.; Kozaru, K.; Okamoto, Y.; Higashide, Y.; Shimizu, T.; Maki, Y.; Morimoto, R.; Otoi, H.; Koga, T.; Honda, H.; Taniguchi, M.; Arita, Y.; Shiomi, T.; “A 500MHz Pipelined Burst SRAM with Improved SER Immunity,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 34, No. 11, pp. 1571 - 1579, November 1999.
4. Sato, H.; Ohbayashi, S.; Okamoto, Y.; Kondoh, S.; Wada, T.; Matsuo, R.; Yamada,

- M.; Yasuoka, A.; “111MHz 1Mbit CMOS Synchronous Burst SRAM using a Clock Activation Control Method,” IEICE TRANS. ELECTRON., VOL. E79-C, No. 6, pp. 735-742, June 1996.
5. Shiomi, T.; Wada, T.; Ohbayashi, S.; Ohba, A.; Honda, H.; Ishigaki, Y.; Hine, S.; Anami, K.; Suzuki, K.; Sumi, T.; “A 5.8-ns 256-Kb BiCMOS TTL SRAM with T-Shaped Bit Line Architecture,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 28, No. 12, pp. 1362 - 1369, December 1993.
 6. Ohba, A.; Ohbayashi, S.; Shiomi, T.; Takano, S.; Anami, K.; Honda, H.; Ishigaki, Y.; Hatanaka, M.; Nagao, S.; Kayano, S.; “A 7ns 1Mb BiCMOS ECL SRAM with Shift Redundancy,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 26, No. 4, pp. 507 - 512, April 1991.

国際学会講演（査読あり）

1. Ishikura, S.; Kurumada, M.; Terano, T.; Yamagami, Y.; Kotani, N.; Satomi, K.; Nii, K.; Yabuuchi, M.; Tsukamoto, Y.; Ohbayashi, S.; Oashi, T.; Makino, H.; Shinohara, H.; Akamatsu, H.; “A 45nm 2port 8T-SRAM using hierarchical replica bitline technique with immunity from simultaneous R/W access issues,” in Symposium VLSI Circuits, 2007. Digest of Technical Papers, pp. 254 - 255, 14-16 June 2007.
2. Hirano, Y.; Tsujiuchi, M.; Ishikawa, K.; Shinohara, H.; Terada, T.; Maki, Y.; Iwamatsu, T.; Eikyu, K.; Uchida, T.; Ohbayashi, S.; Nii, K.; Tsukamoto, Y.; Yabuuchi, M.; Ipposhi, T.; Oda, H.; Inoue, Y.; “A Robust SOI SRAM Architecture by using Advanced ABC technology for 32nm node and beyond LSTP devices,” in Symposium VLSI Technology, 2007. Digest of Technical Papers, pp. 78 - 79, 12-14 June 2006.
3. Fujii, M.; Nii, K.; Makino, H.; Ohbayashi, S.; Igarashi, M.; Kawamura, T.; Yokota, M.; Tsuda, N.; Yoshizawa, T.; Tsutsui, T.; Takeshita, N.; Murata, N.; Tanaka, T.; Fujiwara, T.; Asahina, K.; Okada, M.; Tomita, K.; Takeuchi, M.; Shinohara, H.; “A Large Scale, Flip-Flop RAM imitating a logic LSI for fast development of process technology,” in Microelectronic Test Structures, 2007. ICMTS '07. IEEE International Conference, pp. 131 - 134, 19-22 March 2007.

ベストペーパー・アワードを受賞

4. Yabuuchi, M.; Nii, K.; Tsukamoto, Y.; Ohbayashi, S.; Imaoka, S.; Makino, H.; Yamagami, Y.; Ishikura, S.; Terano, T.; Oashi, T.; Hashimoto, K.; Sebe, A.; Okazaki, G.; Satomi, K.; Akamatsu, H.; Shinohara, H.; “A 45nm Low-Standby-Power Embedded SRAM with Improved Immunity Against Process and Temperature Variations,” in Digest of Technical Papers. ISSCC, pp. 326 - 327, 12-14 February 2007.
5. Ohbayashi, S.; Yabuuchi, M.; Kono, K.; Oda, Y.; Imaoka, S.; Usui, K.; Yonezu, T.; Iwamoto, T.; Nii, K.; Tsukamoto, Y.; Arakawa, M.; Uchida, T.; Okada, M.; Ishii, A.; Makino, H.; Ishibashi, K.; Shinohara, H.; “A 65nm Embedded SRAM with Wafer-Level Burn-In Mode, Leak-Bit Redundancy and E-Trim Fuse for Known Good Die,” in Digest of Technical Papers. ISSCC, pp. 488 - 489, 12-14 February 2007.

6. Ishibashi, K. ; Ohbayashi, S. ; Eikyu, K. ; Tanizawa, M. ; Tsukamoto, Y. ; Osada, K. ; Miyazaki, M. ; Yamaoka, M. ; "Circuit Technologies for Reducing the Power of SOC and Issues on Transistor Models," in International Electron Devices Meeting (IEDM), pp. 1 - 4, December 2006.
7. Nii, K. ; Masuda, Y. ; Yabuuchi, M. ; Tsukamoto, Y. ; Ohbayashi, S. ; Imaoka, S. ; Igarashi, M. ; Tomita, K. ; Tsuboi, N. ; Makino, H. ; Ishibashi, K. ; Shinohara, H. ; "A 65 nm Ultra-High-Density Dual-port SRAM with 0.71 μ m² 8T-cell for SoC," in Symposium VLSI Circuits, 2006. Digest of Technical Papers, pp. 130 - 131, 15-17 June 2006.
8. Ohbayashi, S. ; Yabuuchi, M. ; Nii, K. ; Tsukamoto, Y. ; Imaoka, S. ; Oda, Y. ; Igarashi, M. ; Takeuchi, M. ; Kawashima, H. ; Makino, H. ; Yamaguchi, Y. ; Tsukamoto, K. ; Inuishi, M. ; Ishibashi, K. ; Shinohara, H. ; "A 65 nm SoC Embedded 6T-SRAM Design for Manufacturing with Read and Write Cell Stabilizing Circuits," in Symposium VLSI Circuits, 2006. Digest of Technical Papers, pp. 17 - 18, 15-17 June 2006.
9. Kono, K. ; Yonezu, T. ; Ohbayashi, S. ; Arakawa, M. ; Asano, Y. ; Uchida, T. ; Iwamoto, T. ; "A crackless and high reliable Cu eTrim fuse using the pinch effect for 65nm," in Advanced Metallization Conference (ADMTA 2006): 16th Asian Session, pp. 126-127, September 2006.
10. Tsukamoto, Y. ; Nii, K. ; Imaoka, S. ; Oda, Y. ; Ohbayashi, S. ; Yoshizawa, T. ; Makino, H. ; Ishibashi, K. ; Shinohara, H. ; "Worst-case analysis to obtain stable read/write DC margin of high density 6T-SRAM-array with local V_{th} variability," in International Conference Computer-Aided Design (ICCAD-2005), pp. 398 - 405, 6-10 November 2005.
11. Wada, T. ; Ohbayashi, S. ; Sato, H. ; Kozaru, K. ; Okamoto, Y. ; Higashide, Y. ; Shimizu, T. ; Maki, Y. ; Morimoto, R. ; Otoi, H. ; Koga, T. ; Honda, H. ; Taniguchi, M. ; Arita, Y. ; Shiomi, T. ; "A 500 MHz pipelined burst SRAM with improved SER immunity," in Digest of Technical Papers. ISSCC, pp. 196 - 197, 15-17 February 1999.
12. Ishigaki, Y. ; Kuriyama, H. ; Honda, H. ; Kohno, Y. ; Tsuchimoto, J. ; Sakamori, S. ; Kinoshita, A. ; Hirose, T. ; Ohbayashi, S. ; Ashida, M. ; Matsuo, H. ; Miyoshi, H. ; "Low parasitic resistance technologies with NES-SAC and SWT-CVD process for low supply voltage, high speed BiCMOS SRAMs," in Symposium VLSI Technology, 1994. Digest of Technical Papers, pp. 99 - 100, 7-9 June 1994.
13. Honda, H. ; Uga, K. ; Ishida, M. ; Ishigaki, Y. ; Takahashi, J. ; Shiomi, T. ; Ohbayashi, S. ; Kohno, Y. ; "A high performance 0.6 μ m BiCMOS SRAM technology with emitter-base self-aligned bipolar transistors and retrograde well for MOS transistors," in Symposium VLSI Technology, 1992. Digest of Technical Papers, pp. 34 - 35, 2-4 June 1992.
14. Shiomi, T. ; Wada, T. ; Ohbayashi, S. ; Ohba, A. ; Honda, H. ; Ishigaki, Y. ; Hatanaka, M. ; Nagao, S. ; Anami, K. ; Sumi, T. ; "New bit line architecture for ultra high speed SRAMs-T-shaped bit line and its real application to 256 k BiCMOS TTL SRAM," in Custom Integrated Circuits Conference (CICC), 1991. Proceedings, pp. 10.4/1 - 10.4/4, 12-15 May 1991.
15. Ohba, A. ; Ohbayashi, S. ; Shiomi, T. ; Takano, S. ; Anami, K. ; Honda, H. ; Ishigaki,

Y.; Hatanaka, M.; Nagao, S.; Kayano, S.; "A 7 ns 1 Mb BiCMOS ECL SRAM with program-free redundancy," in Symposium VLSI Circuits, 1990. Digest of Technical Papers, pp. 41 - 42, 7-9 June 1990.

国内学会講演（主として研究会－査読なし）

1. 塚本康正, 新居浩二, 藪内 誠, 大林 茂樹, 永久克己, 谷沢元昭, 石川清志, 牧野博之, 篠原尋史, 石橋孝一郎, "SRAM セル設計に対するトランジスタ特性ばらつきの影響について," 応用物理学会分科会, シリコンテクノロジー, No. 94, STM07-04, pp. 17-20, 2007-07.
2. 大林 茂樹(パネリスト), 吉本雅彦(オーガナイザ), "[パネル討論] 45nm 時代以降の SRAM の諸問題と解決策," 集積回路研究会 (ICD), in 大分県・湯布院・七色の風, 12 April 2007.
3. 大林 茂樹, 藪内 誠, 河野和史, 小田祐士, 今岡 進, 臼井啓一, 米津俊明, 岩本猛, 新居浩二, 塚本康正, 荒川政司, 内田孝裕, 牧野博之, 石橋孝一郎, 篠原尋史, "[Invited Talk] A 65 nm Embedded SRAM with Wafer Level Burn-In Mode, Leak-Bit Redundancy and E-trim Fuse for Known Good Die," 電子情報通信学会 技術研究報告, Vol. 107, No. 1, ICD2007-11, pp. 59-64, April 2007.
4. 藪内 誠, 大林 茂樹, 新居浩二, 塚本康正, 今岡 進, 五十嵐元繁, 竹内雅彦, 川島 光, 牧野博之, 山口泰男, 塚本和宏, 犬石昌秀, 石橋孝一郎, 篠原尋史, "65nm 混載 SRAM での動作マージン改善回路," 電子情報通信学会 技術研究報告, Vol. 106, No. 207, ICD2006-105, pp. 149-153, August 2006.
5. 今岡 進, 新居浩二, 増田康浩, 藪内 誠, 塚本康正, 大林 茂樹, 五十嵐元繁, 富田和朗, 坪井信生, 牧野博之, 石橋孝一郎, 篠原尋史, "超高集積を実現した 65nm テクノロジーの SoC 向けデュアルポート SRAM の開発," 電子情報通信学会 技術研究報告, Vol. 106, No. 206, SDM2006-148, pp. 133-136, August 2006.
6. 塚本康正, 新居浩二, 今岡 進, 小田祐士, 大林 茂樹, 藪内 誠, 牧野博之, 石橋孝一郎, 篠原尋史, "Worst-Case Analysis to Obtain Stable Read/Write DC Margin of High Density 6T-SRAM-Array with Local Vth Variability," 電子情報通信学会 技術研究報告, Vol. 106, No. 2, ICD2006-18, pp. 97-102, April 2006.
7. 大林 茂樹, 和田知久, 佐藤広利, 小猿邦彦, 東出佳子, 清水禎之, 牧 幸生, 古賀剛, 本田裕己, 有田 豊, 塩見 徹, 岡本泰之, "ソフトウェア耐性を向上させた 500MHz 動作パイプラインバースト SRAM," 電子情報通信学会 技術研究報告, Vol. 99, No. 94, ICD99-36, pp. 63-70, May 1999.
8. 広瀬愛彦, 大林 茂樹, 藤野良幸, 早坂 隆, 細金 明, 石垣佳之, 栗山祐忠, 牧幸生, 本田裕己, 西村安正, "低電圧マージンを拡大した 1M ビット BiCMOS TTL SRAM," 電子情報通信学会 技術研究報告, Vol. 93, No. 349, SDM93-151, pp. 85-92, November 1993.
9. 大林 茂樹, 塩見 徹, 荒 修, 松尾龍一, 本田裕己, 石垣佳之, 宇賀公治, 石田雅宏, 河野芳雄, 角 正, "ビット線交互配置構成を用いた 5ns 32Kx8/x9 BiCMOS TTL STRAM," 電子情報通信学会 技術研究報告, Vol. 92, No. 240, SDM92-72, pp. 57-63, September 1992.
10. 大林 茂樹, 塩見 徹, 大庭 敦, 本田裕己, 石垣佳之, 日根史郎, 穴見健治, 角

正, "256K BiCMOS ECL SRAM の開発," 電子情報通信学会 技術研究報告, Vol. 91, No. 98, CAS91-60, pp. 131-136, June 1991.

11. 高橋 潤, 塩見 徹, 和田知久, 大林 茂樹, 大庭 敦, 石垣佳之, 本田裕己, 日根史郎, 穴見健治, 角 正, "超高速 SRAM に適したビット線構成 - T 字ビット線構成と BiCMOS 256K TTL SRAM への適用 -, " 電子情報通信学会 技術研究報告, Vol. 91, No. 98, CAS91-58, pp. 117-123, June 1991.
12. 大庭 敦, 大林 茂樹, 塩見 徹, 本田裕己, 石垣佳之, 畑中正宏, 長尾繁雄, 穴見健治, "[招待講演] アクセス時間 7ns の 1Mb BiCMOS ECL RAM," 電子情報通信学会 技術研究報告, Vol. 90, No. 140, SDM90-62, pp. 29-35, July 1990.
13. 大林 茂樹, 和田知久, 広瀬愛彦, 穴見健治, "固定容量を考慮した SRAM デコーダのファンアウト最適化の一検討," 1990 年電子情報通信学会 秋季全国大会, C-572, p. 5-240, October 1990.

US Patent

1. 7,076,705; July 11, 2006; "Semiconductor integrated circuit having bonding optional function," Ohbayashi; Shigeki →ボンディングオプションピンに電流が流れないようにする (Network SRAM)
2. 7,038,925; May 2, 2006; "Static semiconductor memory device having T-type bit line structure," Ohbayashi; Shigeki →Network SRAM の T 型ビット線のレイアウト (Network SRAM)
3. 6,976,200; December 13, 2005; "Semiconductor integrated circuit having bonding optional function," Ohbayashi; Shigeki →ボンディングオプションピンに電流が流れないようにする (Network SRAM)
4. 6,891,743; May 10, 2005; "Semiconductor memory device having a capacitive plate to reduce soft errors," Ohbayashi; Shigeki, Ishigaki; Yoshiyuki, Yokoyama; Takahiro →ストレートゲート横長型メモリセル (Network SRAM)
5. 6,812,574; November 2, 2004; "Semiconductor storage device and method of fabricating the same," Tomita; Hidemoto; Ohbayashi; Shigeki, Ishigaki; Yoshiyuki →ストレートゲート横長型メモリセル (Network SRAM)
6. 6,781,869; August 24, 2004; "Semiconductor memory," Ohbayashi; Shigeki, Ishigaki; Yoshiyuki, Yokoyama; Takahiro →横長型セルにソフトエラー対策の容量をつける
7. 6,741,510; May 25, 2004; "Semiconductor memory device capable of performing burn-in test at high speed," Ohbayashi; Shigeki, Kashihara; Yoji, Yokoyama; Takahiro →Network SRAM のバーンインモード時の同時ワード線立ち上げ方式 (Network SRAM)
8. 6,714,478; March 30, 2004; "Semiconductor memory device having divided word line structure," Tomita; Hidemoto, Ukita; Motomu, Ohbayashi; Shigeki, Kashihara; Yoji →ノーマリ ON 型ローカルデコーダのバーンインモード対策 (Network SRAM)
9. 6,711,070; March 23, 2004; "Semiconductor memory device operating in synchronization with clock signal," Kashihara; Yoji; Ohbayashi; Shigeki →ワ

イヤードOR型コンパレータ(Network SRAM)

10. 6,710,634; March 23, 2004; "Power on reset circuit," Ohbayashi; Shigeki, Shimizu; Tadayuki →低電圧パワーオンリセット回路(Network SRAM)
11. 6,704,238; March 9, 2004; "Semiconductor memory device including data bus pairs respectively dedicated to data writing and data reading," Izutsu; Takashi, Ohbayashi; Shigeki, Kashihara; Yoji →バーンインモード時にリードデータバスもストレスを印加する
12. 6,597,041; July 22, 2003; "Semiconductor static random access memory device," Ohbayashi; Shigeki →セルフアラインコンタクト使用の横長型SRAMセル
13. 6,597,041; July 22, 2003; "Semiconductor static random access memory device," Ohbayashi; Shigeki →セルフアラインコンタクト使用の横長型SRAMセル
14. 6,559,489; June 3, 2003; "Semiconductor memory device and testing method therefor," Ohbayashi; Shigeki, Kashihara; Yoji, Ukita; Motomu →リークビット・リダグンダンシ(Network SRAM)
15. 6,574,159; May 6, 2003; "Semiconductor device and method of manufacturing the same," Kosugi; Ryuichi; Ohbayashi; Shigeki →周辺回路のセルフアラインコンタクト
16. 6,556,058; April 29, 2003; "Power on reset circuit," Ohbayashi; Shigeki, Shimizu; Tadayuki →低電圧パワーオンリセット回路(Network SRAM)
17. 6,535,441; March 18, 2003; "Static semiconductor memory device capable of accurately detecting failure in standby mode," Senda; Minoru, Ohbayashi; Shigeki →テストモードで6T-SRAMセルのリテンション電圧を V_{th} まで下げて不良を発見する
18. 6,521,951; February 18, 2003; "Semiconductor circuit device with improved surge resistance," Sato; Hirotooshi, Ohbayashi; Shigeki →VddI からVddへのダイオードを配置するダイオードの構造(PB3第2世代)
19. 6,479,860; November 12, 2002; "Semiconductor memory device," Ohbayashi; Shigeki →Flashプロセス応用した容量付横長型SRAM
20. 6,469,552; October 22, 2002; "Power on reset circuit," Ohbayashi; Shigeki, Shimizu; Tadayuki →低電圧パワーオンリセット回路(Network SRAM)
21. 6,452,269; September 17, 2002; "Semiconductor integrated circuit having power supply pin," Ohbayashi; Shigeki →Network SRAMでVddIピンをユーザに隠してアサインする
22. 6,388,857; May 14, 2002; "Semiconductor circuit device with improved surge resistance," Sato; Hirotooshi, Ohbayashi; Shigeki →VddI からVddへのダイオードを配置する(PB3第2世代)
23. 6,373,760; April 16, 2002; "Static type semiconductor memory device adopting a redundancy system," Ohbayashi; Shigeki →ヒューズを含むプログラム回路の信号を受けるメモリセルへの電源スイッチを遮断する。(ラッチアップ対策)
24. 6,320,802; November 20, 2001; "Program circuit suppressing stand-by current and permitting highly reliable operation, and semiconductor memory device using the program circuit," Ohbayashi; Shigeki →スタンバイ電流の流れないヒューズ判定

回路

25. 6, 314, 037; November 6, 2001; “Semiconductor integrated circuit device using BiCMOS technology,” Shiomi; Toru, Ohbayashi; Shigeki →ライトリカバリの早いビット線負荷回路 (32Kx8/x9 BiCMOS)
26. 6, 301, 678; October 9, 2001; “Test circuit for reducing test time in semiconductor memory device having multiple data input/output terminals,” Sato; Hirotohi, Wada; Tomohisa, Ohbayashi; Shigeki →同測数を増やすために 336-I0 を 4-I0 に縮退 (PB3 第 2 世代)
27. 6, 295, 222; September 25, 2001; “Semiconductor memory device with two layers of bit lines,” Higashide; Yoshiko, Ohbayashi; Shigeki →配線に対して Via ホールが大きいプロセスでの Bit 線の配線方法
28. 6, 229, 365; May 8, 2001; “Semiconductor integrated circuit device operating stably at a plurality of power supply voltage levels,” Iketani; Masayuki, Ohbayashi; Shigeki →入力初段の最適なディメンジョンをボンディングオプションで切り替える (PB3 第 1 世代)
29. 6, 141, 269; October 31, 2000; “Semiconductor integrated circuit device using BiCMOS technology,” Shiomi; Toru, Ohbayashi; Shigeki →ビット線交互配置の冗長回路、ワードデコーダの両側にシフトリダンダンシ (32Kx8/x9 BiCMOS)
30. 6, 088, 820; July 11, 2000; “Static semiconductor memory device having test mode,” Jyo; Ken, Ohbayashi; Shigeki →テストモードで高抵抗型メモリセルの電源を下げてリテンションテストの時短を狙う
31. 5, 991, 223; November 23, 1999; “Synchronous semiconductor memory device operable in a burst mode,” Kozaru; Kunihiro, Ohbayashi; Shigeki →バーストアドレスを BLK 切り替えに割り付ける (PB3 第 1 世代)
32. 5, 875, 089; February 23, 1999; “Input protection circuit device,” Higashide; Yoshiko, Ohbayashi; Shigeki →Vdd につながれた NMOS のみの入力保護回路 (GND へは P 基板の接合でサージを抜く (PB1))
33. 5, 781, 468; July 14, 1998; “Semiconductor memory device comprising two kinds of memory cells operating in different access speeds and methods of operating and manufacturing the same,” Matsuo; Ryuichi, Wada; Tomohisa, Hirayama; Kazutoshi, Ohbayashi; Shigeki →DRAM と SRAM を同一チップに作成した特殊 RAM
34. 5, 764, 573; June 9, 1998; “Semiconductor device capable of externally and readily identifying set bonding optional function and method of identifying internal function of semiconductor device,” Iketani; Masayuki, Ohbayashi; Shigeki →ボンディングオプションで複数の動作モードをもつチップで、テストモード時のあるピンの入力リークの有無で動作モードの判別を行う (PB1)
35. 5, 734, 281; March 31, 1998; “Semiconductor integrated circuit for outputting an intermediate potential,” Morishima; Chikayoshi, Ohbayashi; Shigeki →パワーオンリセットで中間電位のリファレンス電位をプリセットする (PB2)
36. 5, 708, 802; January 13, 1998; “Semiconductor memory device,” Morishima; Chikayoshi, Ohbayashi; Shigeki →MODE ピンをばたばたさせることでテストモードに入る (PB1)

37. 5, 703, 510; December 30, 1997; "Power on reset circuit for generating reset signal at power on," Iketani; Masayuki, Ohbayashi; Shigeki →ラッチ型のパワーオンリセット回路
38. 5, 684, 750; November 4, 1997; "Semiconductor memory device with a sense amplifier including two types of amplifiers," Kondoh; Setsu, Ohbayashi; Shigeki →レベルシフト+1 s tセンスアンプ+ラッチ型センスアンプ(PB1)
39. 5, 666, 324; September 9, 1997; "Clock synchronous semiconductor memory device having current consumption reduced," Kosugi; Ryuichi, Ohbayashi; Shigeki →シンクロナスSRAMでクロックパルスを複数発生する(PB1)
40. 5, 663, 905; September 2, 1997; "Semiconductor memory device comprising two kinds of memory cells operating in different access speeds and methods of operating and manufacturing the same," Matsuo; Ryuichi, Wada; Tomohisa, Hirayama; Kazutoshi, Ohbayashi; Shigeki →DRAMとSRAMを同一チップに作成した特殊RAM
41. 5, 659, 513; August 19, 1997; "Static semiconductor memory device having improved characteristics," Hirose; Toshihiko, Ohbayashi; Shigeki, Kondo; Setsu, Hayasaka; Takashi, Fujino; Yoshiyuki, Iketani; Masayuki →リードの高速化(3.3V BiCMOS)
42. 5, 629, 900; May 13, 1997; "Semiconductor memory device operable to write data accurately at high speed," Hirose; Toshihiko, Ohbayashi; Shigeki, Kondo; Setsu, Hayasaka; Takashi, Fujino; Yoshiyuki, Iketani; Masayuki →ライト後リードの高速化(3.3V BiCMOS)
43. 5, 602, 798; February 11, 1997; "Synchronous semiconductor memory device operable in a snooze mode," Sato; Hirotooshi, Ohbayashi; Shigeki →ZZピンの経路に遅延を挿入(PB1)
44. 5, 555, 522; September 10, 1996; "Semiconductor memory having redundant cells," Anami; Kenji, Ohbayashi; Shigeki, Inoue; Osamu →冗長回路の使用の有無をダミーメモリセルに記憶させる
45. 5, 544, 105; August 6, 1996; "Static semiconductor memory device having circuitry for lowering potential of bit lines at commencement of data writing," Hirose; Toshihiko, Ohbayashi; Shigeki, Kondo; Setsu, Hayasaka; Takashi, Fujino; Yoshiyuki, Iketani; Masayuki →ライトリカバリを高速化するための遅延制御(3.3V BiCMOS)
46. 5, 515, 326; May 7, 1996; "Static semiconductor memory device having circuitry for lowering potential of bit lines at commencement of data writing," Hirose; Toshihiko, Ohbayashi; Shigeki, Kondo; Setsu, Hayasaka; Takashi, Fujino; Yoshiyuki, Iketani; Masayuki →ライトリカバリを高速化するための遅延制御(3.3V BiCMOS)
47. 5, 506, 805; April 9, 1996; "Static semiconductor memory device having circuitry for enlarging write recovery margin," Hirose; Toshihiko, Ohbayashi; Shigeki, Kondo; Setsu, Hayasaka; Takashi, Fujino; Yoshiyuki, Iketani; Masayuki →ライトリカバリを高速化するための遅延制御(3.3V BiCMOS)
48. 5, 491, 655; February 13, 1996; "Semiconductor memory device having non-selecting level generation circuitry for providing a low potential during reading mode and

- high level potential during another operation mode,” Hirose; Toshihiko, Ohbayashi; Shigeki, Kondo; Setsu, Hayasaka; Takashi, Fujino; Yoshiyuki, Iketani; Masayuki →BiCMOS-SRAM 用ビット線負荷回路(3.3V BiCMOS)
49. 5,274,597; December 28, 1993; “Semiconductor memory device capable of driving divided word lines at high speed,” Ohbayashi; Shigeki, Ohba; Atsushi, Shiomi; Toru →大林型ローカルデコーダ
50. 5,223,744; June 29, 1993; “Semiconductor integrated circuit with circuits for generating stable reference potential,” Ohbayashi; Shigeki, Ohba; Atsushi, Anami; Kenji →ECL 入力バッファの閾値を大面積でも安定化を目的とした階層型リファレンス回路発生回路(256K ST-RAM)
51. 5,222,045; June 22, 1993; “Semiconductor memory device operable with power supply voltage variation,” Ohbayashi; Shigeki, Ohba; Atsushi →バイポーラ・センスアンプのNMOS 定電流源のゲート電圧をカレントミラーで作成
52. 5,216,298; June 1, 1993; “ECL input buffer for BiCMOS,” Ohba; Atsushi, Ohbayashi; Shigeki →特殊 ECL 入力バッファ
53. 5,148,060; September 15, 1992; “ECL input buffer for BiCMOS,” Ohba; Atsushi, Ohbayashi; Shigeki →特殊 ECL 入力バッファ
54. 5,138,201; August 11, 1992; “Sense amplifier operable under variable power supply voltage,” Ohbayashi; Shigeki, Ohba; Atsushi →バイポーラ・センスアンプのNMOS 定電流源のゲート電圧をカレントミラーで作成
55. 5,124,589; June 23, 1992; “Semiconductor integrated circuit capable of synchronous and asynchronous operations and operating method therefor,” Shiomi; Toru, Ohbayashi; Shigeki, Ohba; Atsushi →出力レジスタをスルーにするテストモード(256K ST-RAM)
56. 4,977,337; December 11, 1990; “Bi-CMOS logic circuit,” Ohbayashi; Shigeki, Asahina; Katsushi →特殊 BiCMOS ゲート

日本成立特許

1. 特許第 3938410 号; 平成 19 年 4 月 6 日; 森嶋 哉圭、大林 茂樹 “半導体集積回路” →パワーオンリセットで中間電位のリファレンス電位をプリセットする(PB2)
2. 特許第 3910078 号; 平成 19 年 2 月 2 日; 大林 茂樹、檜原 洋次、浮田 求 “半導体記憶装置および半導体記憶装置のテスト方法” →リークビット・リダンダンシ(Network SRAM)
3. 特許第 3884976 号; 平成 19 年 2 月 21 日; 大林 茂樹、檜原 洋次、横山 岳宏 “半導体記憶装置およびテスト方法” →Network SRAM のバーンインモード時の同時ワード線立ち上げ方式(Network SRAM)
4. 特許第 3728356 号; 平成 17 年 12 月 21 日; 池谷 正之、大林 茂樹 “半導体装置” →ボンディングオプションで複数の動作モードをもつチップで、テストモード時のあるピンの入力リークの有無で動作モードの判別を行う(PB1)
5. 特許第 3530574 号; 平成 16 年 5 月 24 日; 穴見 健治、大林 茂樹、井上 長武 “半導体記憶装置” →冗長回路の使用の有無をダミーメモリセルに記憶させる

6. 特許第 3188220 号; 平成 13 年 7 月 16 日; 大林 茂樹、塩見 徹 “半導体集積回路装置” →ビット線負荷回路 (32Kx8/x9 BiCMOS)
7. 特許第 3084257 号; 平成 12 年 9 月 4 日; 大林 茂樹、塩見 徹 “半導体集積回路装置” →ビット線交互配置の冗長回路、ワードデコーダの両側にシフトリダンダンシ (32Kx8/x9 BiCMOS)
8. 特許第 2717740 号; 平成 10 年 2 月 25 日; 大林 茂樹、塩見 徹 “半導体集積回路装置” →BiCMOS TTL 入力バッファ (32Kx8/x9 TTL BiCMOS)
9. 特許第 2683948 号; 平成 9 年 12 月 3 日; 大林 茂樹、大庭 敦、穴見 健治 “半導体集積回路” →ECL 入力バッファの閾値を大面積でも安定化を目的とした階層型リフレンス回路発生回路 (256K ST-RAM)
10. 特許第 2533399 号; 平成 8 年 9 月 11 日; 大林 茂樹、大庭 敦 “センスアンプ” →バイポーラ・センスアンプの NMOS 定電流源のゲート電圧をカレントミラーで作成
11. 特許第 2519580 号; 平成 8 年 7 月 31 日; 塩見 徹、大林 茂樹、大庭 敦 “半導体記憶装置” →出力レジスタをスルーにするテストモード (256K ST-RAM)
12. 特許第 2507164; 平成 8 年 6 月 12 日; 大林 茂樹、大庭 敦、塩見 徹 “半導体記憶装置” →大林型ローカルデコーダ
13. 特公平 7-95681; 平成 7 年 10 月 11 日; 大林 茂樹、朝比奈 克志 “BiCMOS 論理回路” →特殊 BiCMOS ゲート

その他の業績

< 学術誌原著論文 >

1. 大林 茂樹、縄手雅彦、本多茂男、楠田哲三, “TbCo, TbFe スパッタ膜の飽和磁化と膜組織に及ぼす Ar 圧力依存性”, 信学論 (C), Vol. J70-C No. 3, pp. 396-407, 1987-3.
2. 大越正敏, 原田光昭, 大林 茂樹, 本多茂男, 楠田哲三, “非晶質 TbCo スパッタ膜の磁気特性と膜構造”, 真空, 第 29 巻 4 号, 日本真空協会, pp. 206-211, 1986.

< 国際学会講演 (査読あり) >

1. Ohbayashi, S.; Nawate M.; Ohkoshi, M.; Honda, S.; Kusuda, T.; Nishiyama, F.; “SUBSTRATE BIAS EFFECTS ON FILM STRUCTURES OF TbFe SPUTTERED FILMS” in Advances Magneto-Optics, Proc. Int. Symp. Magneto-Optics, J. Magn. Soc. Jpn. Vol. 11, Supplement, No. S1, pp. 229 - 232, 1987.

以上