

# 博士論文概要

## 論文題目

InP プラットフォーム  
光通信用 超高速 IC・OEIC の研究

Study of Ultra-fast ICs and OEICs for Optical  
Communication Systems on InP Platform

### 申請者

氏名

佐野	公一
Kimikazu	Sano

専攻・研究指導  
(課程内のみ)

--

2004 年 5 月

インターネットに代表される情報通信の進展に伴い、急増する通信量に対応するべく、高速・大容量な光ファイバ通信システムの構築が望まれている。電気集積回路(IC)は光通信システムにおいて信号の多重・分離・再生・識別等の処理を司るキー部品であり、高速・大容量な光ファイバ通信システムの実現には電気 IC の高速化が必須である。本研究は、高速性および光電変換特性に優れた InP ベースの電子デバイス及び光電変換デバイスを用い、伝送速度 40Gbit/s 更には 100Gbit/s 級の超高速・大容量光ファイバ通信システムに適用可能な、世界最高速級の電気 IC 及び光電融合 IC(OEIC)の実現を目指し行ったものである。

本論文は 7 つの章から構成される。以下、各章ごとの概要について述べる。

第 1 章は「序論」である。まず本研究の背景を鮮明にするべく、1)光ファイバ通信システムの歴史、2)光ファイバ通信システムの構成、3)光ファイバ通信システム用電気 IC について概観する。次いで、本研究の位置付けと本論文の構成について述べる。

第 2 章は「40Gbit/s 級多ビット多重回路・分離回路のタイミング設計手法と InP HEMT を用いた実証」についてである。40Gbit/s 級の単一論理ゲートのデジタル回路(単体のフリップフロップ等)は本研究開始以前に実現されていたが、実際の光ファイバ通信システムで使用される多ビットの多重回路(Multiplexer: MUX)及び分離回路(Demultiplexer: DEMUX)等のデジタル回路では複数の論理ゲートを集積する必要がある。このとき 40Gbit/s という超高速動作下であるために各ゲートにおけるクロック信号とデータ信号間のタイミングはマージンが少なく、精密なタイミング設計手法が必要となる。本章では、40Gbit/s 級のビット数 4 の MUX・DEMUX すなわち 4:1 MUX・1:4 DEMUX を例に取り、そのタイミング設計手法について述べる。40Gbit/s 級において正常な動作を得るには、データ信号とクロック信号間のタイミングを最小で数 ps のオーダで制御する必要があることが明らかになる。次いでこのタイミング設計手法に基づき試作した InP HEMT による 4:1 MUX IC と 1:4 DEMUX IC の評価結果について述べる。試作した 4:1 MUX IC 及び 1:4 DEMUX IC は共に設計仕様通り 4Gbit/s から 50Gbit/s まで連続的に動作したことから、本タイミング設計手法の妥当性が検証される。

第 3 章は「40Gbit/s 級多ビット多重回路・分離回路の低消費電力構成法と InP HEMT、InP HBT を用いた実証」についてである。40Gbit/s 級の多ビット多重回路(MUX)・分離回路(DEMUX)は、複数の 2:1 の多重部分・1:2 の分離部分を反復的に配置する構成(ツリー型構成)により実現されるのが一般的である。このツリー型構成は、1)クロック信号は高速 IC で広く用いられている差動形式で動作可、2)トランジスタの縦積み段数が最大 2 段でドレイン=ソース間(もしくはコレクタ=エミッタ間)の電圧が確保しやすい、等の利点がある。しかしながらツリー構成は、複数の 2:1 の多重部分・1:2 の分離部分を反復的に用いるため、相応の論理ゲート数が必要となり消費電力は増大する傾向にある。光ファイバ通信システム全

体の低消費電力化、また発熱による多重回路・分離回路自身の寿命・信頼性劣化抑制の観点から、多ビット 多重回路・分離回路の消費電力は可能な限り削減されることが望ましい。そこで本章では、多ビット MUX・DEMUX の低消費電力回路構成を提案する。その回路構成とは、トグル・フリップフロップ(Toggle Flip-Flop: TFF)で発生する多相クロックを活用する多相クロック型構成(Multi-Phase Clock Architecture: MPC 型)である。この多相クロック型構成による 4:1 MUX・1:4 DEMUX IC を InP HEMT を用いて試作、40Gbit/s 級の使用に対して十分マージンのある 50Gbit/s 動作をツリー型構成の 1/3 以下の消費電力で達成した。また InP HBT を用いても多相クロック型構成 4:1 MUX・1:4 DEMUX を検証、4:1MUX は 40Gbit/s 動作、1:4 DEMUX は 50Gbit/s 動作をツリー型構成の 1/2 以下の消費電力で実現した。

第 4 章は「InP HEMT を用いた 40Gbit/s 級リミッティングアンプの設計手法と評価」についてである。デジタル回路のみならず、増幅器(Amplifier:アンプ)に代表されるアナログ回路も 40Gbit/s 級光ファイバ通信システムには不可欠な回路部品である。アナログ回路は個別部品として使用されることはもちろん、デジタル回路中にバッファアンプ等として集積されていることも多く、その性能がシステムに及ぼす影響は大きい。本章では、40Gbit/s 級光ファイバ通信システムに必要なアナログ回路の 1 つであるリミッティングアンプについて、InP HEMT を用いた場合の設計手法を述べる。リミッティングアンプは複数段の増幅器から構成されるが、一般的にこのような構成では利得が増加する分だけ帯域が減少する。この利得と帯域のトレードオフの関係は、InP HEMT のように速度的に最先端のデバイスを用いる場合でも不可避であり、可能な限り帯域が確保されるような回路構成の検討を行った。検討において最も帯域が確保されることが見込まれた回路構成は容量帰還・インダクタピーキング併用型であり、この回路構成を用いてリミッティングアンプを試作した。試作回路の利得は 25.4dB, 3dB 帯域 32.1GHz であり、43Gbit/s 入力に対しては 27mV を最小として 20dB 以上の入力ダイナミックレンジ、50Gbit/s 入力に対しては 59mV を最小として 16dB 以上の入力ダイナミックレンジを有していることが確認された。

第 5 章は「InP RTD、InP UTC-PD を用いた光電気融合型フリップフロップの構成法と実証」についてである。光ファイバ通信システムに用いられる回路の中で、遅延フリップフロップ(Delayed Flip-Flop: D-FF)は高速化が最も困難な品種の 1 つである。これは回路中にフィードバック・パスがあることが一因であり、その最高動作速度は本研究の開始時点では 40Gbit/s に留まっていた。また 40Gbit/s 以上の動作速度では、ケーブル・コネクタ等の回路の入力インターフェース部分の帯域不足も高速化を阻害する要因となり得る。超 40Gbit/s D-FF を実現するには、これら速度律速要因を克服する新しい D-FF の回路構成を探求する必要がある。本章では、40Gbit/s を超え 100Gbit/s 級で動作可能な D-FF の回路構成として、InP

ベースの共鳴トンネルダイオード(Resonant Tunneling Diode: RTD)と単一走行キャリアフォトダイオード(Uni-Traveling-Carrier Photodiode: UTC-PD)を用いた光電気融合型 D-FF を提案する。RTD はフィードバック・パスの無いフリップフロップ機能を提供、UTC-PD は広帯域な光入力インターフェースを提供し、前述した D-FF の速度律速要因を克服する。最初に回路シミュレーションにより、提案する光電気融合型 D-FF を検証した。そこでは 40Gbit/s 識別動作・80Gbit/s 分離動作が示されると同時に、UTC-PD の接続位置の違いによる論理振幅の変化等も明らかにされる。次いで、RTD と UTC-PD をモノリシック集積するプロセスにより試作した提案 D-FF の実証結果について述べる。試作 D-FF はわずか 10mW 以下の消費電力ながら 40Gbit/s 識別動作及び 80Gbit/s 分離動作が確認された。また回路シミュレーションで予測された UTC-PD の接続位置の違いによる論理振幅の変化等も実験的に確認された。

第 6 章は「InP RTD、InP UTC-PD を用いた光電気融合型フリップフロップの高速化設計手法と実証」についてである。前章において、RTD と UTC-PD を用いた D-FF を提案し、40Gbit/s の識別動作(データ入力 40Gbit/s, クロック入力 40GHz)及び 80Gbit/s の分離動作(データ入力 80Gbit/s, クロック入力 40GHz)を実証した。しかしながら、これら実証した動作におけるクロック周波数は 40GHz に留まっている。将来の 100Gbit/s 級 光ファイバ通信システムでは、D-FF は最大で 100GHz のクロック周波数に対して動作することが必要である(100Gbit/s 識別動作時)。従って提案した光電気融合型 D-FF を 100Gbit/s システムに供するには、100GHz のクロック入力まで対応できるよう高速化する必要がある。本章では、前章で提案した RTD と UTC-PD による光電気融合型 D-FF の高速化設計手法とその実証結果について述べる。提案 D-FF の高速化には、RTD と UTC-PD の容量成分を流れる AC 電流を考慮した設計が必須であることが示される。この設計手法に基づき試作した光電気融合型 D-FF は、測定系の上限の 80Gbit/s において識別動作(データ入力 80Gbit/s, クロック入力 80GHz)することが確認される。更に、試作回路が対応可能なクロック周波数の上限を見積もるべく、提案 D-FF の動作速度解析を行った。試作回路の動作速度は、搭載された UTC-PD の帯域により 80GHz 程度が上限速度と予測されるものの、既報告のより広帯域な UTC-PD に置き換えることで 100GHz 以上の動作が十分可能であることが示される。

第 7 章は「結論と将来展望」である。本研究で得られた結果と成果をまとめた後、InP プラットフォーム超高速 IC・OEIC の今後について述べる。

## 研 究 業 績

種 類 別	題名、 発表・発行掲載誌名、 発表・発行年月、 連名者（申請者含む）
論文 (本論文)	“50-Gbit/s InP HEMT 4:1 Multiplexer / 1:4 Demultiplexer Chip Set with a Multiphase Clock Architecture”, IEEE Transactions on Microwave Theory and Techniques, Vol. 51, No.12, pp. 2548-2554 (2003), <u>K. Sano</u> , K. Murata, H. Kitabayashi, S. Sugitani, H. Sugahara, and T. Enoki
論文 (本論文)	“50-Gbit/s 4-b Multiplexer / Demultiplexer Chip Set using InP HEMTs”, IEEE Journal of Solid-State Circuits, Vol. 38, No. 9, pp. 1504-1511 (2003), <u>K. Sano</u> , K. Murata, S. Sugitani, H. Sugahara, and T. Enoki
論文 (本論文)	“An 80-Gb/s Optoelectronic Delayed Flip-Flop IC Using Resonant Tunneling Diodes and Uni-Traveling-Carrier Photodiode”, IEEE Journal of Solid-State Circuits, Vol. 36, No. 2, pp. 281-289 (2001), <u>K. Sano</u> , K. Murata, T. Otsuji, T. Akeyoshi, N. Shimizu, and E. Sano
論文 (本論文)	“Ultra-Fast Optoelectronic Decision Circuit Using Resonant Tunneling Diodes and Uni-Traveling-Carrier Photodiode”, IEICE Transactions on Electronics, Vol. E82-C, No. 9, pp. 1638-1646 (1999), <u>K. Sano</u> , K. Murata, T. Otsuji, T. Akeyoshi, N. Shimizu, M. Yamamoto, T. Ishibashi, and E. Sano
論文 (レター)	“Low-power 50-Gbit/s InP HBT 1:4 Demultiplexer IC with Multiphase Clock Architecture”, IEE Electronics Letters, Vol. 39, No. 18, pp. 1332-1334 (2003), <u>K. Sano</u> , M. Hirata, K. Murata, S. Yamahata, M. Ida, K. Kurishima, T. Enoki, and H. Sugahara
論文 (レター)	“50-Gbit/s Demultiplexer IC Module using InAlAs/InGaAs/InP HEMTs”, IEICE Transactions on Electronics, Vol. E83-C, No. 11, pp. 1788-1790 (2000), <u>K. Sano</u> , K. Murata, and Y. Yamane
論文 (レター)	“80 Gbit/s Optoelectronic Delayed Flip-Flop Circuit using Resonant Tunneling Diodes and Uni-Travelling-Carrier Photodiode”, IEE Electronics Letters, Vol. 35, No. 16, pp. 1376-1377 (1999), <u>K. Sano</u> , K. Murata, T. Otsuji, T. Akeyoshi, N. Shimizu, and E. Sano
論文 (レター)	“Ultra-fast Optoelectronic Circuit using Resonant Tunneling Diodes and Uni-Travelling-Carrier Photodiode”, IEE Electronics Letters, Vol. 34, No.2, pp. 215-216 (1998), <u>K. Sano</u> , K. Murata, T. Akeyoshi, N. Shimizu, T. Otsuji, M. Yamamoto, T. Ishibashi, and E. Sano
論文 (国際会議)	“1.4-W 50-Gbit/s InP HEMT 1:4 Demultiplexer IC with a Multi-phase Clock Architecture”, 2003 IEEE MTT-S International Microwave Symposium, WE5D-3, pp.1181-1184 (2003), <u>K. Sano</u> , K. Murata, H. Kitabayashi, S. Sugitani, H. Sugahara, and T. Enoki,
論文 (国際会議)	“ 1.7-W 50-Gbit/s InP HEMT 4:1 Multiplexer IC with a Multi-phase Clock Architecture”, 2002 IEEE GaAs IC Symposium, LN.4, pp. 159-162 (2002), <u>K. Sano</u> , K. Murata, S. Sugitani, H. Sugahara, and T. Enoki

# 研 究 業 績

種 類 別	題名、 発表・発行掲載誌名、 発表・発行年月、 連名者（申請者含む）
論文 (国際会議)	“50-Gbit/s 4-bit Multiplexer/Demultiplexer Chip-set using InP HEMTs”, 2002 IEEE GaAs IC Symposium, I.2, pp. 207-210 (2002), <u>K. Sano</u> , K. Murata, S. Sugitani, H. Sugahara, and T. Enoki
論文 (国際会議)	“Data Limiting-Amplifier, Data Distributor, and Clock Distributor ICs for 40-Gbit/s-class Optical Communication Systems using InP HEMTs”, 2002 International Conference on Solid State Devices and Materials (SSDM), E-4-2, pp.296-297 (2002), <u>K. Sano</u> , K. Murata, S. Sugitani, H. Sugahara, and T. Enoki
論文 (国際会議)	“Ultrafast Optoelectronic Time-division Demultiplexer IC Using Resonant Tunneling Diodes and a Uni-traveling-Carrier Photodiode”, International Conference on Lasers and Electro-Optics (CLEO), CFB1, pp. 499-500 (1998), <u>K. Sano</u> , K. Murata, T. Otsuji, T. Akeyoshi, N. Shimizu, M. Yamamoto, T. Ishibashi, and E. Sano
講演 (招待, 国際会議)	“InP-based Optical System ICs Operating at 40 Gbit/s and Beyond”, 2004 IEEE RFIC Symposium, TU3A-1 (2004), <u>K. Sano</u> , K. Murata, H. Fukuyama, S. Tsunashima, K. Ishii, K. Kurihima, H. Matsuzaki, T. Enoki, H. Sugahara, and M. Muraguchi
講演 (招待, 国際会議)	“Monolithic Digital Optoelectronic ICs towards 100 Gbit/s”, International Conference on Ultra-fast Electronics and Optoelectronics (UEO), UWB1-1, pp. 22-24 (2001), <u>K. Sano</u> , K. Murata, T. Otsuji, T. Akeyoshi, N. Shimizu, M. Yamamoto, T. Ishibashi, and E. Sano
講演(招待, 国内学会)	“多相クロックアーキテクチャ回路設計技術”, 電気学会 超高速デバイス・回路調査専門委員会講演, 於: 法政大学小金井キャンパス, 2003年11月20日、 <u>佐野公二</u>
講演(招待, 国内学会)	“InP プラットフォーム超高速 IC / OEIC”, 2002年電子情報通信学会 全国大会, SC-4-7, 論文集 1 pp. 455-456 (2002), <u>佐野公一</u> , 村田浩一, 菅原裕彦, 榎木孝知
講演(国内学会)	“多相クロック構成による 50Gbit/s InP HEMT 4:1 マルチプレクサ / 1:4 デマルチプレクサ IC”, 2003年電子情報通信学会 ソサエティ大会, C-10-3, 論文集 2 pp. 54 (2003), <u>佐野公一</u> , 村田浩一, 北林博人, 杉谷末広, 菅原裕彦, 榎木孝知
講演(国内学会)	“多相クロックアーキテクチャによる 1.7 W 50 Gbit/s InP HEMT 4:1 マルチプレクサ IC”, 電子情報通信学会 電子デバイス研究会, ED2002-259, pp.25-30 (2003), <u>佐野公一</u> , 村田浩一, 杉谷末広, 菅原裕彦, 榎木孝知
講演(国内学会)	“InAlAs/InGaAs/InP HEMT による 50-Gbit/s 1:2 デマルチプレクサモジュール”, 2000年電子情報通信学会 ソサエティ大会, C-10-15, 論文集 2 pp. 67 (2000), <u>佐野公一</u> , 村田浩一, 山根康朗
講演(国内学会)	“共鳴トンネルダイオードと単一走行キャリアフォトダイオードを用いた 80Gbit/s 光電気融合 D フリップフロップ回路”, 電子情報通信学会 電子デバイス研究会, ED99-264, pp.35-40 (2000), <u>佐野公一</u> , 村田浩一, 尾辻泰一, 明吉智幸, 清水直文, 佐野栄一

## 研 究 業 績

種 類 別	題名、 発表・発行掲載誌名、 発表・発行年月、 連名者（申請者含む）
講演（国内学会）	“共鳴トンネルダイオードと単一走行キャリアフォトダイオードを用いた80Gbit/s 光電気融合 D-FF IC”, 1999 年電子情報通信学会 ソサエティ大会, C-10-25, 論文集 2 pp. 62 (1999), <u>佐野公一</u> , 村田浩一, 尾辻泰一, 明吉智幸, 清水直文, 佐野栄一
講演（国内学会）	“共鳴トンネルダイオードと単一走行キャリアフォトダイオードを用いた超高速光電気融合識別回路構成の検討” 1999 年電子情報通信学会 全国大会, C-10-15, 論文集 2 pp. 87 (1999), <u>佐野公一</u> , 村田浩一, 明吉智幸, 佐野栄一
講演（国内学会）	“共鳴トンネルダイオードと単一走行キャリアフォトダイオードを用いた 80Gbit/s 光電気融合 DEMUX IC”, 1998 年電子情報通信学会 ソサエティ大会, C-10-12, 論文集 2 pp. 59 (1998), <u>佐野公一</u> , 村田浩一, 明吉智幸, 清水直文, 尾辻泰一, 佐野栄一
講演（国内学会）	“共鳴トンネルダイオードと単一走行キャリアフォトダイオードを用いた光電気融合回路”, 電子情報通信学会 第 3 回マイクロ波フォトニクス研究会, MWP98-2, pp. 7- 12 (1998), <u>佐野公一</u> , 村田浩一, 佐野栄一, 清水直文, 明吉智幸, 山本眞史, 石橋忠夫
その他（論文国際会議）	“75-GHz Optical Clock Divide-by-Two OEIC using InP HEMTs and Uni-Traveling-Carrier Photodiode”, 2003 International Conference on Solid State Devices and Materials (SSDM), G-7-4, pp.902-903 (2003), <u>K. Sano</u> , K. Murata, H. Matsuzaki, H. Kitabayashi, T. Akeyoshi, H. Ito, T. Enoki, and H. Sugahara
その他（レター）	“SCFL-Compatible 40-Gbit/s RTD/HEMT Selector Circuit”, IEICE Trans. Electron., Vol. E83-C, No. 10, pp. 1690-1692 (2000), <u>K. Sano</u> , K. Murata, and H. Matsuzaki
その他（レター）	“44 Gbit/s GaAs MESFET selector IC”, IEE Electronics Letters, Vol. 33, No. 16, pp. 1377-1378 (1997), <u>K. Sano</u> , K. Murata, and K. Nishimura
その他（国内学会）	“GaAs MESFET を用いた 44Gbit/s セレクタ IC”, 1997 年電子情報通信学会 ソサエティ大会, C-10-31, 論文集 2 pp. 62 (1997), <u>佐野公一</u> , 村田浩一, 徳光雅美
その他（特許）	“識別回路”, 特願平 9-208308, (2003 年 8 月 15 日特許成立), <u>佐野公一</u> , 村田浩一, 尾辻泰一
その他（特許）	“識別回路”, 特願平 11-140938, (2003 年 10 月 2 日特許成立), <u>佐野公一</u> , 村田浩一