

InP プラットフォーム
光通信用超高速 IC・OEIC の研究

Study of Ultra-fast ICs and OEICs
for Optical Communication Systems on InP Platform

2004 年 10 月

佐野 公一

Kimikazu Sano

目次

第 1 章 :

序論・・・・・・・・・・・・・1

第 2 章 :

40Gbit/s 級多ビット多重回路・分離回路のタイミング設計手法と InP HEMT を
用いた実証・・・・・・・・・・・・・25

第 3 章 :

40Gbit/s 級 多ビット多重回路・分離回路の低消費電力構成法と InP HEMT、InP
HBT を用いた実証・・・・・・・・・・・・・49

第 4 章 :

InP HEMT を用いた 40Gbit/s 級リミッティングアンプの設計手法と評
価・・・・・・・・・・・・・79

第 5 章 :

InP RTD、InP UTC-PD を用いた光電気融合型フリップフロップの構成法と実
証・・・・・・・・・・・・・91

第 6 章 :

InP RTD、InP UTC-PD を用いた光電気融合型フリップフロップの高速化設計手
法と実証・・・・・・・・・・・・・111

第 7 章 :

結論と将来展望・・・・・・・・・・・・・125

謝辞・・・・・・・・・・・・・133

本研究に関する業績・・・・・・・・・・・・・135

第 1 章：序論

1.1 研究の背景

1.1.1 はじめに

近年、インターネットに代表される新しい情報通信ネットワークの急速な発展・拡大に伴い、ネットワークの高速・大容量化が求められている。従来の情報通信ネットワークの代表格である電話網では音声情報が主体であり、各ユーザ当たり(1回線当たり)64kbit/s の伝送速度で十分であった。しかしながらインターネットで扱われる情報は文字・画像・音声等と多種多様であると同時に、動画のようなサイズの大きいものも含まれており、各ユーザが求める伝送速度も速くなってきている。2004 年現在、日本の大都市圏では光ファイバ加入者線を利用することにより、従来電話回線の約 2000 倍の伝送速度である 100Mbit/s を各ユーザが享受することも可能となっている[1.1]。このように各ユーザへの回線伝送速度が高速・大容量化するに伴い、各ユーザ回線を集約して伝送する基幹伝送回線も自ずと高速・大容量化が求められる。2004 年現在、10Gbit/s の光ファイバ通信システムによる基幹伝送回線が実用に供されており[1.2]、次世代基幹伝送回線用として 40Gbit/s 光ファイバ通信システムが検討されている[1.3]。光ファイバ通信システムにおいては、伝送媒体は光であるが、信号識別等の信号処理を行う送受信器には電気 IC (Integrated Circuit:集積回路)が多数用いられている。従って基幹伝送回線の高速・大容量化には電気 IC の高速化が必須であり、これまで Si バイポーラトランジスタ[1.4]や GaAs MESFET[1.5]等により 10Gbit/s 光ファイバ通信システム用 IC が実現されてきた。

本研究は以上を背景として、次世代 40Gbit/s 電気多重方式光ファイバ通信システム、更には次々世代 100Gbit/s 級電気多重方式光ファイバ通信システムに適用可能な電気 IC 及び光電気融合 IC (OEIC: Opto-Electronic IC)を、InP 基板上に集積可能な電子デバイス・光電変換デバイスを用いて検討したものである。InP をプラットフォーム基板とすることにより、InP 系の高電子移動度に由来して高周波特性に優れる電子デバイスを用いた電気 IC はもちろん、光ファイバの伝送損失が最小となる 1.55 μm 帯の光信号に対応した光電変換デバイスをも一体集積した OEIC が作製可能と成る。具体的に用いた InP 系デバイスは、電子デバイスが高電子移動度トランジスタ(High Electron Mobility Transistor: HEMT)、ヘテロ接合バイポーラトランジスタ(Hetero Junction Bipolar Transistor: HBT)、及び共鳴トンネルダイオード (Resonant Tunneling

Diode :RTD)、光電変換デバイスが単一走行キャリアフォトダイオード(Uni-Traveling-Carrier Photo Diode: UTC-PD)である。これらデバイスを用いて光ファイバ通信システム用の IC 及び OEIC を試作、いずれも次世代電気多重方式光ファイバ通信システムの伝送速度である 40Gbit/s 以上の動作速度を確認した。

以下本章では、本研究の背景をより鮮明にするべく、1)光ファイバ通信システムの歴史、2)光ファイバ通信システムの構成、3)光ファイバ通信システム用電気 IC について述べる。その後、本研究の位置付けと本論文の構成について述べる。

1.1.2 光ファイバ通信システムの歴史

光ファイバ通信は、1970 年の半導体レーザ室温連続動作の実証[1.6]と同年の低損失(20dB/km)ガラス光ファイバの実現[1.7]を契機として本格的な研究開発が開始された。1970 年代は前記の二つの成果を受けて、主に半導体レーザと光ファイバの高性能化が進められた。半導体レーザでは、長寿命化[1.8]、光ファイバの低分散波長帯である $1.3\mu\text{m}$ 帯での発振[1.9]、及び光ファイバの低損失波長帯である $1.55\mu\text{m}$ 帯での発振[1.10]等が実現された。光ファイバでは、低分散波長帯 ($1.3\mu\text{m}$ 帯)の発見 [1.11]、理論限界と言われた損失 0.2dB/km 光ファイバの実現[1.12]等が成された。1970 年代後半以降は、前述した半導体レーザと光ファイバの高性能化を基に、従来の同軸ケーブル通信システムに置き換わる形で光ファイバ通信システムの開発・導入が進められていった。図 1.1 に、日本国内において日本電信電話公社 (1985 年以降は日本電信電話株式会社、NTT) が開発・導入した光ファイバ通信システムの年次推移を示す。1980 年、 $1.3\mu\text{m}$ 帯を使用した伝送速度 100Mbit/s の F-100Mシステムが日本初の実用光ファイバ通信システムとして導入された[1.13]。その後も増加し続けていた回線を収容する目的から、伝送速度の高速化が成されていった。高速化は、各種の技術革新によって支えられた。すなわち、1983 年には $1.55\mu\text{m}$ 帯を使用した 伝送速度 400Mbit/s の F-400M システム[1.14]、1987 年には分布帰還レーザ(Distributed Feedback Laser: DFB Laser)と高速 Si LSI(Large Scale Integrated Circuit)をキー部品とした 1.6Gbit/s の F-1.6G システム[1.15]、1991 年には国際標準多重伝送方式である SDH(Synchronous Digital Hierarchy)に準拠した 2.4Gbit/s の F-2.4G システム[1.16]、1996 年には光ファイバ増幅器を用いた 10Gbit/s の FA-10G システム[1.2]が順次導入された。現在は 40Gbit/s システム実現に向けた研究開発が成されている[1.17]。

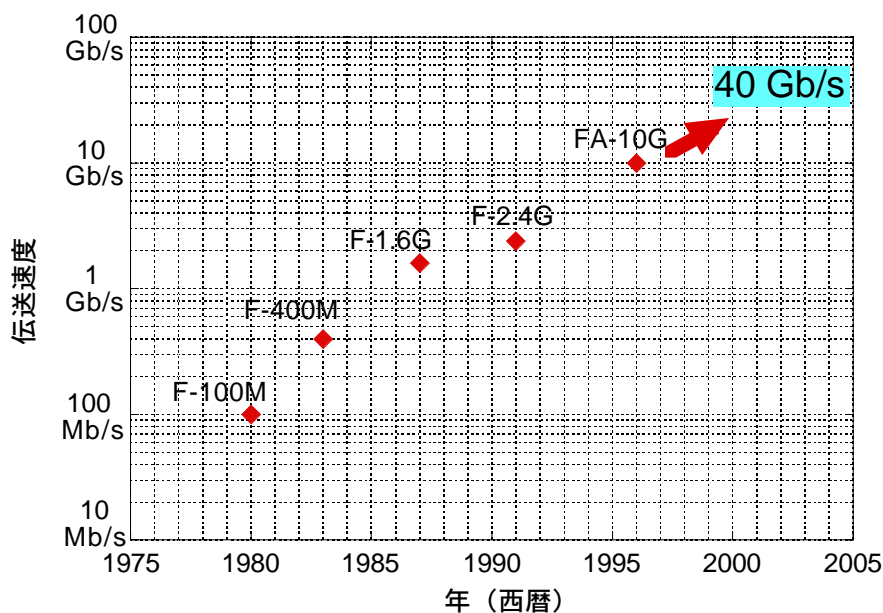


図 1.1: 日本国内の光ファイバ通信システムの伝送速度年次推移

ここまで見てきた伝送速度 10Gbit/s の FA-10G システムまでは、電気時分割多重方式(Electrical Time-Division Multiplexing: E TDM)を採用、伝送速度の高速化を実現してきた。電気時分割多重方式は、電気 IC により複数回線の低速信号を単一の高速信号へ変換 (パラレル=シリアル変換)、更にその単一高速信号を光搬送波に乗せて伝送する方式である。この電気時分割方式において伝送速度の高速化を進めるには、パラレル-シリアル変換を司る電気 IC の高速化が必須である。しかしながら 1990 年代に入ると、電気 IC 高速化の見通しが明確でなくなったと同時に光デバイス技術が進展したことにより、波長分割多重方式(Wavelength-Division Multiplexing: WDM)や光時分割多重方式(Optical Time-Division Multiplexing: OTDM)といった光領域での多重化方式による伝送速度の高速化が研究レベルで活発になった。WDM は波長が異なる複数の光搬送波に各回線に乗せて伝送する方式、OTDM は電気 IC ではなく PLC(Planar Lightwave Circuit: 平面光導波路)等の光デバイスを用いて光領域でパラレル-シリアル変換を実行・伝送する方式である。1996 年米国で開催された光ファイバ通信会議 (Optical Fiber Communications Conference: OFC) では、3 つの研究グループから同時に、10Gbit/s もしくは 20 Gbit/s の電気多重信号を基に WDM/OTDM 技術を用いて生成された 1Tbit/s 信号の伝送実験が報告された[1.18,1.19,1.20]。1Tbit/s は、当初の光ファイバ通信システムの伝送速度 100Mbit/s の一万倍である。その後も、40Gbit/s 級の電気多重信号と更に多重数を増やした WDM/OTDM を併用することで、10Tbit/s の伝

送実験が 2001 年に報告されるに至っている[1.21]。

以上概観してきたように、ここ近年、研究フェーズでは WDM/OTDM といった光多重方式により伝送速度は飛躍的に高速化、10Tbit/s の伝送速度に至っている。その一方で、従来からの電気多重方式(ETDM)も伝送速度 40Gbit/s のシステムが研究されている。伝送速度に関する比較だけでは、10Tbit/s の光多重方式が 40Gbit/s の電気多重方式を凌駕しているように見える。しかしながら、電気多重方式は半導体ベースの電気 IC をキー部品に使用していることから、未だハンド・メイドの工程が多い光部品をキーとする光多重方式と比較して小型・安価かつ信頼性の高いシステムを構築することが可能である。また光多重方式においても、数 Gbit/s から 40Gbit/s までの信号多重には電気多重方式を使用しているのが現実である。よって電気多重方式の高速化は、光多重方式の更なる高速化、また光多重数の削減によるシステム構築の簡易化等にも寄与しうる。

1.1.3 光ファイバ通信システムの構成

図 1.2 に電気多重方式による光ファイバ通信システムの構成例を示す。システムは大きく分け、光送信器・光ファイバ伝送路・光中継器・光受信器で構成されている。

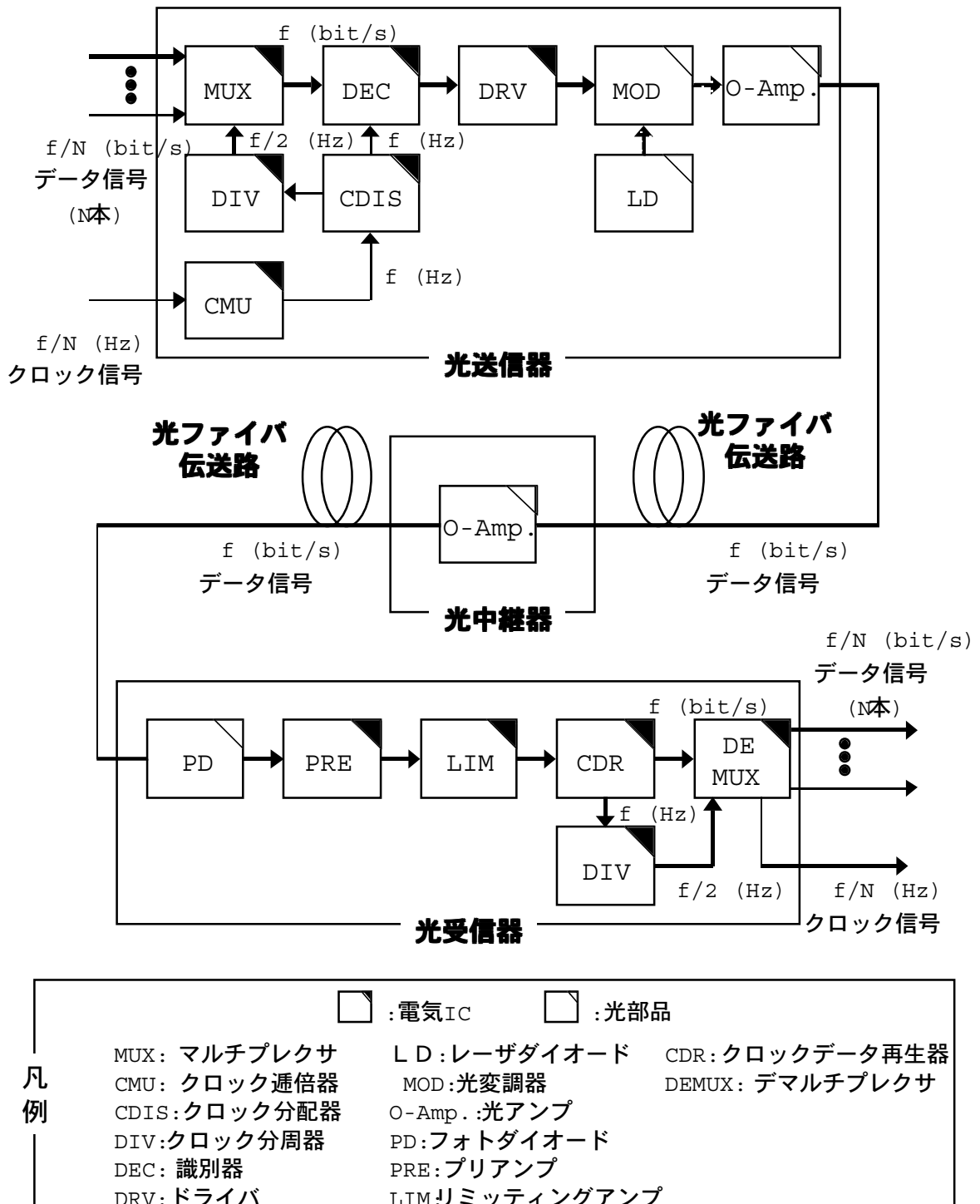


図 1.2: 電気多重方式による光ファイバ通信システムの構成例

光送信器は、複数の低速電気データ信号を単一の高速電気データ信号へ変換する

マルチプレクサ(MUX: Multiplexer)、低速クロック信号を光送信器内部に必要な高速クロック信号へ周波数逓倍するクロック逓倍器(CMU: Clock Multiplier Unit)、クロック信号を分配するクロック分配器(CDIS: Clock Distributor)、クロック信号を周波数分周する分周器(DIV: Frequency Divider)、伝送レートと同じ周波数のクロック信号でデータを識別しデータ信号の時間揺らぎ(ジッタ : Jitter)を抑圧する識別器(DEC: Decision)、識別器の出力を光変調器(MOD)が駆動可能な電圧に増幅するドライバ(DRV: Driver)、連続光を出力するレーザダイオード(LD: Laser Diode)、連続光を電気信号に対応して透過・遮断することで電気信号を光信号に変換する光変調器(MOD: Optical Modulator)、光変調器の出力を伝送に必要な送信光パワーまで増幅する光アンプ(O-Amp.: Optical Amplifier)から成る。ここで光アンプ(O-Amp.)は、数十 km 以上の長距離伝送では使用されるのが一般的であるが、数 km 以下の短距離伝送ではレーザダイオードの出力パワーで十分に伝送できることから使用しない場合が多い。光ファイバ伝送路は、文字通り光ファイバを用いた光信号の伝送路である。光中継器は、図 1.2 の構成例では光アンプ (O-Amp.) のみで構成されている(線形中継器構成)。ここで光アンプは、光ファイバ伝送路で減衰した光信号のパワーを増幅する。この光中継器構成とは別に、電気 IC 等を用いて雑音やジッタを除去した後、光アンプで増幅する構成が使用される場合も有る (再生中継器構成)。光受信器は、伝送されてきた光信号を電気信号に変換するフォトダイオード(PD: Photodiode)、光ファイバ伝送路で減衰、かつフォトダイオードでの光電変換損失により減衰した信号を増幅するプリ・アンプ(PRE: Pre-Amplifier)、プリ・アンプの増幅度の不足分を補いつつ信号振幅を後段のクロック・データ再生回路が動作する範囲に収めるデータ・リミッティング・アンプ(DLIM: Data Limiting Amplifier)、クロック信号とデータ信号を再生するクロック・データ再生器(CDR: Clock and Data Recovery)、再生クロックを分周する分周器(DIV)、単一の電気信号を複数のより低速な電気信号に変換するデマルチプレクサ(DEMUX: Demultiplexer)から成る。

図 1.2 の図中、箱の右上が黒く塗りつぶされた部品が電気 IC、塗りつぶされていない部品が光部品である。この図から、電気多重方式の光ファイバ通信システムにおいて電気 IC は数多く使用され、且つキーとなる機能を担っていることがわかる。また、多くの電気 IC はファイバ伝送路に対して直列に接続されていることから、多くの電気 IC がシステムの伝送速度と同じ速度で動作する必要がある。すなわち、シ

システムの伝送速度が 40Gbit/s であれば、電気 IC の多くが 40Gbit/s で動作する必要がある。本研究を開始した 1996 年においては、40Gbit/s で動作する電気 IC は一部 InP HEMT[1.22]を用いることで実現されていたが、品種は分周器・識別器・2:1MUX といった低集積・単機能 IC に限られていた。

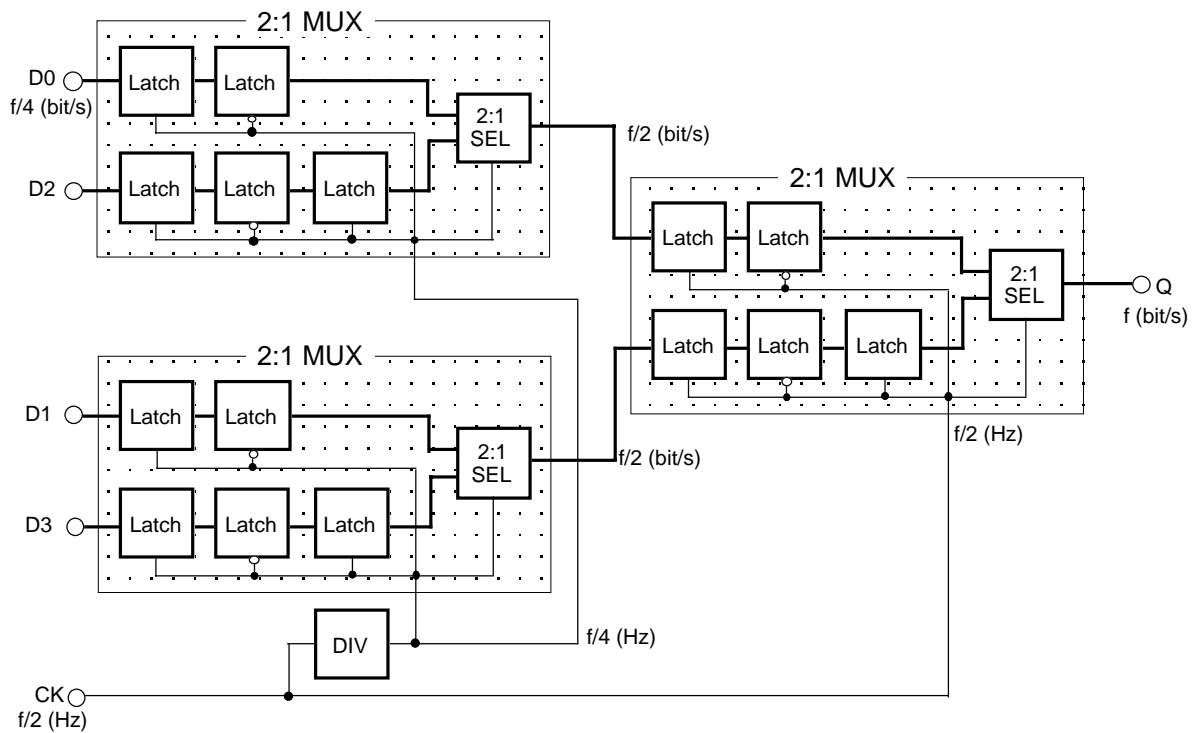
1.1.4 光ファイバ通信システム用 電気 IC

前章のシステム構成例で使用されていた電気 IC の動作について、より詳細に説明する。

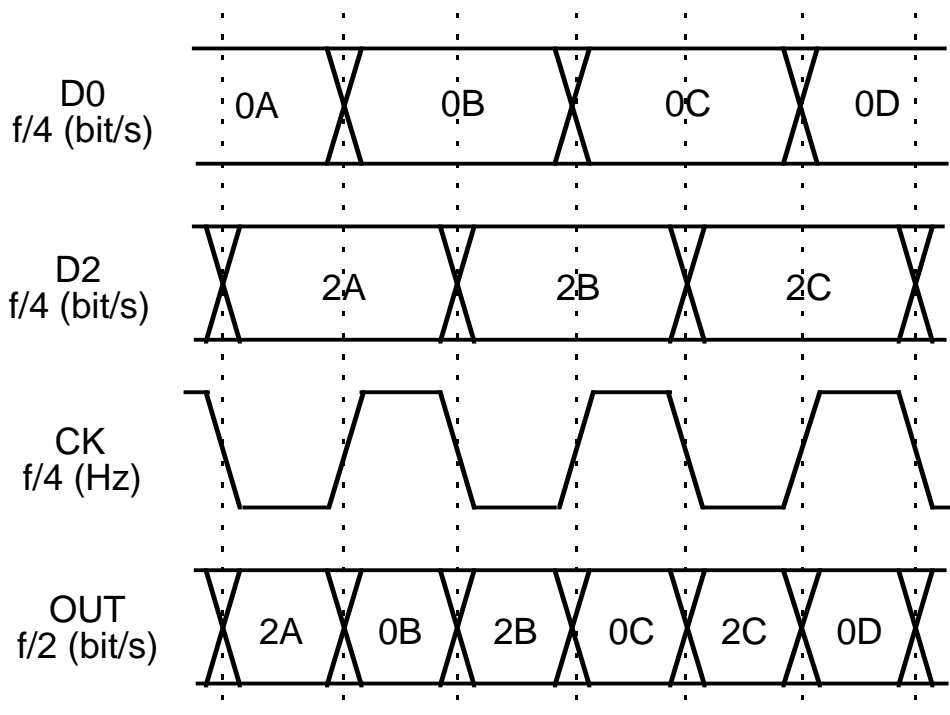
(1) マルチプレクサ (Multiplexer: MUX)

マルチプレクサは低速の並列信号を高速の直列信号に変換(パラレル-シリアル変換)するデジタル回路である。収容する低速並列信号の数によって 2:1MUX (2 本収容)、4:1MUX(4 本収容)、16:1MUX(16 本収容)等と表記される。ここでは本研究で検討する 4:1 MUX を例に取り、その構成と動作を説明する。図 1.3(a)に 4:1 MUX の一般的な構成例[1.23]を示す。この構成は、2:1MUX を樹木状に配置していることからツリー型構成(Tree-type architecture)と呼ばれている。ツリー型構成では、2:1 MUX を入力側に追加していくことで低速並列信号の収容数を増やすことが可能である。すなわち、4:1 MUX の入力端子のそれぞれに 2:1 MUX を追加することで 8:1 MUX に、更に 2:1 MUX を入力端子に追加すれば 16:1 MUX を構成することができる。次に図 1.4(a)の 4:1 MUX の動作について説明する。4 本の $f/4$ (bit/s)の入力データ $D_0 \sim D_3$ は、入力側にある 2 つの 2:1 MUX により、2 本の $f/2$ (bit/s)のデータへ多重化される。更に、その 2 本のデータは出力側にある 2:1MUX へ導かれ、最終的に 1 本の f (bit/s)のデータにまとめ上げられる。ツリー型構成では、全ての 2:1 MUX は 2 本のデータを 1 本のデータへ多重化する動作を行っている。図 1.3(b)には 2:1 MUX おける多重化動作のタイミングチャートを示した。 $f/4$ (bit/s)の入力データ D_0 と D_2 は、入力端子直後にあるラッチ(Latch)により、図 1.4(b)に示されたように時間軸上に整列される。ここで D_2 が半ビット分遅れているのは、 D_2 側のラッチの個数が D_0 側より 1 個多いためである。このように整列された D_0 と D_2 は、次いで 2:1 セレクタ(2:1SEL)において交互に選択出力される。2:1 セレクタでは、クロックがハイレベルの時 D_0 が選択出力され、クロックがローレベルの時 D_2 が選択出力される。ここで D_2 が D_0 に対して半ビット遅らされていることにより、 $D_0 \cdot D_2$ 共に同じビットの時間部分が選択

出力される。以上のようにして 2:1 MUX では多重化動作が行われる。



(a)



(b)

図 1.3: マルチプレクサ

(a) 4:1 マルチプレクサの構成例

(b) 各 2:1 マルチプレクサのタイミングチャート

(2) クロック逡倍器 (Clock Multiplier Unit: CMU)

クロック逡倍器は、低速クロックを高速クロックに変換する回路である。図 1.4 に構成例[1.24]を示す。回路構成としては図 1.5 にあるように、分周器(Divider: DIV)、位相周波数検出器(Phase-Frequency Detector: PFD)及びループフィルタ(Loop Filter: LF)から構成される位相ロックループ(Phase Locked Loop: PLL)により、電圧制御型発振器(Voltage Controlled Oscillator: VCO)の発振周波数と位相を制御する形が一般的である。PLL の一部である PFD に $f/N(\text{Hz})$ (N は自然数)のクロックを入力、PLL は入力クロックと周波数-位相同期するように VCO を制御する。結果として、VCO からは入力クロックと位相同期しかつ周波数が N 倍の $f(\text{Hz})$ クロックが出力される。

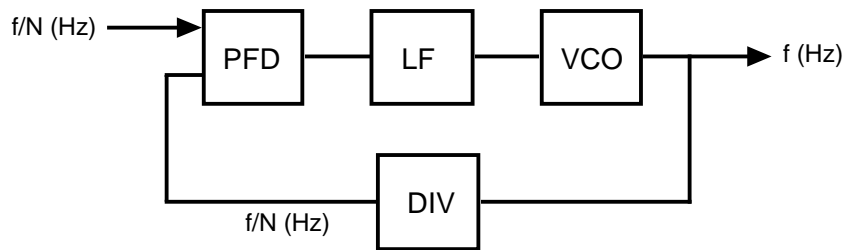


図 1.4 :クロック逡倍器の構成例

(3) クロック分配器 (Clock Distributor: CDIS)

クロック分配器は、1 本のクロックから複数本のクロックを生成するアナログ回路である。図 1.5 に 1 本のクロックから 2 本のクロックを生成する構成例[1.25]を示した。図 1.5 の構成例では、1 本の入力クロック信号がシングル-バランス変換回路(Single-balance transformation circuit: SBC)において差動信号に変換された後、差動アンプ(Differential Amplifier: Diff. Amp.)を介して差動すなわち 2 本のクロック信号が出力されている。出力本数を増やすには差動アンプを並列に追加していけば良いが、本研究で対象とする超 40Gbit/s 級のアプリケーションでは、並列化による帯域劣化に留意が必要である。

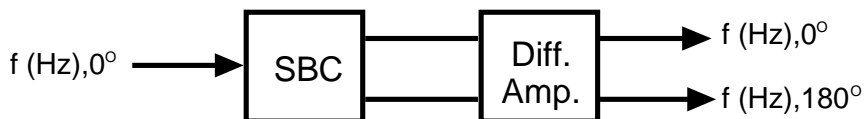


図 1.5 :クロック分配器の構成例

(4) クロック分周器 (Divider: DIV)

クロック分周器は、高速クロック信号を低速クロック信号へ変換する回路である。この動作はクロック逡倍器の動作の逆となる。またクロック分周器は、これまでに見てきたマルチプレクサやクロック逡倍器中に構成要素として組み込まれている。図 1.6(a)に 1/2 分周動作を行うクロック分周器の構成例[1.26]を示した。2 個のラッチ Latch1, 2 から成り、Latch2 の出力が Latch1 に反転入力されている。この構成はマスター・スレーブ型のトグル・フリップフロップ(Toggle flip-flop: TFF)として知られているものである。この場合、マスターが Latch1、スレーブが Latch2 である。図 1.6(b)は図 1.6(a)のクロック分周器のタイミングチャートである。Latch1 はクロックがローレベルの間入力データを透過出力し、クロックがハイレベルの間はクロックの立ち上がり時点でのデータを保持する。一方、クロックが反転入力されている Latch2 は Latch1 と逆にクロックがハイレベルの間入力データを透過出力し、クロックがローレベルの間はクロックの立ち下がり時点でのデータを保持する。以上から Latch2 の出力である本分周器の出力は、図 1.6(b)で示されるようにクロックの立ち上がりで論理反転するような動作を行う。入力クロックの立ち下がりでは論理反転せず、立ち上がりでのみ論理反転するので、出力の周期は入力の周期の 2 倍となり 1/2 分周動作が得られる。

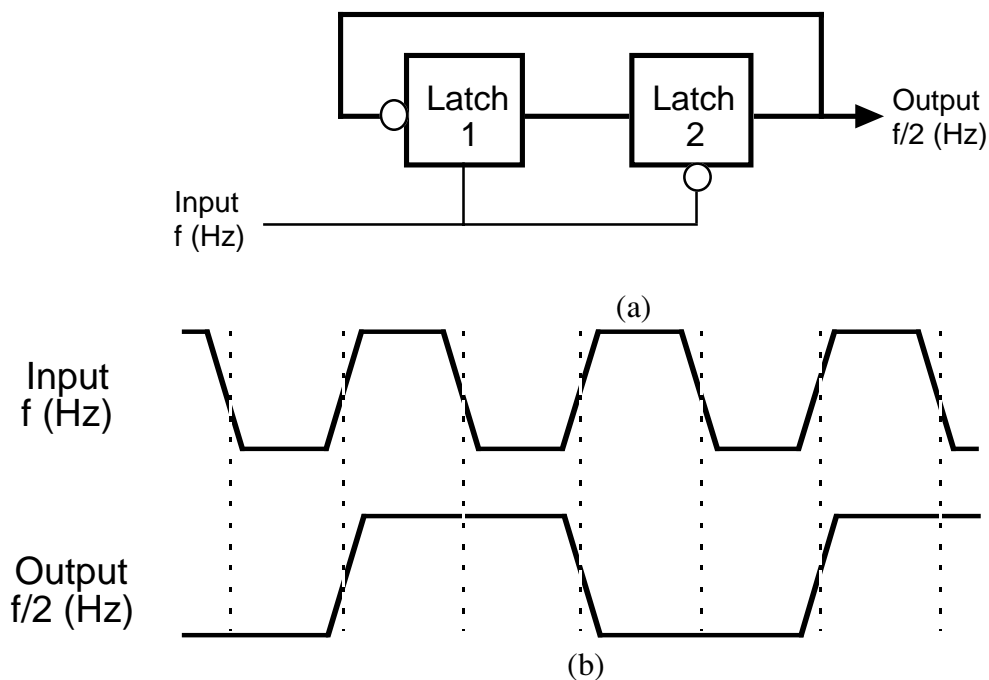


図 1.6:クロック分周器
(a) 構成例
(b) タイミングチャート

(5) 識別器 (Decision Circuit: DEC)

識別器はデータエッジの時間揺らぎ(ジッタ : Jitter)を抑圧し、データの有効な時間領域を拡大するデジタル回路である。リタイマ(Retimer)とも呼ばれる。図 1.7(a)に識別器の構成例[1.27]を示す。2 個のラッチが従属接続された構成となっている。この構成は前項目の TFF 同様、マスター・スレーブ型の遅延フリップフロップ(Delayed flip-flop: D-FF)と呼ばれている。TFF と同じく、Latch1 がマスター、Latch2 がスレーブである。図 1.7(b)は識別器のタイミングチャートである。Latch1,2 は前項目 TFF での説明と完全に同じ動作をする。従って本識別器は図 1.7(b)に示されたように、入力クロックの立ち上がりでのデータを読み込み、その読み込んだデータを次のクロックの立ち上がりまで保持出力する。ここで入力データのエッジが図示されているように大きなジッタを有していても、出力データのエッジはクロックのエッジで打ち直されるので、結果としてジッタは除去される。

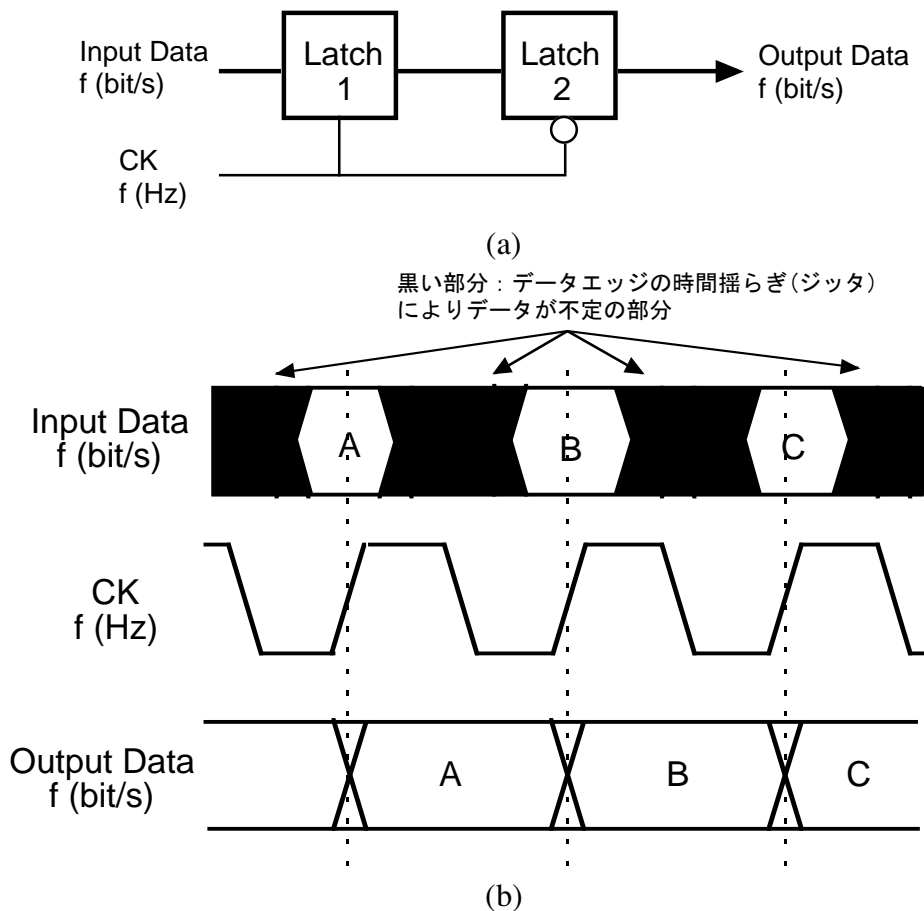


図 1.7： 識別器

(a) 構成例

(b) タイミングチャート

(6) ドライバ (Driver: DRV)

ドライバは、マルチプレクサ・識別器等デジタル回路の出力を光変調器の駆動電圧まで増幅するアナログ回路である。駆動電圧は光変調器の種類により異なるが、一般的に使用されているものでは InP ベースの電界吸収型(Electron Absorption type: EA 型)で 2.5~3.0Vpp、 LiNbO₃ ベースのマハツェンダー干渉計型(LiNbO₃ Mach-Zender type: LN-MZ 型)で 4.5~5.5 Vpp 程度*である。図 1.8 にドライバの構成例[1.29]を示す。構成例はカスコード(cascode)接続アンプを単位セル(Unit cell)とした分布定数構成の増幅器(Distributed amplifier)である。40Gbit/s 級ドライバでは耐圧性能に優れた GaAs pseudomorphic HEMT (GaAs 疑似格子整合 HEMT : GaAs p-HEMT)をトランジスタとして用いる例が多い。しかしながら GaAs p-HEMT は電流遮断周波数(current cut-off frequency: f_T)が 100GHz 程度であり、集中定数構成では 40Gbit/s 級信号に必要な帯域を確保するのが容易ではない。そこで集中定数構成と比較して帯域を拡大しやすい分布定数構成が用いられる傾向にある。

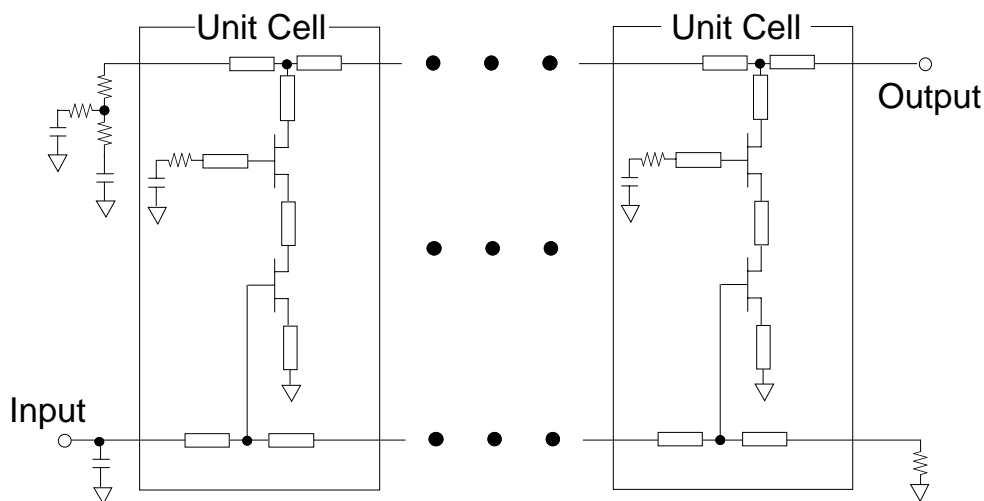


図 1.8 : ドライバの構成例

(7) プリアンプ (Pre-amplifier: Pre Amp.)

プリアンプは、フォトダイオードで生成された微弱な光電流を増幅し電圧信号に変換するアナログ回路である。入力が電流、出力が電圧であることからトランスイ

* 文中に示した駆動電圧は市販品レベルのもの。研究レベルでは駆動電圧の低電圧化が進められつつあり、40Gbit/s 級 LN-MZ 型で駆動電圧 1.8Vpp(差動振幅、差動 1 本あたりでは 0.9Vpp)[1.28]等の報告も有る。

インピーダンスアンプ(Transimpedance Amplifier: TIA)とも呼ばれる。図 1.9 にプリアンプの構成例[1.30]を示す。並列帰還アンプ(Parallel-feedback amp.)、ソースフォロワ(Source follower)、出力バッファ(Output buffer)の3つの部分回路から構成されている。S/N 比の悪い微弱な光電流を扱うことから、雑音指数(Noise Figure)が他のアナログ回路よりも重要な評価項目の1つとなる。

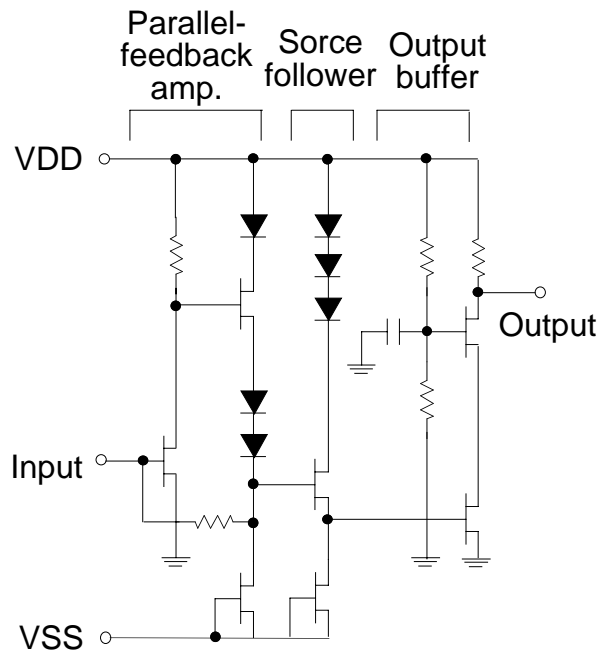
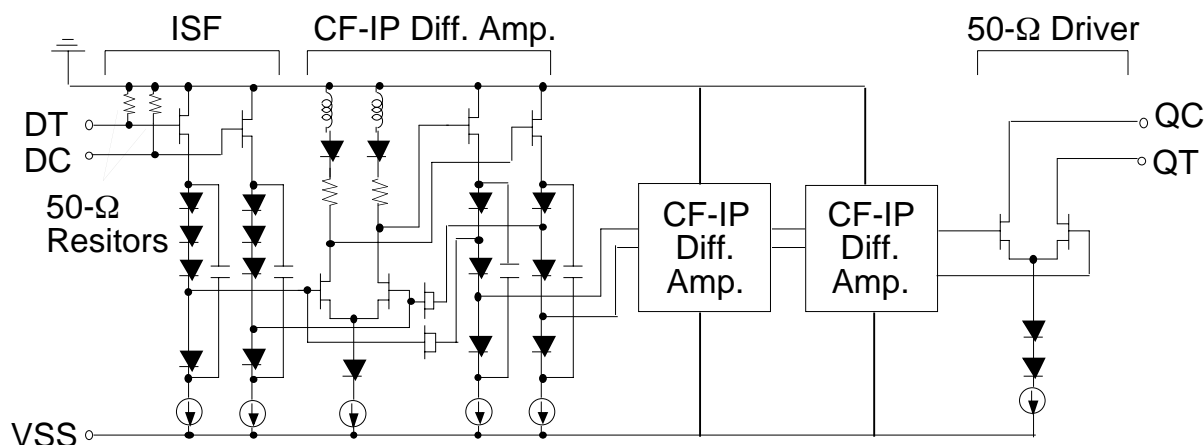


図 1.9: プリ・アンプの構成例

(8) リミッティングアンプ (Limiting Amplifier: LIM)

リミッティングアンプは、プリアンプの増幅度の不足分を補いつつ信号振幅を後段のクロック・データ再生回路等のデジタル回路が動作する範囲に収めるアナログ回路である。図 1.10 にリミッティングアンプの構成例[1.25]を示す。構成例は、インピーダンス変換を行う入力ソースフォロワ(Input source follower: ISF)、容量帰還-インダクタピーキング差動アンプ(Capacitive-feedback & Inductor peaking differential amplifier: CF-IP Amp.)3段、及び 50Ωドライバ(50-Ω driver)から構成されている。出力段にある 50Ωドライバは電流切り替え型の差動アンプであり、(50Ωドライバ中の電流源の電流量) \times (50Ω外部負荷抵抗)を上限として出力電圧振幅は制限される。また 3段から成る容量帰還-インダクタピーキング差動アンプはプリアンプの増幅度の不足分を補い、一般に数十 mV 程度のプリアンプ出力を 500mV~1000mV 程度の出力上限値まで増幅する。



ISF: Input Source Follower
 CF-IP Amp.: Capacitive Feedback &
 Inductor Peaking Differential Amplifier

図 1.10 :リミッティング・アンプの構成例

(9)クロック・データ再生器(Clock and Data Recovery Circuit: CDR)

クロック・データ再生器は、伝送路の影響により時間的に揺らいだ入力データ信号からクロック信号を抽出、且つそのクロック信号を用いて入力データ信号の時間揺らぎを除去する回路である。図 1.11 に構成例[1.31]を示す。構成例は位相同期ループ(Phase-Locked Loop: PLL)を利用したものであり、2つのラッチ(Latch1,2)、半ビット遅延器(Half-bit Delay)、位相比較器(Phase Comparator: PC)、低域透過器(Low-Pass Filter: LPF)、及び電圧制御型発振器(Voltage-Controlled Oscillator: VCO)から成っている。PCにおいて3つの信号 1)入力データ、2)半ビット遅延器により半ビット遅延した入力データ、3)Latch1の出力の位相関係が比較され、比較結果が出力される。この出力はLPFを介しVCOの発振周波数・位相を制御するが、その制御の方向はLatch1,2が正しく識別動作するようにLatch1,2への入力データとクロックのタイミングを合わせるといふものである。以上のようにしてクロック・データ再生器では自動的に、時間揺らぎの有る入力データ信号からクロック信号と時間揺らぎが除去されたデータ信号が得られる。

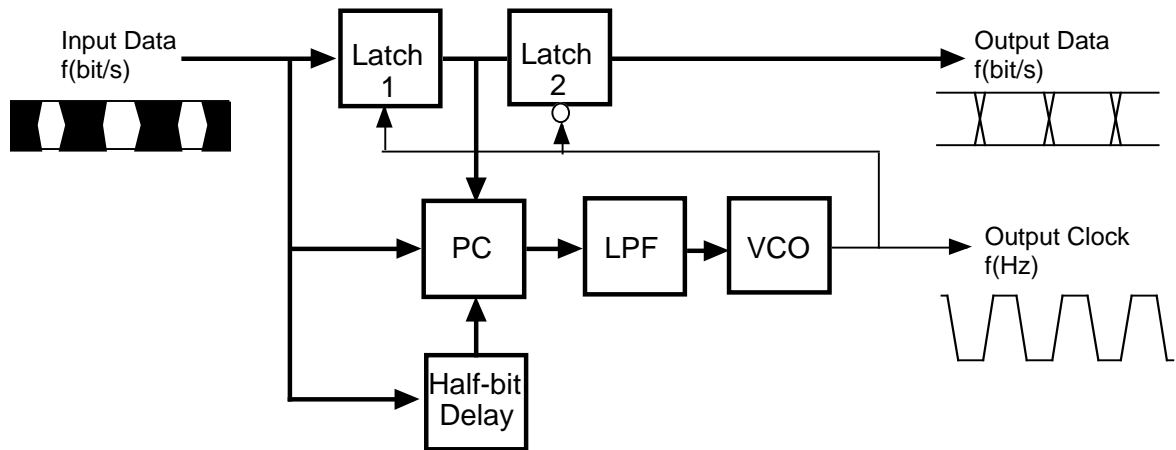
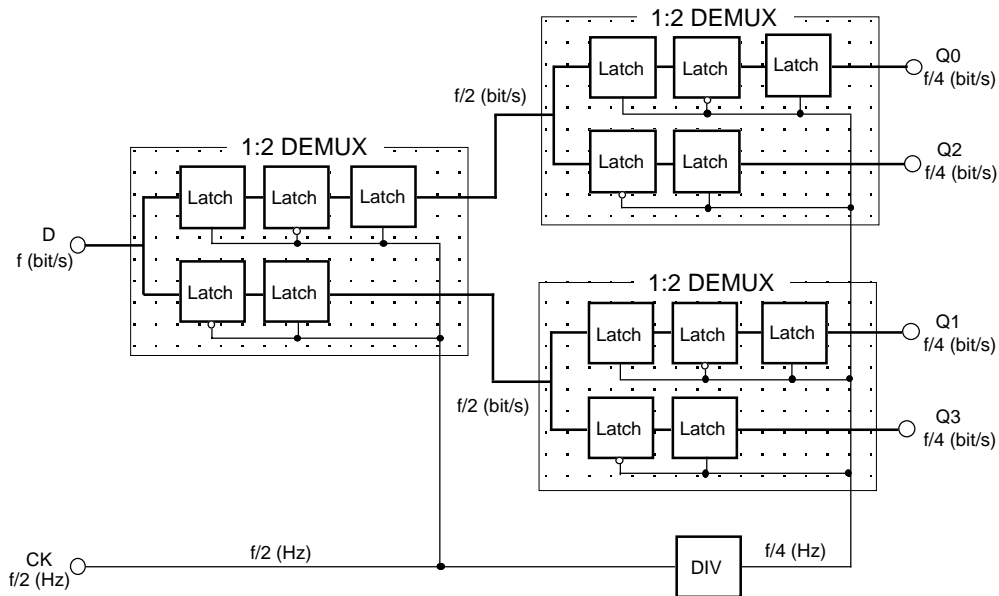


図 1.11 :クロック・データ再生器の構成例

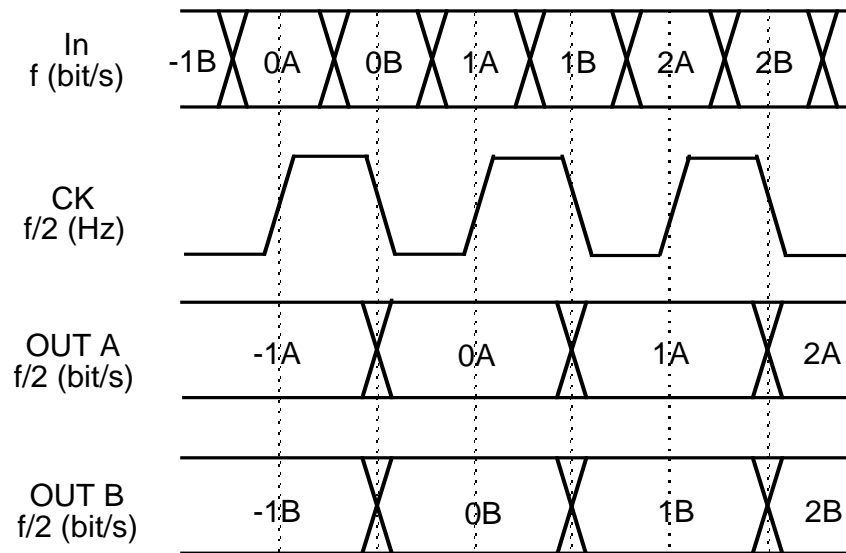
(10) デマルチプレクサ (Demultiplexer: DEMUX)

デマルチプレクサは、マルチプレクサの逆動作、すなわち高速の直列信号を低速の並列信号へ変換(シリアル-パラレル変換)するデジタル回路である。デマルチプレクサでもマルチプレクサと同様に分離する低速並列信号の数によって 1:2 DEMUX (2本へ分離)、1:4 DEMUX (4本へ分離)、1:16 DEMUX (16本へ分離)等と表記する。ここでは本研究で検討する 1:4 DEMUX を例に取り、その構成と動作を説明する。図 1.12(a)に 1:4 DEMUX の一般的な構成例[1.23]を示した。1:2 DEMUX を樹木状に配置した図 1.12(a)の構成は、マルチプレクサの場合と同様、ツリー型構成と呼ばれている。デマルチプレクサでは、1:2DEMUX を出力側に追加していくことで分離数を増やすことが可能である。すなわち 1:4 DEMUX の出力端子の各々に 1:2 DEMUX を追加することで 1:8 DEMUX が、更に 1:8 DEMUX の出力端子の各々に 1:2 DEMUX を接続することで 1:16 DEMUX が構成可能である。図 1.12(a)の 1:4 DEMUX の動作について説明する。 $f(\text{bit/s})$ の入力データ D は、入力端子に接続されている 1:2 DEMUX により、2本の $f/2(\text{bit/s})$ のデータへ分離される。更に分離された2本の $f/2(\text{bit/s})$ のデータは各々後段の 1:2 DEMUX に導かれ、最終的に4本の $f/4(\text{bit/s})$ のデータに分離される。この構成では、全ての 1:2 DEMUX がシリアル信号を2本のパラレル信号に分離する動作を行っている。図 1.12(b)は 1:2 DEMUX における分離動作のタイミングチャートである。入力データ In は、3つのラッチから成るラッチ列(以下「ラッチ列 A」)と2つのラッチから成るラッチ列(以下「ラッチ列 B」)各々で読み込まれるが、クロックの立ち上がりに対応するビットがラッチ列 A に読み込まれ、クロックの立ち下がりに対応するビットがラッチ列 B に読み込まれる。ここでラッチ列 A はラッチ列 B よりラッチの個数が1個多いことから、クロックの立ち上がりで読み込まれ

たデータは、半周期遅れてクロックの立ち下がりに同期して出力される。一方ラッチ列 B は、クロックの立ち上がりで読み込んだデータをすぐさま出力する。以上からタイミングチャートにあるように、ラッチ列 A,B 共にクロックの立ち下がりに同期して $f/2(\text{bit/s})$ のデータ信号を出力、1:2 の分離動作が完了する。



(a)



(b)

図 1.12: デマルチプレクサ
1:4 デマルチプレクサの構成例
(b) 各 1:2 デマルチプレクサのタイミングチャート

1.2 研究の目的と課題

以上の背景を踏まえ、本研究は、高速性および光電変換特性に優れた InP ベースの電子デバイス及び光電変換デバイスを用い、1 チャンネル当たり 40Gbit/s 更には 100Gbit/s 級の超高速・大容量光ファイバ通信システムに適用可能な電気 IC 及び光電融合 IC(OEIC)の実現を目的とする。この目的の達成のために、本研究では以下の 5 つの項目を課題とし取り組んだ。

課題 1： 40Gbit/s 級の単一ゲートのデジタル回路（単体のフリップフロップ等）は本研究開始以前に実現されていたが、実際の光ファイバ通信システムで使用する多重・分離回路等のデジタル回路には複数の論理ゲートを集積する必要がある。このとき、40Gbit/s という超高速動作下であるために各ゲートにおけるクロック信号とデータ信号のタイミングはマージンが少なく、精密なタイミング設計手法が必要である。

課題 2： 複数の論理ゲートを集積する多重・分離回路は消費電力が増大する傾向にある。しかしながら、光ファイバ通信システム全体の低消費電力化、及び発熱による回路自身の寿命劣化抑制の観点から、多重・分離回路の消費電力は可能な限り削減されることが望まれる。

課題 3： 40Gbit/s 級光ファイバ通信システムにはデジタル回路のみならず、リミッティングアンプ等のアナログ回路も不可欠である。これら 40Gbit/s 級アナログ回路について、設計手法を確立する必要がある。

課題 4： 光ファイバ通信システムに用いられる回路の中で、遅延フリップフロップ (Delayed Flip-Flop: D-FF)は、高速化が最も困難な品種の 1 つである。これは回路中にフィードバック・パスがあることが一因であり、その最高動作速度は本研究の開始時点では 40Gbit/s に留まっていた。また 40Gbit/s 以上の動作速度では、ケーブル・コネクタ等の回路の入力インターフェース部分の帯域不足も高速化を阻害する要因となり得る。超 40Gbit/s 遅延フリップフロップを実現するには、これら速度律速要因を克服する、新しいフリップフロップの回路構成を探求する必要がある。

課題 5： 課題 4 に関する研究の結果、共鳴トンネルダイオード(Resonant Tunneling Diode: RTD)と単一走行キャリアフォトダイオード(Uni-Traveling-Carrier Photodiode: UTC-PD)を用いる遅延フリップフロップを考案したが、その動作速度を制限する要因については不明な点が多かった。この制限要因を突き止め、動作速度限界を明らかにする必要がある。

1.3 本論文の構成

本論文では、前節で挙げた課題に関する研究内容を、以下の章構成で述べる。

- 第 1 章：序章（本章）
- 第 2 章：40Gbit/s 級 多ビット時間多重回路・分離回路のタイミング設計手法と InP HEMT を用いた実証（「課題 1」に対する研究内容）
- 第 3 章：40Gbit/s 級 多ビット時間多重回路・分離回路の低消費電力構成法と InP HEMT、InP HBT を用いた実証（「課題 2」に対する研究内容）
- 第 4 章：InP HEMT を用いた 40Gbit/s 級リミッティングアンプの設計手法と評価（「課題 3」に対する研究内容）
- 第 5 章：InP RTD、InP UTC-PD を用いた光電気融合型フリップフロップの構成法と実証（「課題 4」に対する研究内容）
- 第 6 章：InP RTD、InP UTC-PD を用いた光電気融合型フリップフロップの高速化設計手法と実証（「課題 5」に対する研究内容）
- 第 7 章：結論と将来展望

第 1 章すなわち本章では、本研究の背景を概説、それに続いて本研究の課題と本論文の構成について述べてきた。

第 2 章は「課題 1」に関する研究内容である。複数の論理ゲートを集積した 40Gbit/s 級デジタル回路として 4 ビット多重・分離回路を例に取り、そのタイミング設計手法と InP HEMT による実証結果を述べる。

第 3 章は「課題 2」に関する研究内容である。40Gbit/s 級多ビット多重・分離回路の低消費電力構成として多相クロック構成を提案、40Gbit/s 級の動作速度を犠牲にすることなく消費電力が大幅に削減可能であることを InP HEMT 及び InP HBT を用いて実証する。

第4章は「課題3」に関する研究内容である。40Gbit/s 級アナログ回路の例としてリミッティングアンプを取り上げ、InP HEMT を用いた場合の設計手法およびその試作評価結果について述べる。

第5章は「課題4」に関する研究内容である。超 40Gbit/s 級フリップフロップ構成として RTD と UTC-PD を用いた光電気融合型フリップフロップを提案する。またこの提案構成を InP 基板上にモノリシックに作製し、80Gbit/s 級の動作を確認した結果について述べる。

第6章は「課題5」に関する研究内容である。提案した RTD と UTC-PD による光電気融合型フリップフロップの、第5章で実証された速度以上の高速化のための設計手法及びその検証結果について述べる。また提案した光電気融合型フリップフロップの速度限界の理論予測についても触れる。

第7章では、本研究で得られた結果をまとめた後、InP プラットフォーム超高速 IC・OEIC の今後について展望する。

図 1.13 に本論文の各章の関係を示す。

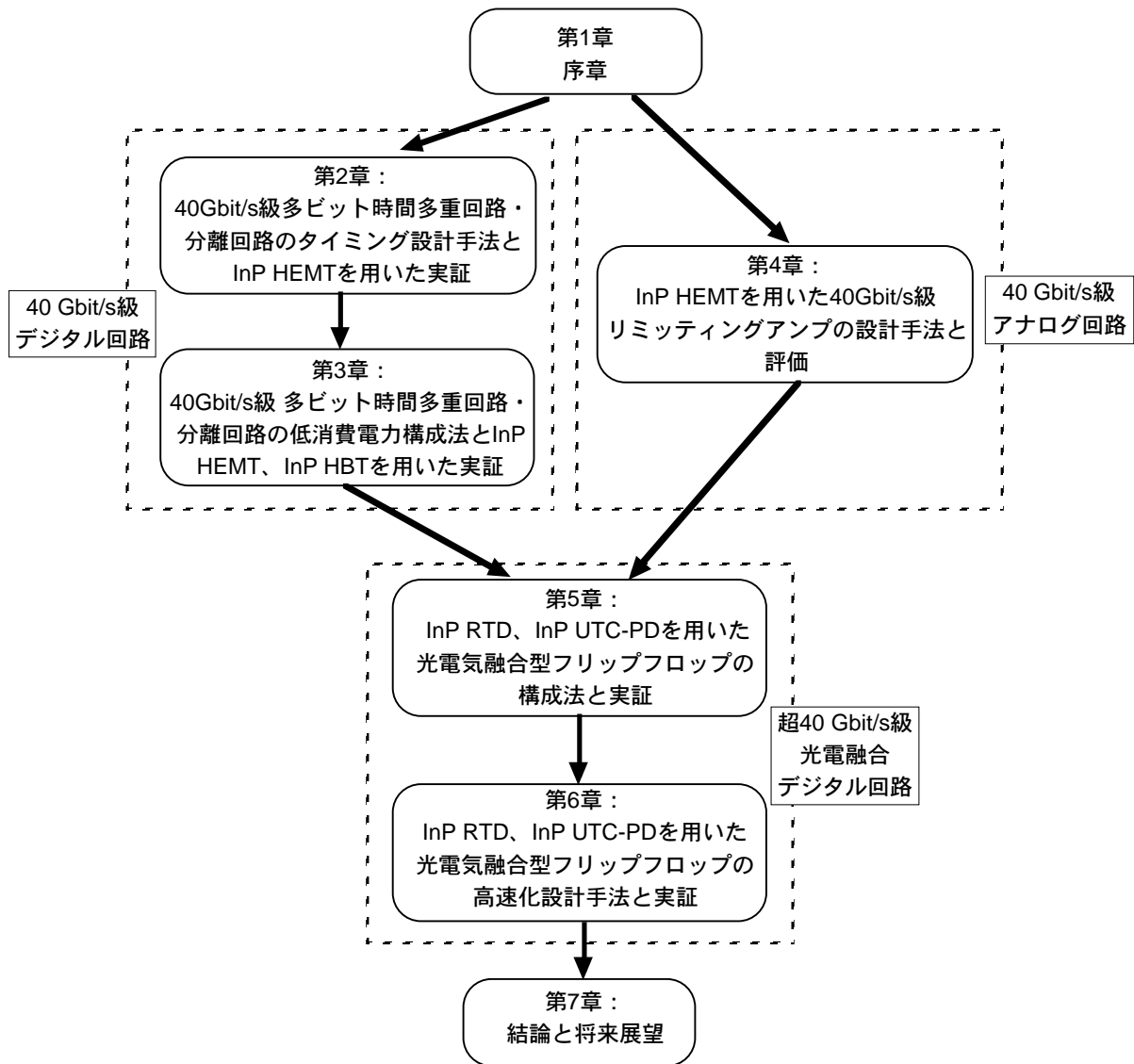


図 1.13: 本論文の章構成

序章の参考文献

- [1.1] NTT 東日本, “「B フレッツ」の新タイプ提供について”, 2002 年 4 月 11 日報道発表
- [1.2] 中川、萩本, “超大容量光伝送方式(FA-10G 方式)の技術開発”, NTT R&D, vol.44,no.3,pp.241-246, (1995)
- [1.3] Y. Miyamoto, M. Yoneyama, T. Otsuji, K. Yonenaga, and N. Shimizu, “40-Gbit/s TDM Transmission Technologies Based on Ultra-High-Speed IC’s”, IEEE Journal of Solid-State Circuits, vol. 34, no. 9, pp.1246-1253 (1999)
- [1.4] A. Noda, K. Takahashi, T. Isogai, T. Ikeuchi, I. Yoneda, M. Sasagawa, C. Konishi, and S. Fujita, “Fully Integrated 10Gb/s Optical Transmitter Module and Receiver Module”, Proceedings of ECOC 95, vol. 2, pp.669-672 (1995)

- [1.5] Y. Imai, E. Sano, and K. Asai, "Design and Performance of Wideband GaAs MMIC's for High-Speed Communication Systems", IEEE Transactions on Microwave Theory and Techniques, vol. 40, no.2, pp.185-190 (1992)
- [1.6] I. Hayashi, P.B. Panish, P.W. Foy, and S. Sumski, "Junction lasers which operate continuously at room temperature", Appl. Phys. Lett., vol. 17, no. 3, pp.109- (1970)
- [1.7] F. P. Kapron, D.B. Keck, and R.D. Maurer, "Radiation losses in glass optical waveguides", Appl. Phys. Lett., vol. 17, no. 7, pp.423- (1970)
- [1.8] H. Yonezu, I. Sakuma, T. Kamejima, M. Ueno, K. Nishida, Y. Nannichi, and I. Hayashi, "Degradation mechanism of AlGaAs double hetero structure laser diodes", Appl. Phys. Lett., vol. 24, no. 1, pp.18- (1974)
- [1.9] K. Oe, and K. Sugiyama, "GaInAsP/InP double-heterostructure lasers prepared by a new LPE apparatus", Japan J. Appl. Phys., vol. 15, pp. 2003-2004 (1976)
- [1.10] S. Akiba, K. Sakai, Y. Matsushima, and T. Yamamoto, "Room-temperature C.W. operation of InGaAsP/InP heterostructure lasers emitting at $1.56 \mu\text{m}$ ", IEE Electron. Lett., vol. 15, pp.606-607 (1979)
- [1.11] D.N. Payne, and W.A. Gambling, "Zero material dispersion in optical fibers", IEE Electron. Lett., vol. 11, no.4, pp.8-9 (1975)
- [1.12] T. Mita, Y. Terunuma, T. Hosaka, and T. Miyasita, "An ultimately low-loss single-mode fiber at $1.55 \mu\text{m}$ ", IEE Electron. Lett., vol., no., pp.106-108 (1979)
- [1.13] 島田、内田, "中小容量光伝送方式最終現場試験の概要", 通研実報, vol.30,no.9,pp.2121-2132, (1981)
- [1.14] 岩橋、福富, "F-400M 方式の概要", 通研実報, vol.32,no.3,pp.575-582, (1983)
- [1.15] 木村、中川, "F-1.6G 方式の概要", 通研実報, vol.36,no.2,pp.153-160, (1983)
- [1.16] 辻、坪井、荒井, "2.4Gb/s 新同期伝送方式", NTT R&D, vol.40, pp.667-678, (1991)
- [1.17] 鳥羽、宮本、米山、川西、山林, "次世代超高速伝送技術", NTT R&D, vol.48, no.1,pp.33-42, (1999)
- [1.18] H. Onaka, H. Miyata, G. Ishikawa, K. Otsuka, H. Ooi Y. Kai, S. Kinoshita, M. Seino, H. Nishimoto, and T. Chikama, "1.1 Tb/s WDM Transmission over 150 km $1.3 \mu\text{m}$ Zero-Dispersion Single-Mode Fiber", Optical Fiber Communications Conference (OFC) 1996, PD-19 (1996)
- [1.19] A. H. Gnauck, A. R. Chraplyvy, R. W. Tkach, J. L. Zyskind, J. W. Sulhoff, A. J. Lucero, Y. Sun, R. M. Jopson, F. Forghieri, R. M. Derosier, C. Wolf, and A. R. McCormick, "One Terabit/s Transmission Experiment", Optical Fiber Communications Conference (OFC) 1996,

PD-20 (1996)

[1.20] T. Morioka, H. Takara, S. Kawanishi, O. Kamatani, K. Takiguchi, K. Uchiyama, M. Saruwatari, H. Takahashi, M. Yamada, T. Kanamori, and H. Ono, "100 Gbit/s x 10 channel OTDM/WDM Transmission using a Single Supercontinuum WDM Source", Optical Fiber Communications Conference (OFC) 1996, PD-21 (1996)

[1.21] K. Fukuchi, T. Kasamatsu, M. Morie, R. Ohhira, T. Ito, K. Sekiya, D. Ogasahara, and T. Ono, "10.92-Tb/s (273x40-Gb/s) triple-band/ultra-dense WDM optical-repeated transmission experiment", Optical Fiber Communications Conference (OFC) 2001, PD-24 (2001)

[1.22] T. Otsuji, E. Sano, Y. Imai, and T. Enoki, "40-Gbit/s ICs for Future Lightwave Communications System", 1996 IEEE GaAs IC Symposium Technical Digest, pp.14-17 (1996)

[1.23] K. Sano, K. Murata, S. Sugitani, H. Sugahara, and T. Enoki, "50-Gbit/s 4-bit Multiplexer/Demultiplexer Chip-set using InP HEMTs", 2002 IEEE GaAs IC Symposium Technical Digest, pp. 207-210 (2002)

[1.24] A. Hendarman, E. Sovero, K. Witt, and X. Xu, "STS-768 Multiplexer With Full-Rate Output Data Retimer in InP HBT", IEEE Journal of Solid-State Circuits, Vol. 38, No. 9, pp. 1497-1503 (2003)

[1.25] K. Sano, K. Murata, S. Sugitani, H. Sugahara, and T. Enoki, "Data Limiting-Amplifier, Data Distributor, and Clock Distributor ICs for 40-Gbit/s-class Optical Communication Systems using InP HEMTs", 2002 International Conference on Solid State Devices and Materials (SSDM), E-4-2, pp.296-297 (2002)

[1.26] M. Sokolich, C. Fields, S. Thomas, B. Shi, Y. Boegeman, M. Monts, R. Matinez, A. Kramer, and M. Madhav, "A Low-power 72.8-GHz Static Frequency Divider in AlInAs/InGaAs HBT Technology", IEEE Journal of Solid-State Circuits, Vol. 36, No. 9, pp. 1328-1334 (2001)

[1.27] K. Murata, T. Otsuji, M. Ohhata, M. Togashi, E. Sano, and M. Suzuki, "A Novel High-Speed Latching Operation Flip-Flop (HLO-FF) Circuit and Its Application to a 19 Gb/s Decision Circuit Using 0.2 μm GaAs MESFET", IEEE Journal of Solid-State Circuits, Vol. 30, No. 10, pp. 1101-1108 (1995)

[1.28] M. Sugiyama, M. Doi, S. Taniguchi, T. Nakazawa, and H. Onaka, "Driver-less 40-Gb/s LiNbO₃ Modulator with Sub-1V Drive Voltage", Optical Fiber Communication Conference 2002, FB6-1, pp.854-856 (2002)

[1.29] H. Shigematsu, M. Sato, T. Hirose, and Y. Watanabe, "A 54-GHz Distributed Amplifier

With 6-Vpp Output for a 40-Gb/s LiNbO₃ Modulator Driver”, IEEE Journal of Solid-State Circuits, Vol. 37, No. 9, pp. 1100-1105 (2002)

[1.30] H. Fukuyama, K. Murata, K. Sano, H. Kitabayashi, Y. Yamane, T. Enoki, and H. Sugahara, “Optical Receiver Module using an InP HEMT Transimpedance Amplifier for over 40 Gbit/s”, 2003 IEEE GaAs IC Symposium Technical Digest, pp. 237-240 (2003)

[1.31] K. Murata, K. Sano, E. Sano, S. Sugitani, and T. Enoki, “Fully Monolithically Integrated 43Gbit/s clock and data recovery circuit in InP HEMT technology”, IEE Electronics Letters, vol. 37, no. 20, pp. 1235-1237 (2001)

第 2 章 : 40Gbit/s 級多ビット多重回路・分離回路の タイミング設計手法と InP HEMT を用いた実証

概要

40Gbit/s 級の単一論理ゲートのデジタル回路（単体のフリップフロップ等）は本研究開始以前に実現されていたが、実際の光ファイバ通信システムで使用される多ビット多重回路(MUX)・分離回路(DEMUX)等のデジタル回路には複数の論理ゲートを集積する必要がある。このとき、40Gbit/s という超高速動作下であるために各ゲートにおけるクロック信号とデータ信号のタイミングはマージンが少なく、精密なタイミング設計手法が必要となる。

本章では、40Gbit/s 級のビット数 4 の多重・分離回路、すなわち 4:1 MUX・1:4 DEMUX を例に取り、そのタイミング設計手法について述べる。40Gbit/s 級において正常な動作を得るには、データ信号とクロック信号間のタイミングを最小で数 ps のオーダで制御する必要があることが明らかになる。次いでこのタイミング設計手法に基づき試作した InP HEMT による 4:1 MUX IC と 1:4 DEMUX IC の評価結果について述べる。試作した 4:1 MUX IC 及び 1:4 DEMUX IC は共に設計仕様通り 4Gbit/s から 50Gbit/s まで連続的に動作したことから、本タイミング設計手法の妥当性が検証される。

2.1: はじめに

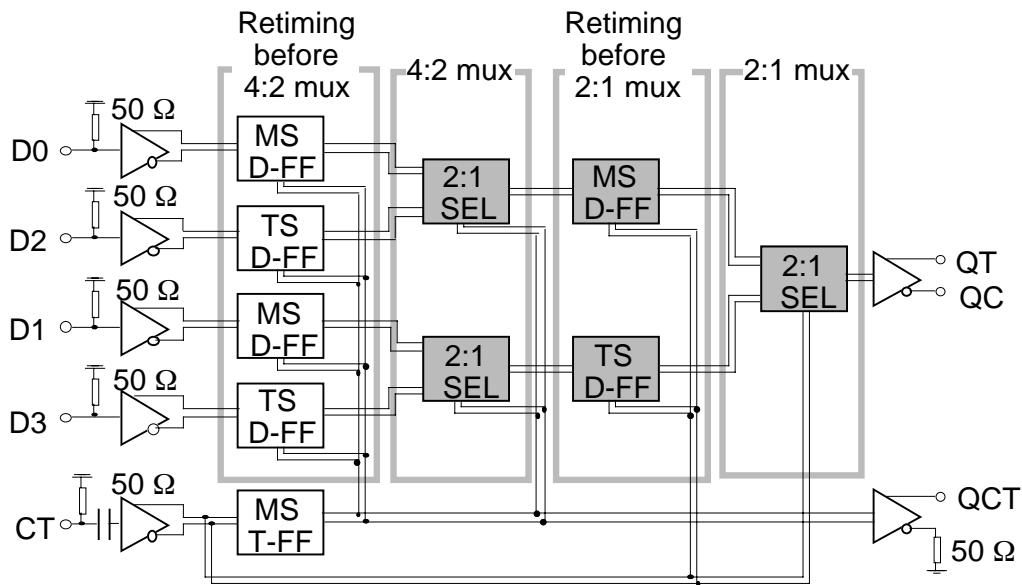
第 1 章で述べたように、40Gbit/s 時分割多重方式を用いた大容量光ファイバ通信システムの開発が進められている。この 40Gbit/s 時分割多重方式において、4:1 多重回路(4:1 MUX)は 4 並列の 10Gbit/s 信号を直列の 40Gbit/s 信号へ多重化、1:4 分離回路(1:4DEMUX)は逆に直列の 40Gbit/s 信号を 4 並列の 10Gbit/s 信号へ分離する重要な回路部品である。これまでに 40Gbit/s 以上で動作する 4:1MUX IC[2.1]-[2.8]、及び 1:4 DEMUX IC[2.1]-[2.3],[2.7],[2.9]-[2.11]がいくつか報告されている。しかしながら実用上重要と考えられる 1) 40Gbit/s に対して十分速度マージンのある 50Gbit/s 動作、2) 同符号連続が最大 31 ビット連続する 2^3-1 擬似ランダムビット列(Pseudorandom Bit Sequence: PRBS)に対するエラー・フリー動作の 2 点を確認しているのはわずか Adamczyk[2.1]らと Meghelli[2.2]らの報告のみであり、これらにしてもその回路設計手法は明確になっていない。

本章では、40Gbit/s 級の 4:1MUX IC と 1:4 DEMUX IC の回路設計手法、とりわけ

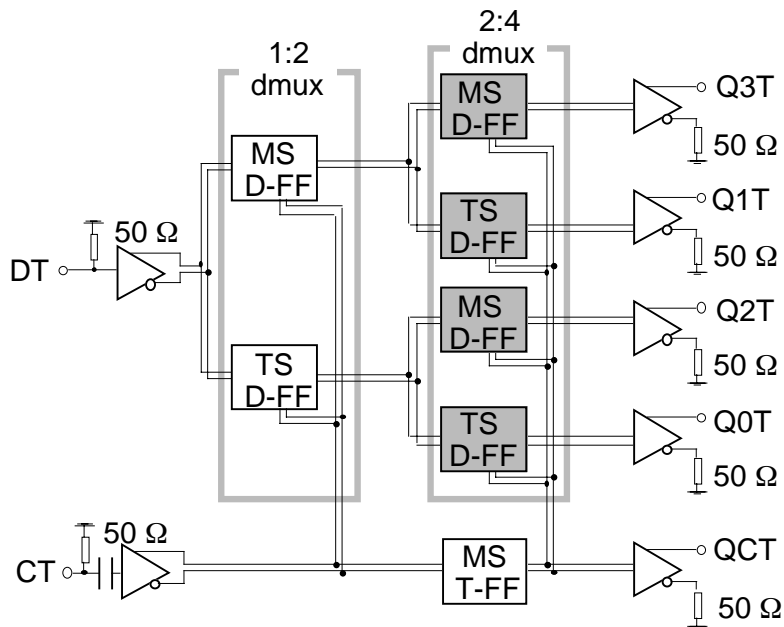
超高速動作であるが故に重要なタイミング設計手法について述べる。40Gbit/s 級の MUX/DEMUX IC において正常な動作を得るには、データ信号とクロック信号間のタイミングが数 ps のオーダーで制御される必要があることが明らかにされる。次いで、このタイミング設計手法に基づき試作した、InP HEMT による 4:1 MUX IC/ 1:4 DEMUX IC について評価結果を述べる。試作 MUX / DEMUX IC 共に、設計仕様通り 40Gbit/s を包含しつつ 4Gbit/s から 50Gbit/s まで連続的動作すると同時に、50Gbit/s 2^31 -1PRBS に対してエラー・フリー動作することが確認された。すなわち、回路設計手法を明らかにしつつ、前述した Adamczyk[2.1]らと Meghelli[2.2]らの報告と同等以上の性能を得ることに成功した。

2.2: InP HEMT 4:1 MUX / 1:4 DEMUX IC 設計概要

タイミング設計の詳細に先立って、今回設計・試作した InP HEMT 4:1 MUX/ 1:4 DMUX IC に関して、タイミング設計以外の設計の概要について述べる。実際の設計でも、本論文での構成と同様、タイミング設計以外の設計をほぼ収束させた後、本格的にタイミング設計に入る。図 2.1 に 4:1 MUX / 1:4 DEMUX IC の回路ブロック図を示す。MUX、DEMUX 共にツリー型(tree-type)と呼ばれる回路構成である。入力端子は全て単相 (single-ended) 信号対応であり、IC チップ上の 50Ω で終端されている。クロック入力は 2GHz 以上の AC 結合となっており、データ入力は DC 結合である。出力は、50Ω に整合した両相 (differential) 信号出力のバッファアンプから取り出される。DEMUX に関しては、チップサイズの制約から両相信号の片方が IC チップ上で 50Ω 終端されている。



(a) 4:1 MUX

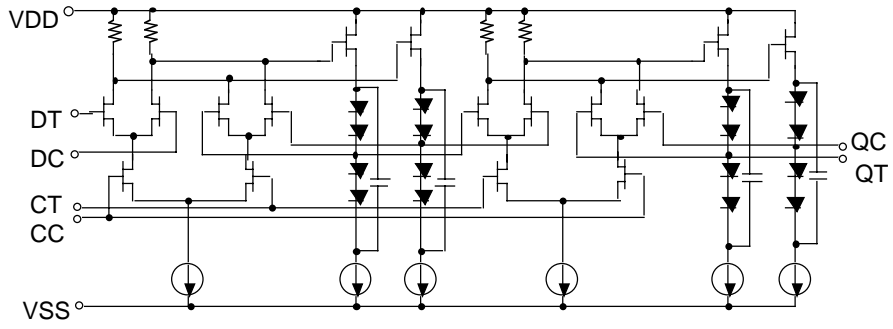


(b) 1:4 DEMUX

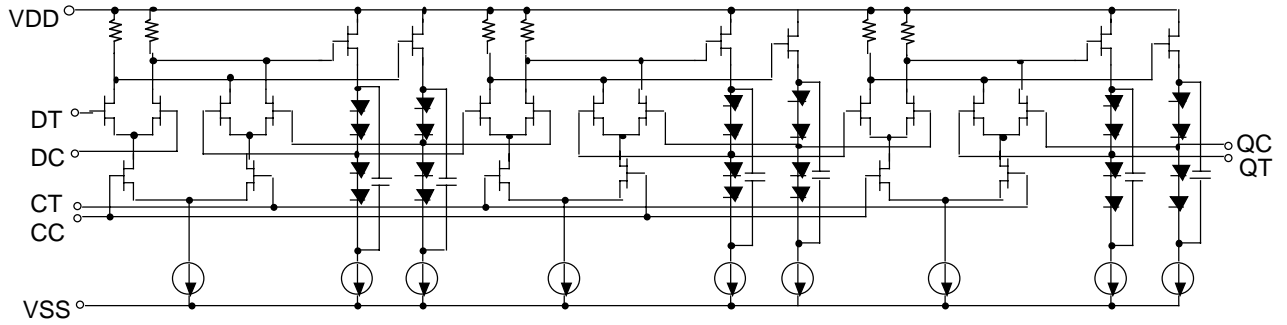
図 2.1: 4:1 MUX と 1:4 DEMUX の回路ブロック図
 MS D-FF: マスタースレーブ・遅延フリップフロップ
 TS D-FF: トライステージ遅延フリップフロップ
 2:1 SEL: 2:1 セレクタ
 MS T-FF: マスタースレーブ・トグル・フリップフロップ

図 2.2 に MUX / DEMUX を構成している各ブロックのトランジスタ・レベルの回路図を示す。全てのブロックがソース結合 FET 論理(Source-coupled FET logic: SCFL) 回路構成であり、トランジスタ差動対の縦積み段数は最大で 2 段、内部論理振幅は

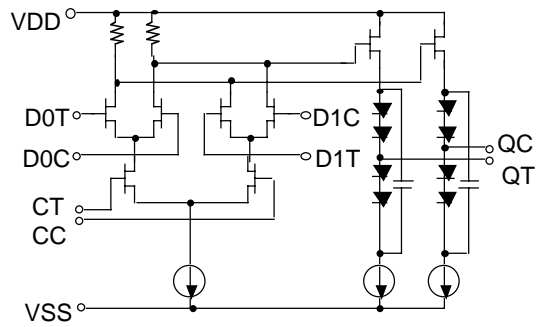
約 1000mVpp で設計した。(d)のバッファアンプに関しては、帯域を伸張するべく、ソース・ドレイン間を短絡した HEMT により実現された帰還容量[12]を付加している。このバッファアンプは、MUX の出力部、DEMUX の入力部、及び両者のクロック入力部に採用した。他の部分のバッファアンプに関しては、帰還容量無しでもその箇所に必要な帯域は確保できることが見込めたため、帰還容量は付加していない。



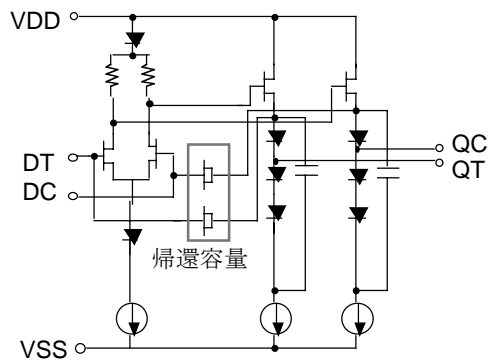
(a) MS-FF



(b) Tri-FF



(c) 2:1 SEL



(d) バッファアンプ

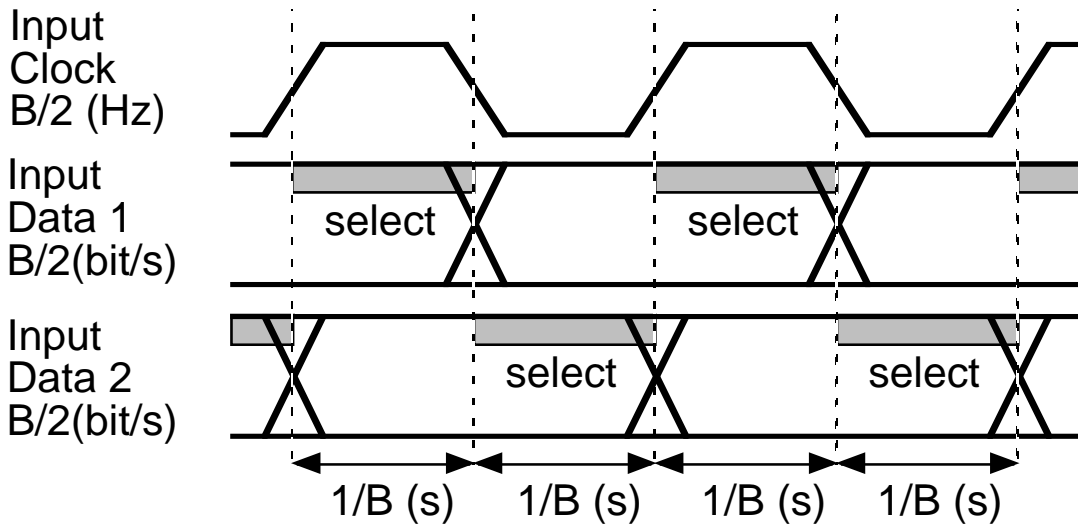
図 2.2: (a) MS-FF, (b) TS-FF, (c) 2:1 SEL, and (d) バッファアンプの回路図

2.3: タイミング設計手法

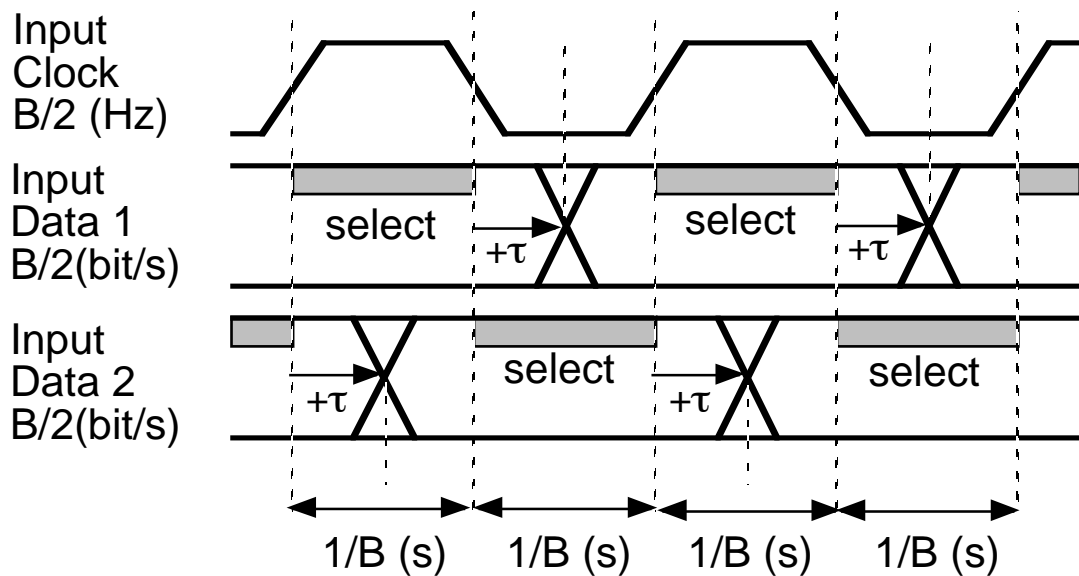
複数の論理ゲートから構成される 4:1 MUX / 1:4 DEMUX を 40Gbit/s という超高速で動作させるには、チップ内部のクロックとデータのタイミングに厳しい条件が求められる。クロックとデータのタイミング上重要なブロックは、図 2.1 において灰色に塗り潰されたブロックである。これらブロックは 4:2 MUX 部, Retiming before 2:1 MUX 部, 2:1 MUX 部, そして 2:4 DEMUX 部の各機能部分に存在しており、そこでのクロックとデータのタイミングは IC チップ外部から調整することができない。よって所望の動作を得るには、前述の各機能部分でのタイミングを IC チップ設計段階で綿密に検討する必要がある。以下、クロックとデータのタイミングを外部から調整できないブロック毎に、タイミング設計手法を明らかにする。

2.3.1: 4:2 MUX 部 と 2:1 MUX 部でのタイミング設計

図 2.3(a)に、ゲート遅延と配線遅延が 0 と仮定した時の 4:2 MUX と 2:1 MUX の入力端子でのタイミングチャートを示す。図中記載の B は、4:2 MUX もしくは 2:1 MUX の出力信号のビットレートである。B/2 (Hz)の入力クロックが、B/2 (bit/s)である 2 つの入力データのタイムスロットの後ろ半分を交互に選択している。このようにして 2 つの入力信号が 1 つのデータ列に多重化され、B(bit/s)のデータ信号が出力される。図 2.3(a)ではゲート遅延と配線遅延が 0 と仮定されているが、実際の IC ではこれらの値は 0 ではない。その結果、先程示した入力クロックと入力データの間には時間差（スキュー: skew）が発生する。図 2.3(b)は、ゲート遅延と配線遅延に起因して若干のスキュー(+ τ)が存在する時のタイミングチャートである。ここでスキューの値“+ τ ”を、入力クロックを基準とした、入力データの遅延時間で定義する。この定義により、スキューの“+”符号は入力データが入力クロックに対して遅れている事を意味し、“-”符号は逆に入力データが入力クロックに対して進んでいる事を意味する。



(a) ゲート遅延=0, 配線遅延=0 のとき (スキュー=0)



(b) ゲート遅延≠0, 配線遅延≠0 のとき (スキュー=+τ)

図 2.3 : 2:4 MUX 部と 2:1 MUX 部の入力でのタイミングチャート

ここで正常な 2:1 の多重化動作を得るには、図 2.3(b)で陰が付けられている時間部分、すなわち入力データが入力クロックによって選択されている時間部分が、隣接する 2 つのタイムスロットにまたがってはならないことが条件となる。この条件は、スキューが以下の範囲内に有る場合に保証される。

$$\frac{2n}{B} \leq \tau \leq \frac{2n+1}{B} \quad (2.1)$$

ここで、 n は整数、 B は 4:2MUX もしくは 2:1 MUX が出力する多重信号のビットレートである。

スキューが式(2.1)において $n=0$ の範囲に有る時、入力クロックによって選択される入力データのタイムスロットは、スキューがない場合($\tau=0$)に選択されるタイムスロットと同一である。 $n=\pm 1$ の範囲では、選択されるタイムスロットは、 $n=0$ で選択されるタイムスロットの 1 ビット隣のものである。このようにして、スキューが $n=\pm k$ ($k \geq 2$ の整数) の範囲に有る場合、選択されるタイムスロットは、 $n=0$ で選択されるタイムスロットの k ビット隣のものとなる。図 2.4 は、式(1)を用いて作成した、正常な 2:1 多重化動作を得るためのスキュー範囲を示す図である。もし動作ビットレートを狭い範囲に限定するなら、正常動作を得るスキュー範囲は複数存在する。例えば 50Gbit/s の 2:1 多重化動作だけを得たいのであれば、-40~-20ps, 0~20ps, 40~60ps... 等のスキュー範囲で動作は可能である。これとは対照的に、DC からの広範囲な動作ビットレートを得るには、スキューの範囲は唯一に絞られる。今回は、DC から 50Gbit/s までという広範囲な動作ビットレートが得られるようにスキューの設計を行った。4:1 MUX IC で DC から 50Gbit/s の動作を得るには、4:2 MUX 部は DC から 25Gbit/s までの動作、2:1 MUX 部は DC から 50Gbit/s までの動作範囲をカバーしなければならない。これらの動作範囲を満足するスキューの範囲は、図 4.2 から、4:2 MUX 部で 0~40ps, 2:1MUX 部で 0~20ps の範囲である。そこで今回は 4:2 MUX 部のスキューを 20ps、2:1MUX 部のスキューを 10ps に精度 ± 3 ps で設定した。これらのスキューの設計値は、4:2 MUX 部、2:1MUX 部それぞれでの最大動作ビットレートにおいて、スキュー変動に対するマージンが最大になるものである。これらスキューの値は、クロックのバッファアンプの段数、及びクロックの配線長を調節することで実現した。尚、クロックのバッファアンプ 1 段あたりの遅延時間は約 6ps、クロック配線 100 μ m あたりの遅延時間は約 0.5ps である。クロックのバッファアンプの段数を調整すること、特に段数を増加させての調整は、IC の消費電力を増やしてしまう。しかしながら今回の設計では、これまでに述べたタイミングの設計を優先し、消費電力は若干犠牲にした。

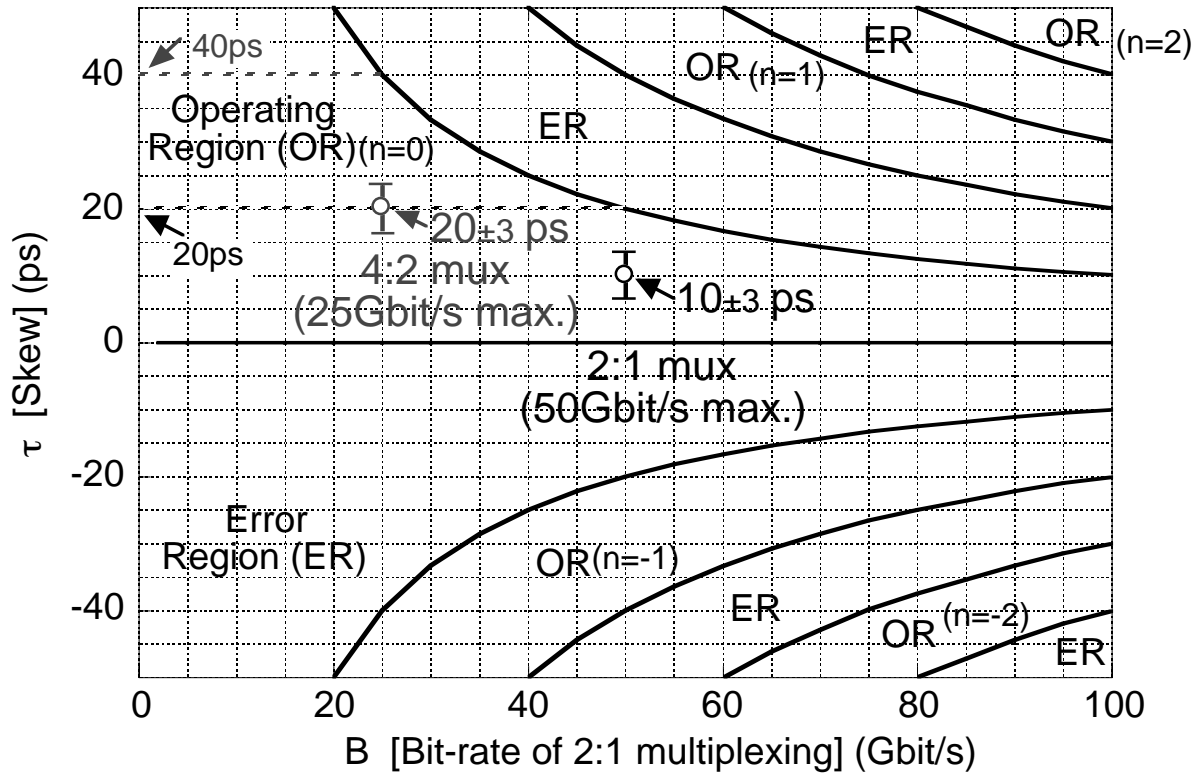
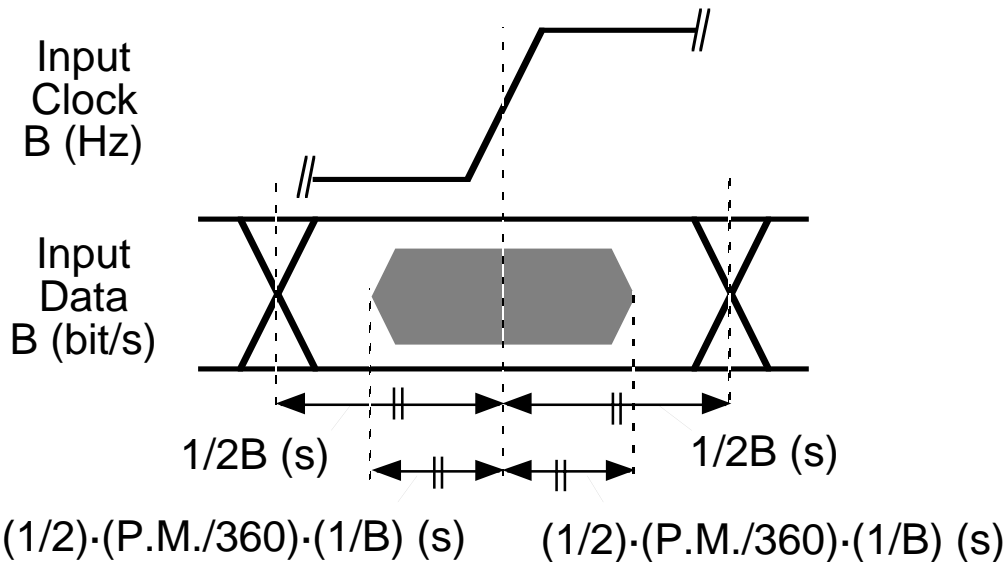


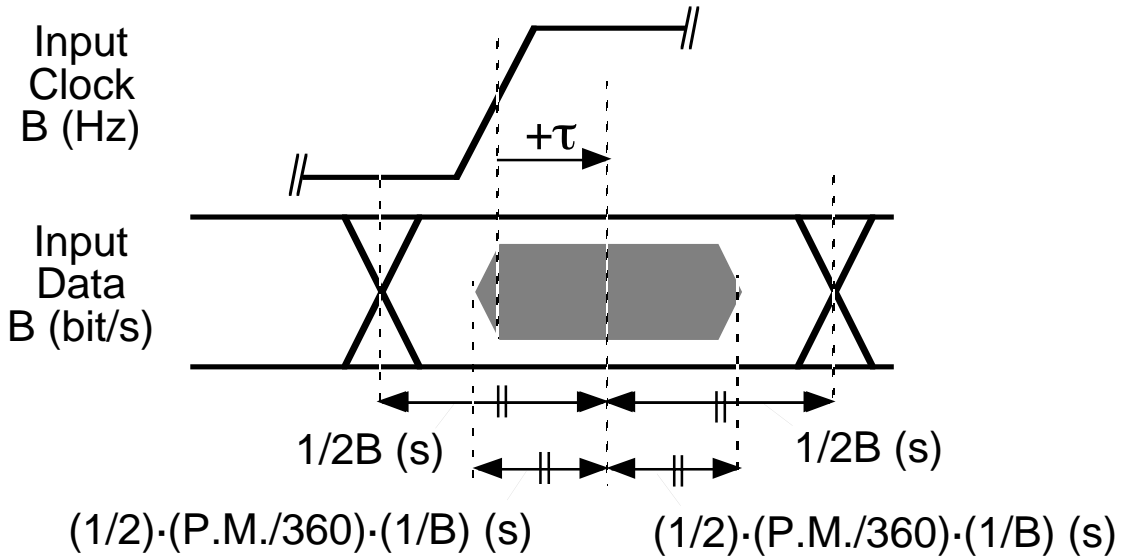
図 2.4 : 2:4 MUX 部と 2:1 MUX 部において
正常な 2:1 多重化動作を得るためのスキュー範囲

2.3.2: Retiming before 2:1 MUX 部でのタイミング設計

図 2.5(a)に、ゲート遅延及び配線遅延が無い場合の retiming before 2:1 MUX 部入力でのタイミングチャートを示す。周波数 $B(\text{Hz})$ の入力クロックが、ビットレート $B(\text{b/s})$ の入力データをタイムスロットの中心で読み込み、リタイミング動作（識別動作）を行う。これとは対照的に、図 2.5(b)は $+\tau$ のスキューが存在する時のタイミングチャートである。ここでも前節同様、スキューの値($+\tau$)を入力クロックに対する入力データの遅延時間と定義する。入力データを正常に読み込み、リタイミング動作を完了するには、入力クロックの立ち上がりエッジが図 2.5(b)の塗りつぶされた時間部分に存在することが必要である。ここで、図 2.5(b)の塗りつぶされた時間部分は当該部分を構成しているフリップ・フロップ回路の位相余裕の範囲である。この条件はスキューが以下の範囲内に収まる場合に実現される。



(a) ゲート遅延=0, 配線遅延=0 のとき (スキュー=0)



(b) ゲート遅延≠0, 配線遅延≠0 のとき (スキュー=+τ)

図 2.5 : retiming before 2:1 MUX 部の入力でのタイミングチャート

$$\frac{n}{B} - \frac{1}{2} \cdot \frac{P.M.}{360} \cdot \frac{1}{B} \leq \tau \leq \frac{n}{B} + \frac{1}{2} \cdot \frac{P.M.}{360} \cdot \frac{1}{B} \quad (2.2)$$

ここで、 n は整数、 B は retiming before 2:1MUX 部の動作ビットレート(b/s)、 $P.M.$ は retiming before 2:1MUX 部を構成しているフリップ・フロップ回路の位相余裕 (degree)である。

式(2.2)の整数 n は、入力クロックにより読み込まれるデータが、 $\tau=0$ の場合に読み込まれるデータの n ビット隣に位置していることを意味している。ここで、過去のフリップ・フロップ回路[2.13]の実験結果を踏まえて、位相余裕 $P.M.$ は図 2.6 に示さ

れるように、最悪-9 degree/(Gbit/s)の勾配で線形的に減少すると仮定する。この仮定により与えられた位相余裕 P.M.と式(2.2)から、正常なリタイミング動作に必要なスキューの範囲が得られる。図 2.7 にその計算結果を示す。前節の 4:2MUX 部・2:1MUX 部と同様に、狭い動作ビットレート範囲を得るためのスキュー範囲は複数個存在するが、DC からの広い動作ビットレート範囲を得るスキュー範囲は唯一である。4:1 MUX IC が DC から 50Gbit/s までの広範囲に渡って動作するには、retiming before 2:1 MUX 部は DC から 25Gbit/s までの動作をカバーする必要がある。この動作範囲を得るためにスキューは-7.5~+7.5 ps の範囲に収まらねばならない。今回の我々の設計では、このスキュー値を±3ps の精度で 0ps に設定した。この 0ps のスキュー値は、スキューの予期せぬ変動に対して最もマージンがある状態である。ここでも、クロックのバッファアンプの段数及びクロックの配線長を調節することで、このスキュー値を設定した。

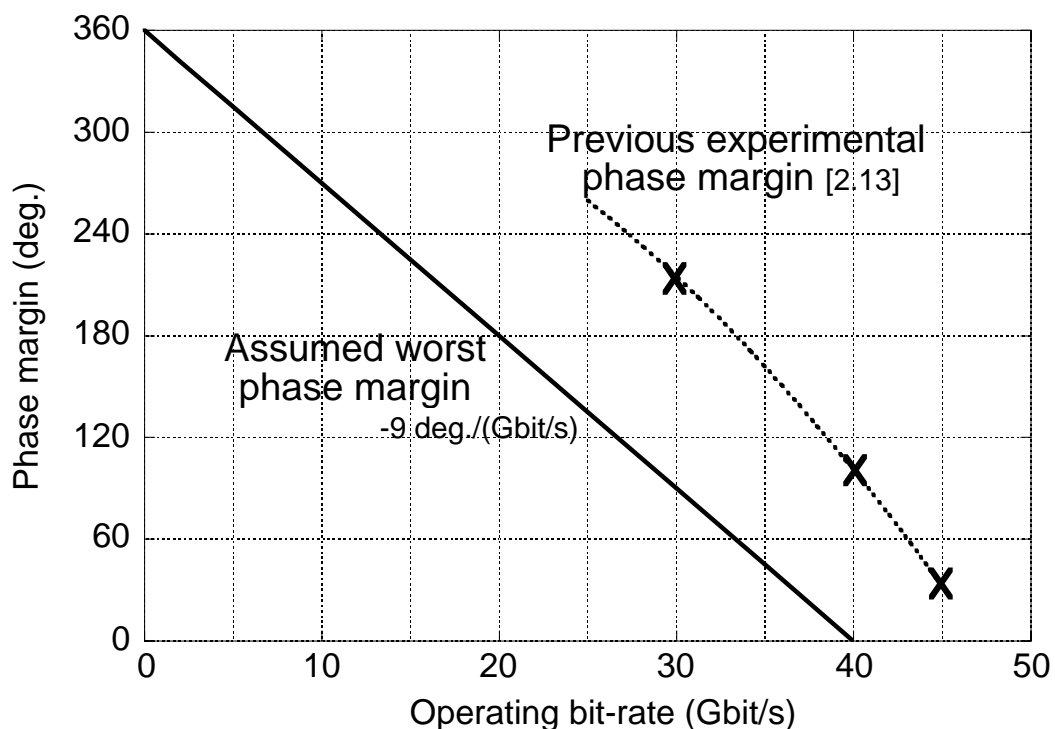


図 2.6 : Retiming before 2:1 MUX 部における仮定したワーストケースの位相余裕

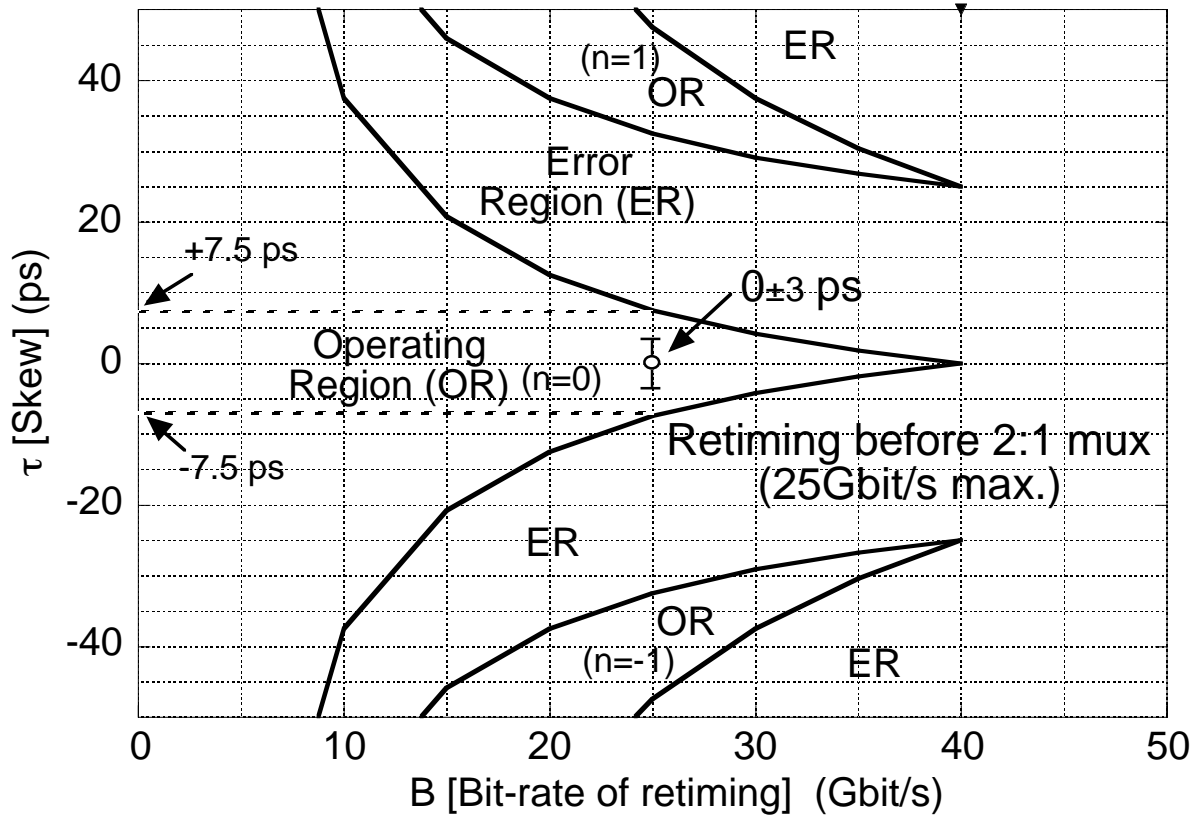


図 2.7 : Retiming before 2:1 MUX 部において
正常なりタイミング動作を得るためのスキュー範囲

2.3.3: 2:4 DEMUX 部でのタイミング設計

入力クロックの周波数が入力データのビットレートの半分である $B/2$ (Hz)であることを除いて、2:4 DEMUX 部におけるタイムチャートは、図 2.5 の retiming before 2:1 MUX 部と同様である。よって、正常動作に必要なスキュー範囲も retiming before 2:1 MUX 部と同様に式(2)で記述される。位相余裕 P.M.に関しては、以前作製した InP HEMT 1:2 DEMUX IC[2.14]の測定結果から、最悪 $-7.2 \text{ degree}/(\text{Gbit/s})$ の勾配で線形的に減少すると仮定する (図 2.8)。以上から、式(2)と仮定した位相余裕を用いて正常な 1:2 分離動作に必要なスキュー範囲が計算される。結果を図 2.9 に示す。1:4 DEMUX IC が DC から 50Gbit/s の広範囲で連続的に動作するには、2:4 DEMUX 部は DC から 25Gbit/s の範囲をカバーする必要がある。この動作範囲を得るのに求められるスキュー範囲は図 2.9 から、 $-10.0 \sim +10.0 \text{ ps}$ である。このスキュー範囲を、スキュー変動に対するマージンを最大限に有しつつ実現するよう、今回の設計ではスキュー値 $t=0 \pm 6 \text{ ps}$ とした。ここでも、前記のスキュー値はクロックのバッファアンプの段数及び配

線長の調整により実現されている。

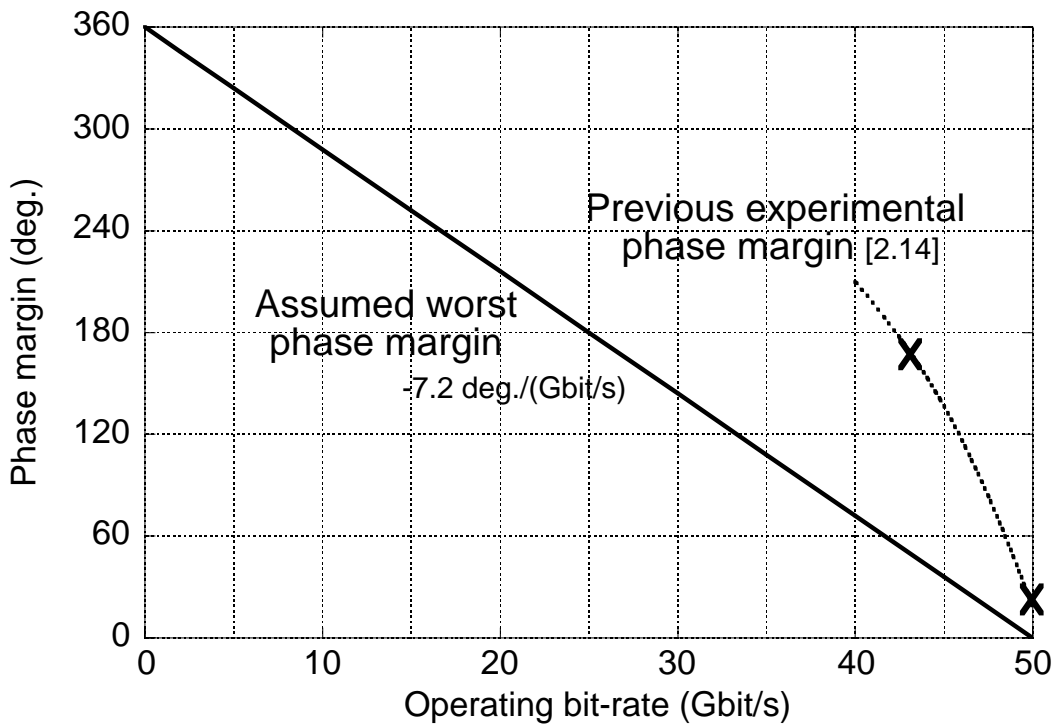


図 2.8 :2:4 DEMUX 部における仮定したワーストケースの位相余裕

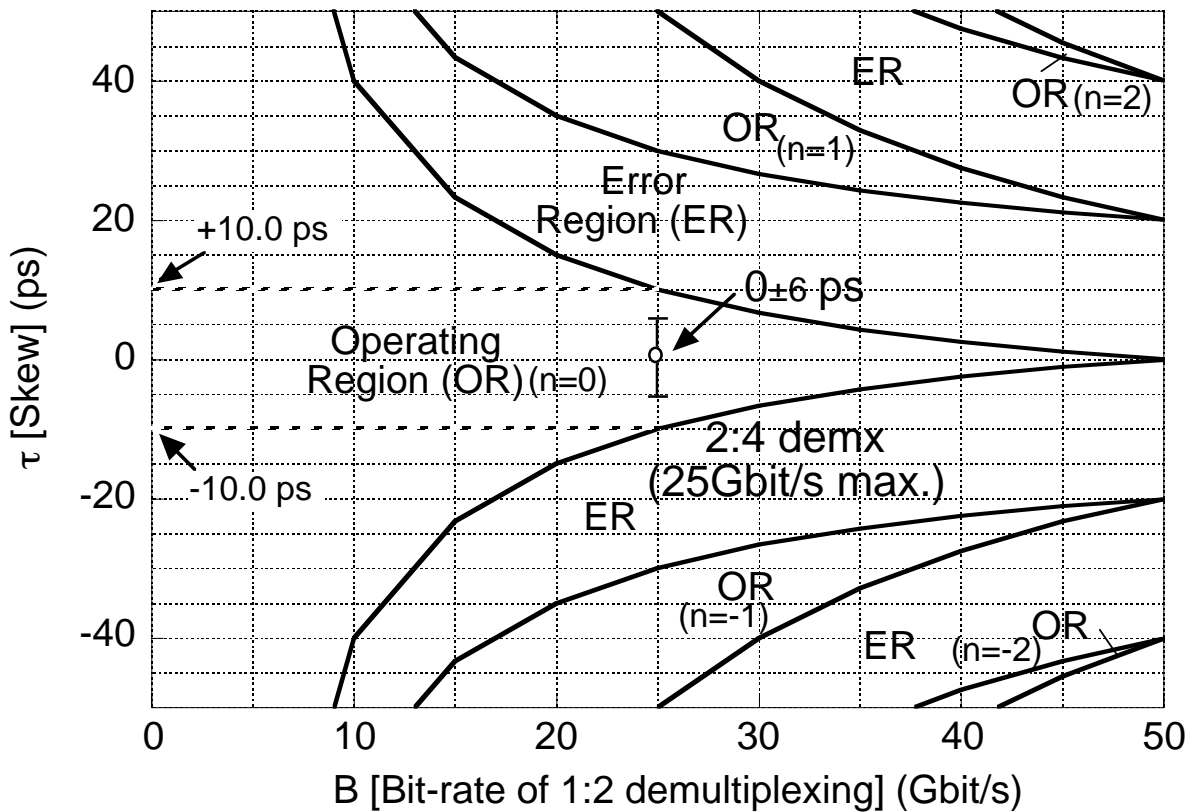
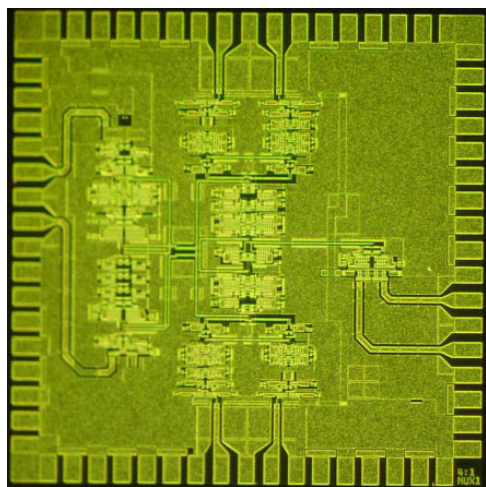


図 2.9 :2:4 DEMUX 部において
正常なリタイミング動作を得るためのスキュー範囲

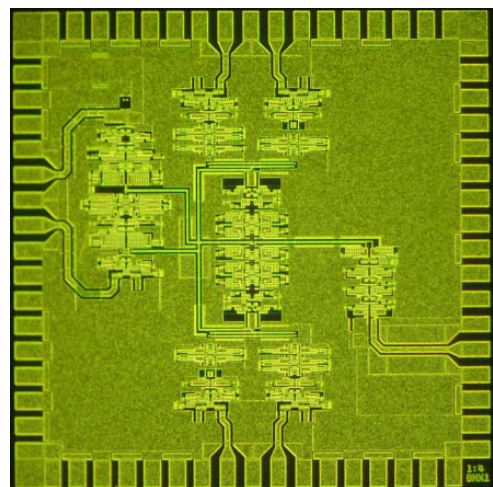
2.4 : IC 作製

4:1 MUX IC と 1:4 DEMUX IC を、3 インチの InP 基板の上に、ゲート長 $0.1\mu\text{m}$ の InP HEMT [2.15]を用いて作製した。使用した $0.1\mu\text{m}$ InP HEMT の主なトランジスタ・パラメータは以下の通りである。トランスコンダクタンス(g_m): 1.1 S/mm , 電流遮断周波数(f_T): 168 GHz , 閾値(V_{th}): -0.58 V , 閾値標準偏差($\sigma_{V_{th}}$): 40 mV である。図 2.10 に作製した 4:1 MUX IC と 1:4 DEMUX IC のチップ写真を示す。チップサイズは共に $3\text{ mm} \times 3\text{ mm}$ である。使用素子数は MUX が 1327、DEMUX が 1351 である。



size : $3 \times 3\text{ mm}^2$

(a) 4:1 MUX



size : $3 \times 3\text{ mm}^2$

(b) 1:4 DEMUX

図 2.10 :InP HEMT 4:1 MUX/ 1:4 DEMUX IC のチップ写真

2.5 : 評価測定

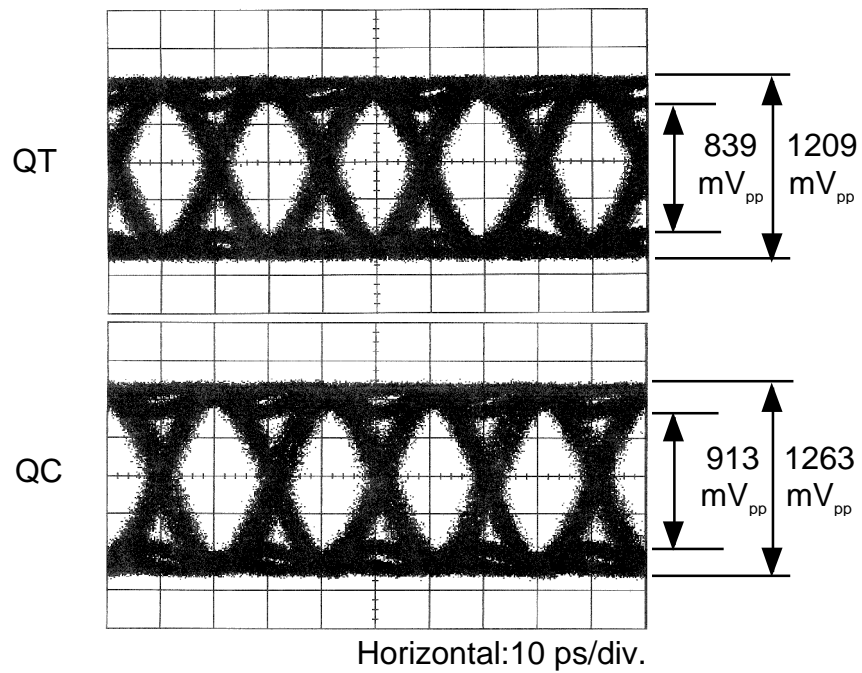
2.5.1: オンウェファ測定

最初に、作製した 4:1 MUX / 1:4 DEMUX IC を RF プロブによりオンウェファで評価した。動作ビットレートは、設計上の最高動作ビットレートである 50 Gbit/s とした。尚、 50 Gbit/s は所有する疑似ランダムビット列(Pseudorandom Bit Sequence: PRBS)測定系の最高動作速度でもある。

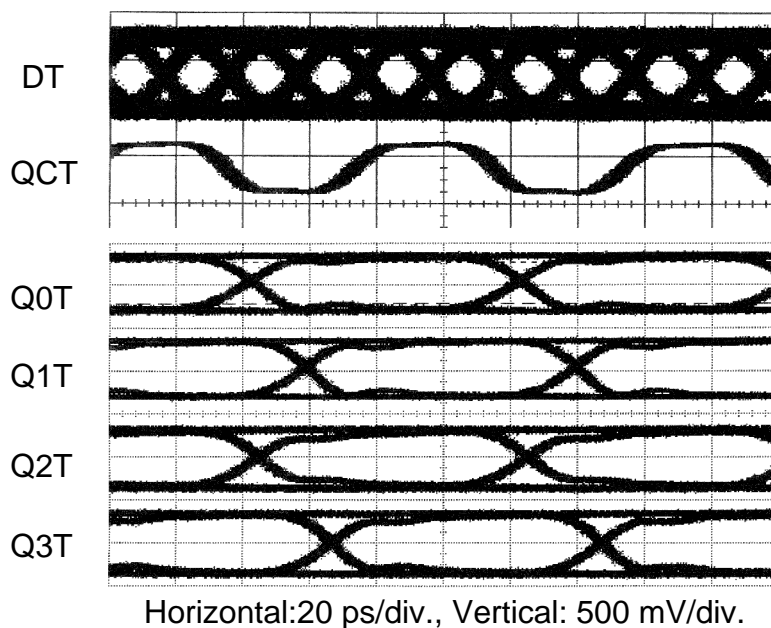
MUX IC への入力は、4 本の 12.5 Gbit/s の単相 PRBS データ(D0,D1,D2,D3)、及び 25 GHz の単相正弦波クロック(CT)である。4 本の PRBS データの位相は、隣接する PRBS データ (例えば D1 の場合、D0 と D2 が隣接する PRBS データ) と PRBS の $1/4$ 周期だけ互いにずれている。このため、多重化された 50 Gbit/s 信号も真の PRBS デ

ータとなる。信号源としては、PRBS データ用に 4 チャンネル出力パルスパターン発生器(Pulse Pattern Generator: PPG)を、クロック用にシンセサイザを用いた。入力振幅はデータ・クロック共に 1Vpp とした。

DEMUX IC への入力は、50Gbit/s の単相 PRBS データ(DT)、及び 25GHz の単相正弦波クロック(CT)である。50Gbit/s の PRBS データは、4 チャンネル出力 PPG、4:2 マルチプレクサ、及び InP HEMT の 2:1 マルチプレクサを使用して作成した。この 50Gbit/s の PRBS データも、真の PRBS であることを確認している。50Gbit/s データ及び 25GHz クロックの RMS ジッタは、50GHz サンプリグオシロスコープ(メインフレーム：HP54750A, サンプリグヘッド：HP54752A)で評価したところそれぞれ 1.14ps, 1.07ps であった。入力振幅は MUX 同様、クロック・データ共に 1Vpp とした。



(a) 4:1 MUX IC



(b) 1:4 DEMUX IC

図 2.11 :InP HEMT 4:1 MUX/ 1:4 DEMUX IC の 50 Gbit/s オンウェファ動作波形

図 2.11 に 4:1 MUX / 1:4 DEMUX IC の 50Gbit/s オンウェファ動作波形を示す。これら動作波形は、DEMUX の入力クロック・データの RMS ジッタを測定したサンプリングオシロスコープと同一のものにより測定された。

MUX IC は、良好なアイ開口の 50Gbit/s 差動信号(QT,QC)を出力していることがわかる。2 つの出力信号共に、1200mVpp 以上の振幅と 800mV 以上のアイ開口を有し

ている。これら出力を InP HEMT 識別器及び Si Bipolar 識別器を用いて 4 本の 12.5Gbit/s の信号に変換、これらの信号をエラーディテクタ (Error Detector: ED)に導くことで、PRBS 長 $2^{31}-1$ でのエラーフリー動作も確認した。また入力データに対する位相余裕についても、4 本の 12.5Gbit/s 入力データを同時に位相シフトさせることで測定し、162 degree (36ps)の位相余裕を確認した。消費電力は、-4.5V 電源電圧下で 5.47W であった。

DEMUX IC に関しても 4 本の 12.5Gbit/s の出力をエラーディテクタに入力、エラーフリー動作を確認した。50Gbit/s 入力データに対する位相余裕は、PRBS 長 2^9-1 に対して 180 degree (10ps)であった。このオンウェファの DEMUX IC 評価では、 2^9-1 以上の PRBS 長に対してはエラーフリー動作を確認することができなかった。これは、後ほどパッケージ実装された DEMUX IC 評価の部分で明らかになるように、オンウェファ測定時の電源供給の不安定さに起因するものと思われる。(オンウェファ評価時は、RF プロブのピン数制限により、IC 全ての電源端子に電源を供給することができない) DEMUX IC の消費電力は、-4.5V 電源電圧下で 5.53W であった。

2.5.2:実装パッケージ測定

オンウェファ測定の後、4:1 MUX / 1:4 DEMUX IC を RF コネクタ 8 本付きのパッケージに実装した。図 2.12 に実装パッケージの外観写真を示す。

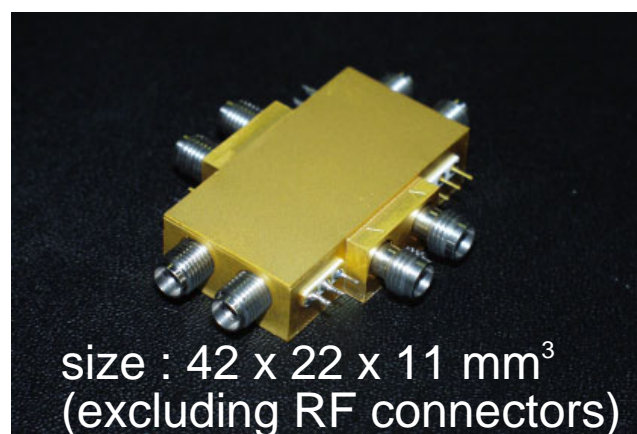
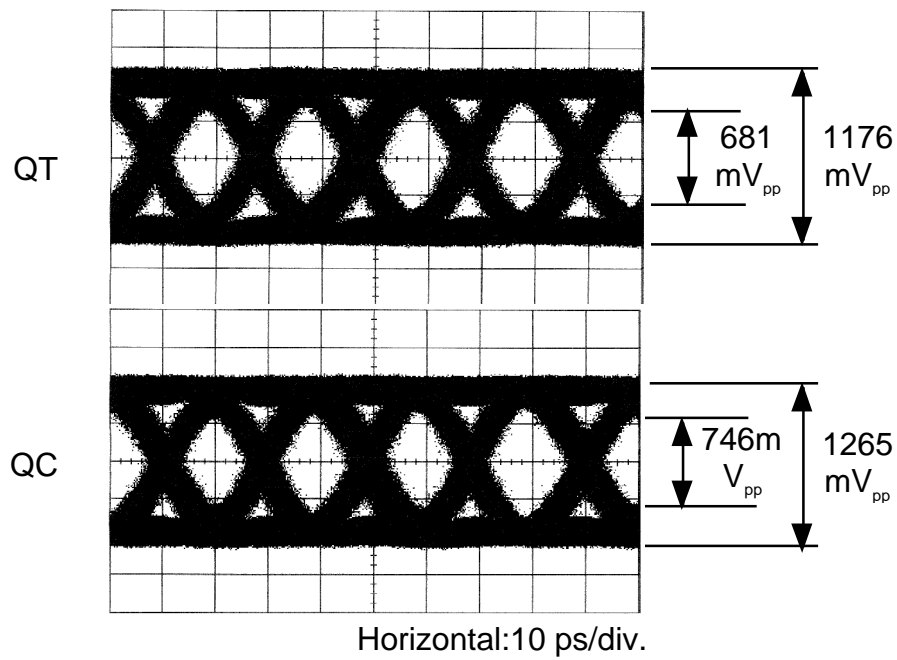


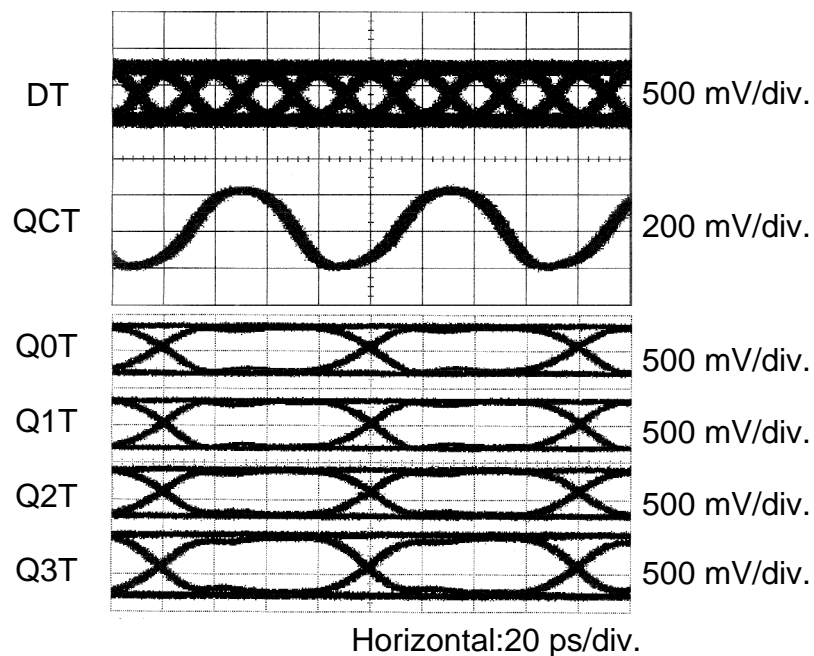
図 2.12 :4:1 MUX / 1:4 DEMUX IC パッケージ

パッケージの設計コンセプトは、40Gbit/s 級単一論理ゲート IC 用に開発したパッケージ[2.16]とほぼ同じであるが、3mm x 3mm のチップサイズを収容できるようにパ

パッケージのサイズを変更してある。図 2.13 にパッケージ 4:1 MUX / 1:4 DEMUX IC の 50Gbit/s 動作波形を示す。



(a) 4:1 MUX IC



(b) 1:4 DEMUX IC

図 2.13: パッケージ実装された InP HEMT 4:1 MUX/ 1:4 DEMUX IC の 50 Gbit/s 動作波形

測定条件は MUX/DEMUX 共に、前節のオンウェファ測定と同一である。MUX IC の出力波形は若干劣化しアイ開口が幾分か減少しているが、それでも 1200mV の振幅に対して 700mV 程度のアイ開口を有した良好な 50Gbit/s 差動波形が出力されている。DEMUX IC の出力波形は、4 本のデータ出力のデータエッジが揃っている点以外はオンウェファと遜色ない。パッケージ DEMUX IC の測定では、4 本のデータ出力用のケーブルの違い及びサンプリングヘッドの違いに起因する遅延時間差 (= スキュー) を補正した。よって、図 2.13 の出力波形は、DEMUX IC の 4 本の出力のデータエッジが、パッケージ端で揃っていることを証明している。パッケージの DEMUX IC は、PRBS 長 $2^{31}-1$ の 50Gbit/s 信号に対して位相余裕 180 degree (10ps) でエラーフリー動作が確認された。前節で述べたように、DEMUX IC をパッケージ実装することで電源が安定化し、エラーフリー動作する PRBS 長が 2^9-1 から $2^{31}-1$ へ伸張した。DEMUX IC の入力データ最小感度についても測定を行い、43Gbit/s で単相 162 mV、50Gbit/s で単相 316mV の最小感度を得た。

またタイミング設計で意図した広範囲な動作ビットレート(DC 近傍から 50Gbit/s まで)が得られるか否かの評価を、パッケージ IC で行った。図 2.14 にパッケージ MUX IC の出力アイ開口の動作速度依存性を示す。4Gbit/s から 50Gbit/s の動作ビットレート、及びこの動作ビットレート全範囲で出力アイ開口が 650mV 以上あることが確認された。低速側の限界が 4Gbit/s であるのは、クロックバッファにおける AC 結合用の容量の遮断周波数が 2GHz であることによる。高速側の限界は、測定系の限界である。図 2.15 にパッケージ DEMUX IC の位相余裕の動作速度依存性を示す。4Gbit/s から 50Gbit/s の範囲で 180 degree 以上の位相余裕を確認できた。低速限界が 4Gbit/s、高速限界が 50Gbit/s であるのは MUX IC と同じ理由である。これらの結果から、前節で議論したタイミング設計が妥当であったことが示された。

パッケージ MUX / DEMUX IC 両者を back-to-back 接続し (図 2.16)、その状態でのエラーフリー動作についても確認した。ここで使用した PRBS 長は $2^{31}-1$ である。この結果により、これらパッケージ MUX / DEMUX IC がペアとして使用可能 (= チップセットとして使用可能であることが示された。

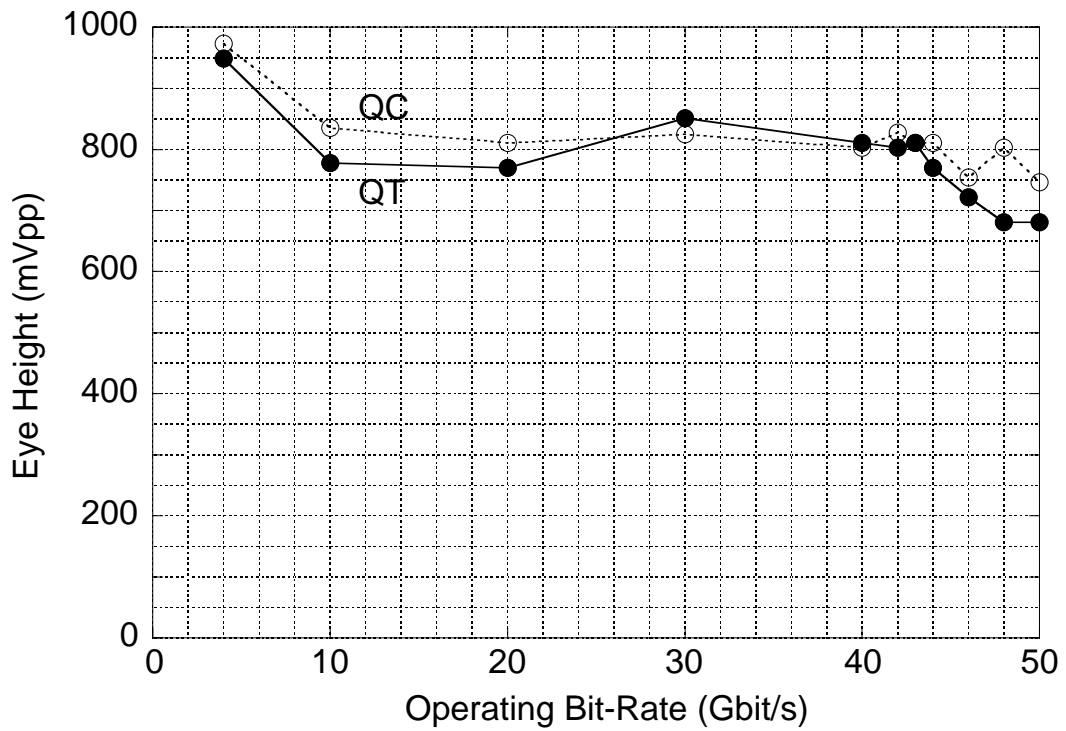


図 2.14 :パッケージ 4:1 MUX IC の出力アイ開口の動作ビットレート依存性

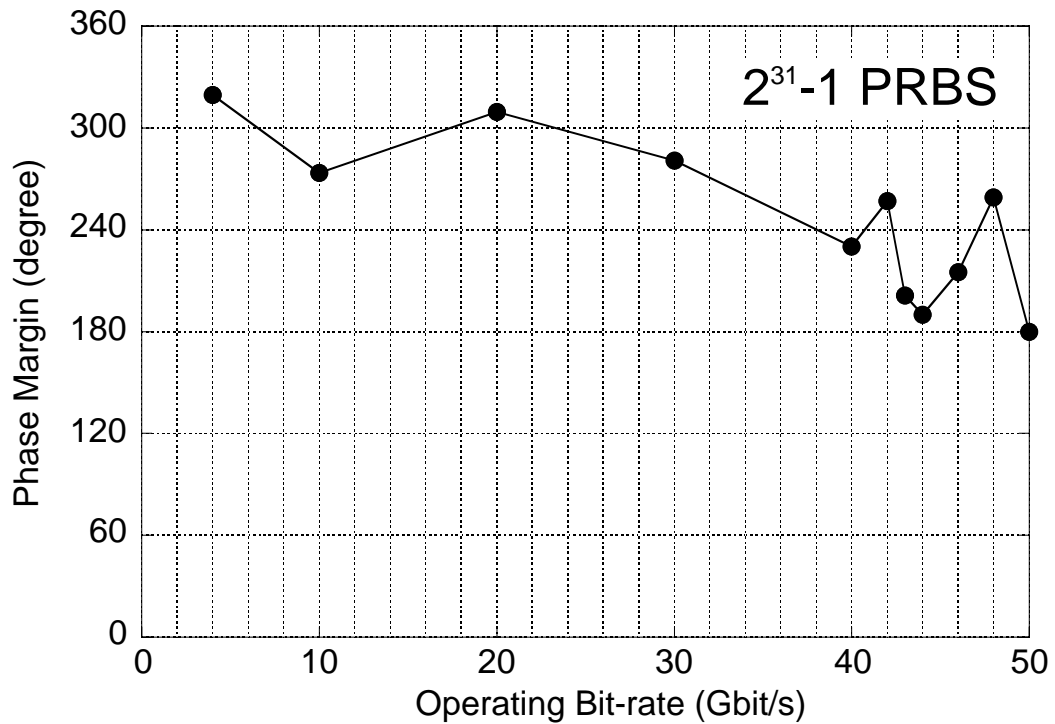


図 2.15 :パッケージ 1:4 DEMUX IC の位相余裕の動作ビットレート依存性

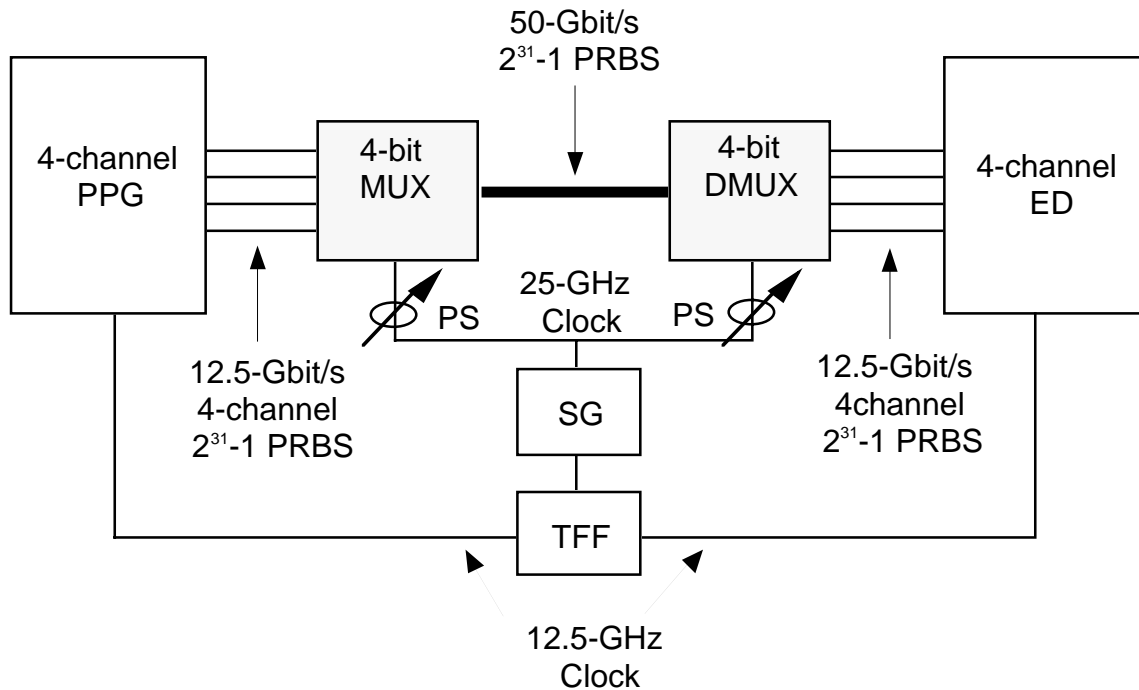


図 2.16: パッケージ MUX / DMUX IC を用いた back-to-back 接続試験の接続図

2.6 : 結論

40Gbit/s 級の高ビット多重・分離回路の例として、4:1 MUX・1:4 DEMUX を例に取り、そのタイミング設計手法について論じた。DC 近傍から 40Gbit/s 級での使用に十分にマージンのある 50Gbit/s までの広範囲で動作を保證するには、データ信号とクロック信号間のスキューを最小で $\pm 7.5\text{ps}$ 以内で制御する必要がある。このタイミング設計手法に基づき試作した InP HEMT による 4:1 MUX IC と 1:4 DMUX IC は、共に設計仕様通り 4Gbit/s から 50Gbit/s でのエラーフリー動作が確認された。以上から、論じた本タイミング設計手法の有効性が示された。

第 2 章の参考文献

- [2.1] O. H. Adamczyk, S. P. Woyciehowsky, J. M. Binkley, A. E. Otero, and M. Rozmann, "4:1 Multiplexer and 1:4 Demultiplexer Chipset for Data Rates up to 50 Gb/s in SiGe Technology", 2002 ECOC Proceedings, Vol.3, P2.32 (2002)
- [2.2] M. Meghelli, A. V. Rylyakov, and L. Shan, "50-Gb/s SiGe BiCMOS 4:1 Multiplexer and 1:4 Demultiplexer for Serial Communication Systems", IEEE J. Solid-State Circuits, vol. 37, No.12, pp. 1790-1794 (1993)
- [2.3] T. Masuda, K. Ohhata, N. Shiramizu, E. Ohue, K. Oda, R. Hayami, H. Shimamoto, M.

- Kondo, T. Harada, and K. Washio, "40Gb/s 4:1 Multiplexer and 1:4 Demultiplexer IC Module using SiGe HBTs", 2001 IEEE MTT-S Digest, pp. 1697-1700 (2001)
- [2.4] K. Runge, R. L. Pierson, P. J. Zampardi, P. B. Thomas, J. Yu, and K. C. Wang, "40Gbit/s AlGaAs/GaAs HBT 4:1 multiplexer IC", IEE Electron. Lett., Vol. 31, No.11, pp.876-877 (1995)
- [2.5] U. Nowotny, Z. Lao, A. Thiede, H. Lienhart, J. Hornung, G. Kaufel, K. Köhler, and K. Glorer, "44Gbit/s 4:1 Multiplexer and 50Gbit/s 2:1 Multiplexer in pseudomorphic AlGaAs/GaAs-HEMT Technology", 1998 IEEE ISCAS Technical Digest II, pp.201-203 (1998)
- [2.6] J. P. Mattia, R. Pullela, G. Georgieu, Y. Baeyens, H. S. Tsai, Y. K. Chen, C. Dorschky, T. W. von Mohrenfels, M. Reinhold, C. Groepper, M. Sokolich, L. Nguyen, and W. Stanchina, "High-Speed multiplexers: A 50Gb/s 4:1 MUX in InP HBT Technology", 1999 IEEE GaAs IC Symposium Technical Digest, pp. 189-192 (1999)
- [2.7] H. Matsuura, S. Kobayashi, T. Yakihara, and A. Miura, "Development and Application of Ultra fast HBT Integrated Circuits", Tech. Meeting on Electrical Devices IEE Japan, EDD-02-46~57, pp. 50-60(in Japanese) (2002)
- [2.8] Y. Nakasha, T. Suzuki, H. Kano, A. Ohya, K. Sawada, K. Makiyama, T. Takahashi, M. Nishi, T. Hirose, M. Takikawa and Y. Watanabe, "A 43Gb/s Full-Rate-Clock 4:1 Multiplexer in InP-based HEMT Technology", IEEE J. Solid-State Circuits, vol. 37, No.12, pp. 1703-1709 (2003)
- [2.9] E. Sano, H. Nakajima, N. Watanabe, S. Yamahata, and Y. Ishii, "40Gbit/s 1:4 demultiplexer IC using InP-based heterojunction bipolar transistors", IEE Electron. Lett., Vol. 35, No.24, pp.2116-2117 (1999)
- [2.10] J. P. Mattia, R. Pullela, Y. Baeyens, Y. K. Chen, H. S. Tsai, G. Georgiou, T. W. von Mohrenfels, M. Reinhold, C. Groepper, C. Dorschky, and C. Schulien, "A 1:4 Demultiplexer for 40Gb/s Fiber-Optic Applications", ISSCC Digest of Technical Papers, pp. 64-65 (2000)
- [2.11] H. Kano, T. Suzuki, S. Yamaura, Y. Nakasha, K. Sawada, T. Takahashi, K. Makiyama, t. Hirose, and Y. Watanabe, "A 50-Gbit/s 1:4 Demultiplexer IC in InP-based HEMT Technology", 2002 IEEE MTT-S Digest, pp. 75-78 (2002)
- [2.12] M. Vadipour, "Capacitive feedback technique for wide-band amplifiers", IEEE J. Solid-State Circuits, vol. 28, No.1, pp. 90-92 (1993)
- [2.13] K. Murata, T. Otsuji, and Y. Yamane, "45Gbit/s decision IC module using InAlAs/InGaAs/InP HEMTs", IEE Electron. Lett., Vol. 35, No.16, pp.1379-1380 (1999)
- [2.14] K. Sano, K. Murata, and Y. Yamane, "50-Gbit/s Demultiplexer IC Module Using In

- AlAs/InGaAs/InP HEMTs”, IEICE Trans. Electron., Vol. E83-C, No.11, pp. 1788-1790 (2000)
- [2.15] T. Enoki, H. Yokoyama, Y. Umeda, and T. Otsuji, "Ultrahigh-Speed Integrated Circuits Using InP-Based HEMTs", Jpn. J. Appl. Phys., Part 1, Vol. 37, No. 3B, pp. 1359-1364 (1998)
- [2.16] S. Yamaguchi, Y. Imai, S. Kimura, and H. Tsunetsugu, "New Module Structure Using Flip-Chip Technology for High-Speed Optical Communication ICs", 1996 IEEE MTT-S Digest, pp. 243-246 (1996)

第3章：40Gbit/s 級 多ビット多重回路・分離回路の 低消費電力構成法と InP HEMT、InP HBT を用いた実証

概要

前章でも見てきたように、40Gbit/s 級の多ビット多重回路(MUX)・分離回路(DEMUX)は、複数の 2:1 の多重部分・1:2 の分離部分を反復的に配置する構成(ツリー型構成)により実現されるのが一般的である。このツリー型構成は、1)クロック信号は高速 IC で広く用いられている差動形式で動作可、2)トランジスタの縦積み段数が最大 2 段でドレイン=ソース間 (もしくはコレクタ=エミッタ間) の電圧が確保しやすい、等の利点がある。しかしながらツリー構成は、複数の 2:1 の多重部分・1:2 の分離部分を反復的に用いるため、相応の論理ゲート数が必要となり消費電力は増大する傾向にある。光ファイバ通信システム全体の低消費電力化、また多重回路・分離回路自身の発熱による寿命・信頼性劣化抑制の観点から、多ビット 多重回路・分離回路の消費電力は可能な限り削減されることが望ましい。

本章では、多ビット 多重回路・分離回路の低消費電力回路構成を提案する。その回路構成とは、トグル・フリップフロップ(Toggle Flip-Flop: TFF)で発生する多相クロックを活用する多相クロック型構成(Multi-Phase Clock Architecture: MPC 型)である。この多相クロック型構成による 4:1 MUX/1:4 DEMUX を InP HEMT を用いて試作、40Gbit/s 級の使用に対して十分マージンのある 50Gbit/s 動作をツリー型構成の 1/3 以下の消費電力で達成した。また InP HBT を用いても多相クロック型構成 4:1 MUX/1:4 DEMUX を検証、4:1MUX は 40Gbit/s 動作、1:4 DEMUX は 50Gbit/s 動作をツリー型構成の 1/2 以下の消費電力で実現した。

3.1: はじめに

前章で述べたように、40Gbit/s 光通信システムにおいて多ビットの多重回路(MUX)は低速の並列信号を 40Gbit/s の直列信号へ変換、分離回路(DEMUX)は 40Gbit/s の直列信号を低速の並列信号へ変換する重要な回路部品である。前章で扱ったビット数 4 の MUX・DEMUX すなわち 4:1 MUX・1:4DEMUX を例にとると、4:1 MUX の 40Gbit/s 級動作は SiGe HBT[3.1-4]、GaAs HBT[3.5]、GaAs HEMT[3.6]、InP HBT[3.7-8]、InP HEMT[3.9-10]のトランジスタを用いて、1:4 DEMUX の 40Gbit/s 級動作は SiGe HBT[3.1-3]、InP HBT[3.8, 3.11, 3.12]、InP HEMT[3.10, 3.13]を用いて報告されている。

トランジスタの種類に関しては多種多様なものを使用されているが、回路構成となると全ての報告例がツリー型構成(Tree-type Architecture)を用いている。ツリー型構成は、複数の 2:1 の多重部分・1:2 の分離部分を反復的に配置する回路構成であり、1) クロック信号は高速 IC で広く用いられている差動形式で動作可、2)トランジスタの縦積み段数が最大 2 段でドレイン=ソース間（もしくはコレクタ=エミッタ間）の電圧が確保しやすい、等の利点を有している。しかしながらツリー構成は、複数の 2:1 の多重部分・1:2 の分離部分を反復的に用いるため、相応の論理ゲート数が必要となり消費電力は増大する傾向にある。実際、前章で扱ったツリー型構成の InP HEMT 4:1 MUX・1:4 DMUX IC は、消費電力がそれぞれ 5.47W・5.53W と 5W クラスになっていた。

本章では前章同様 4:1MUX/1:4 DEMUX を例に取り、それらの低消費電力化が可能な回路構成を新たに提案する。その回路構成とは多相クロック型構成(Multi-Phase Clock Architecture: MPC 型)であり、トグル・フリップフロップ(TFF)で発生するクォーター・レート（動作ビットレートの 1/4 の値の周波数）の 4 相クロックを使用する点に特徴がある。この多相クロック型構成による 4:1 MUX/1:4 DEMUX IC を InP HEMT を用いて試作評価、40Gbit/s 級での使用に十分マージンの有る 50Gbit/s 動作がツリー型構成 InP HEMT 4:1 MUX/1:4 DEMUX IC の消費電力の 1/3 以下で得られることが実証される。また多相クロック型構成 4:1 MUX/1:4 DEMUX を InP HBT でも試作評価し、MUX は 40Gbit/s 動作を、DEMUX は 50Gbit/s 動作をツリー型構成 InP HBT 4:1 MUX/1:4 DEMUX の消費電力の半分以下で得られることが示される。

3.2: 多相クロック型構成

4:1 MUX/1:4 DEMUX それぞれの多相クロック型構成について述べる。尚、トランジスタレベルの回路図は InP HEMT を用いた場合を想定したものであるが、InP HBT の場合でも、基本的には InP HEMT のゲート・ドレイン・ソースをそれぞれ InP HBT のベース・コレクタ・エミッタに置き換えれば等価である。

3.2.1 多相クロック型構成による 4:1 MUX

図 3.1 に多相クロック型構成による 4:1 MUX の回路ブロック図を示す。本 4:1 MUX は、クォーター・レートの 4 相クロックを発生する TFF、4 並列の入力信号をデスク

ユー(deskew)すると同時に 4:1 の多重化動作が正常なタイミングで行われるよう 4 並列の入力信号のタイミングを揃えるラッチ列、4:1 の多重化動作を行う 4:1 セレクタ、信号を出力・分配するバッファアンプからなる。比較のため、ツリー型構成による 4:1MUX の回路ブロック図を図 3.2 に示す。バッファアンプを含む回路ブロック数を比較すると、多相クロック型は 19、ツリー型は 28 である。ここで多相クロック型では、ハーフ・レートのデータ信号 (=ビットレート: $2f$ (bit/s) のデータ信号) 及びハーフ・レートのクロック信号 (=周波数: $2f$ (Hz) のクロック信号) を扱う回路ブロックが数多く削除されていることがわかる。ハーフ・レートのデータ信号・クロック信号を扱う回路ブロックは、クォーター・レートのデータ信号 (=ビットレート: f (bit/s) のデータ信号)・クロック信号 (=周波数: f (Hz) のクロック信号) を扱う回路ブロックより 2 倍の速度性能が必要なため、より多くの電力が必要である。よってハーフ・レートのデータ信号・クロック信号を扱う回路ブロックが数多く削除されている多相クロック型構成は、相当な消費電力削減が期待できる。またチップサイズに関しても、多相クロック型はブロック数が少ないことから小型化することが可能である。

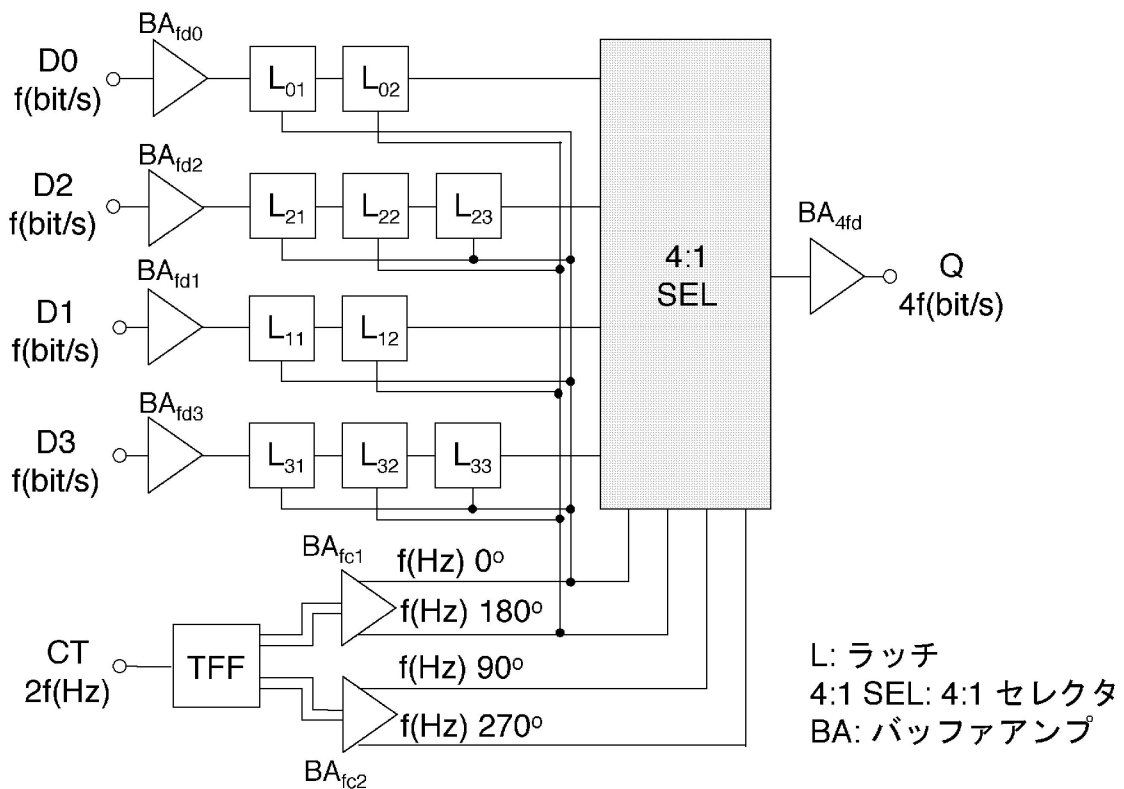


図 3.1: 多相クロック型構成による 4:1 MUX 回路ブロック図

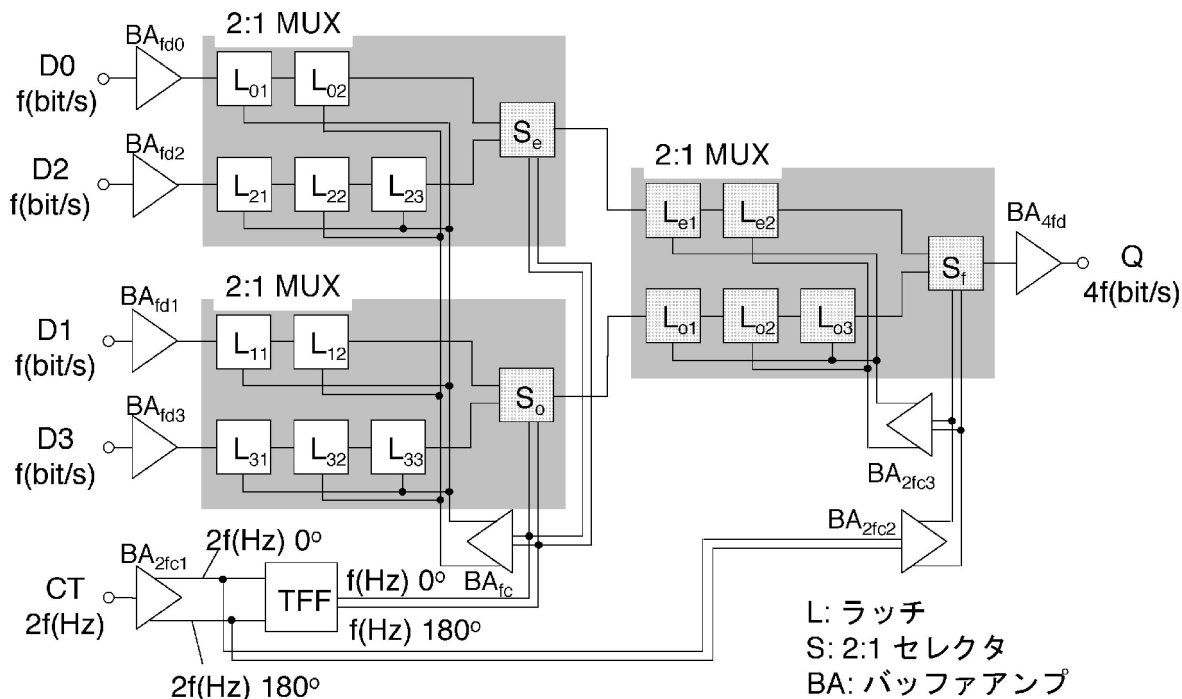


図 3.2: ツリー型構成による 4:1 MUX 回路ブロック図

図 3.1, 3.2 中でドットが付けられたブロックは、入力クロックと入力データのタイミングが IC 外部から調整できないブロックである。前章で見てきたように、40Gbit/s 級で正常な動作を得るには、これらのタイミングを精密に設計する必要がある。このようにタイミングが IC 外部から調整不可であるブロックの数は、ツリー構成で 8 個、多相クロック型ではわずか 4:1 セレクタの 1 個のみである。よって多相クロック型では、前章で述べた精密なタイミング設計が簡略化される。

図 3.3 に多相クロック型構成で用いた TFF の回路図を示す。この TFF は 2 個のラッチが従属接続された所謂マスター・スレーブ型(Master-Slave type)であり、周波数 $2f(\text{Hz})$ のクロック信号を入力としている。図 3.4 に TFF の動作のタイムチャートを示す。マスター・ラッチの出力(master output)は入力クロック(input clock)の立ち下がりエッジで論理反転する。マスター・ラッチの出力が論理反転した後、スレーブ・ラッチの出力(slave output)が入力クロックの立ち上がりエッジで論理反転する。よって、この TFF は周波数 $f(\text{Hz})$ でマスターの出力がスレーブの出力より 90 度だけ進んでいるクロック信号を出力する。また出力信号は差動形式であるので、結局 TFF は周波数 $f(\text{Hz})$ の 0 度、90 度、180 度、270 度の 4 相クロックを発生する。

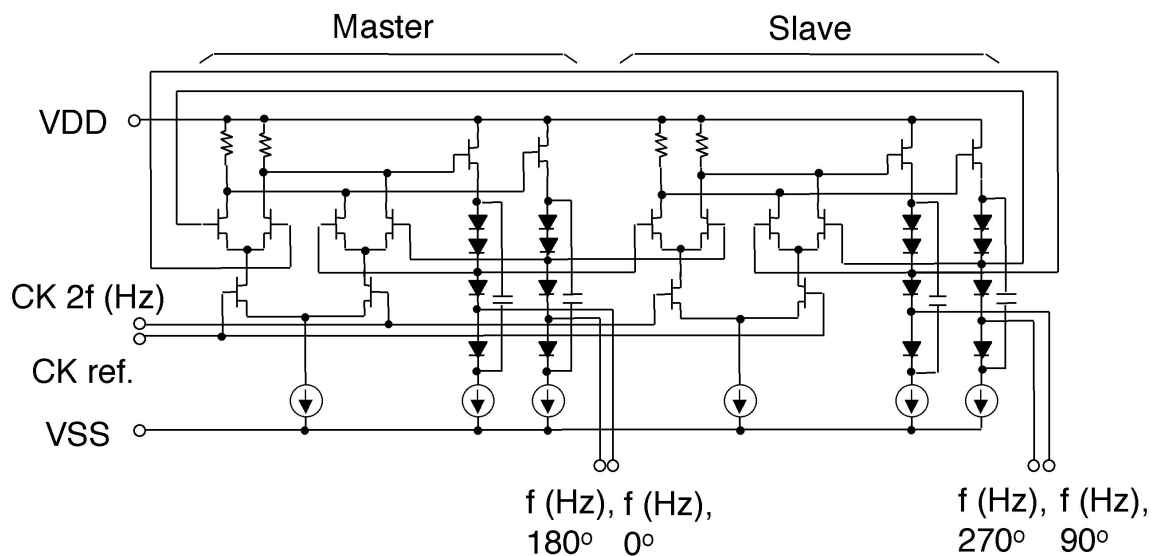


図 3.3: TFF の回路図

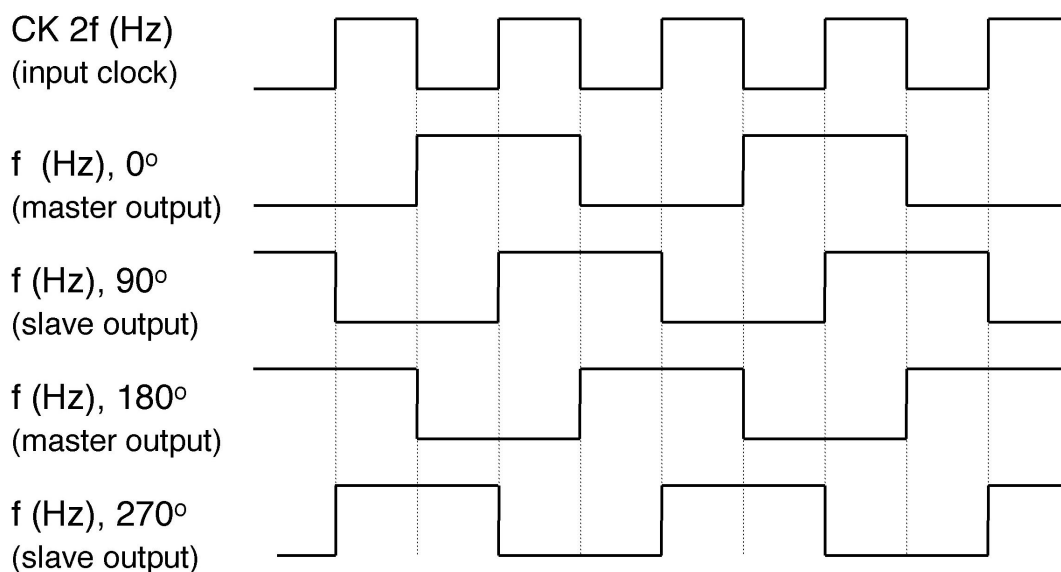


図 3.4: TFF の動作を表すタイムチャート

図 3.5 は 4 並列のラッチ列で用いられているラッチ回路の回路図である。このラッチ回路は、クロックがハイレベルの時には入力クロックの立ち上がりエッジで取り込んだ入力データを保持し出力、入力クロックがローレベルの時は入力データをそのまま透過し出力する。データ入力端子から見て最初のラッチ回路($L_{01}, L_{11}, L_{21}, L_{31}$)は 0 度のクロックで駆動、2 番目のラッチ回路($L_{02}, L_{12}, L_{22}, L_{32}$)は 180 度のクロックで駆

動されている。よって最初と 2 番目のラッチ回路の組み合わせにより、4 つの入力データ信号全てが 0 度のクロック立ち上がりで取り込まれ、次の 0 度のクロックのエッジまで保持されるよう時間軸上で整列される（デスクュー動作）。更に、0 度のクロックで駆動される第 3 番目のラッチが入力データ D2 と D3 用のラッチ列には付加されている。これは D2 と D3 のデータを D0 と D1 のデータに対して半ビット分遅れさせ、4:1 セレクタでの 4:1 多重化動作のタイミングマージンを増やすために成されている。4:1 多重化動作のタイミングについてはこの後詳述する。

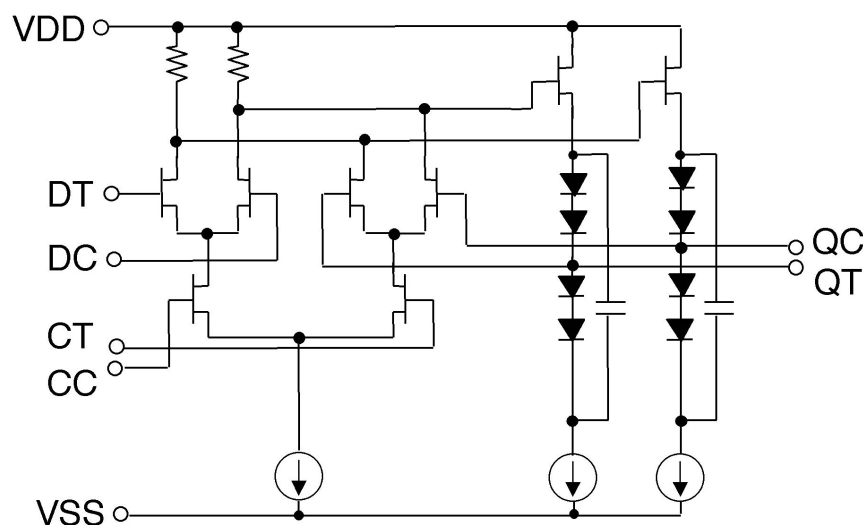


図 3.5: ラッチ回路の回路図

図 3.6 に 4:1 セレクタの回路図を示す。4:1 セレクタは 3 段のトランジスタ縦積み構成であり、1 段目(1st-level)と 2 段目(2nd-level)には 4 相クロックが、3 段目にはラッチ列で整列された入力データが入力される。図 3.7 は 4:1 セレクタにおける 4:1 多重化動作のタイムチャートである。4:1 セレクタは、4 相クロックと共同して、4 つの時間状態を作る。それら時間状態を 0 度クロックと 90 度クロックのハイ/ローレベルを用いて表すと、(0 度,90 度)=(ロー,ハイ),(ロー,ロー),(ハイ,ロー),(ハイ,ハイ)の 4 つの状態となる。4 つの入力データのそれぞれが、前記 4 つの時時間状態の 1 つに対応して、その時間状態の間のみ選択出力される。すなわち、D0T は(ロー,ハイ)の間、D1T は(ロー,ロー)の間、D2T は(ハイ,ロー)の間、D3T は(ハイ,ハイ)の間、選択出力される。ここで 4 つの入力データと 4 つの時間状態の組み合わせは、ラッチ列での伝搬遅延を考慮しつつ、入力データのタイムスロットの中心が選択されるように設

計してある。この設計により、入力データと入力クロック間のタイミングには十分なマージンが生じる。また多重化された出力のタイムスロットが均等になるよう、4:1セレクタのスイッチング時間についても十分配慮した。

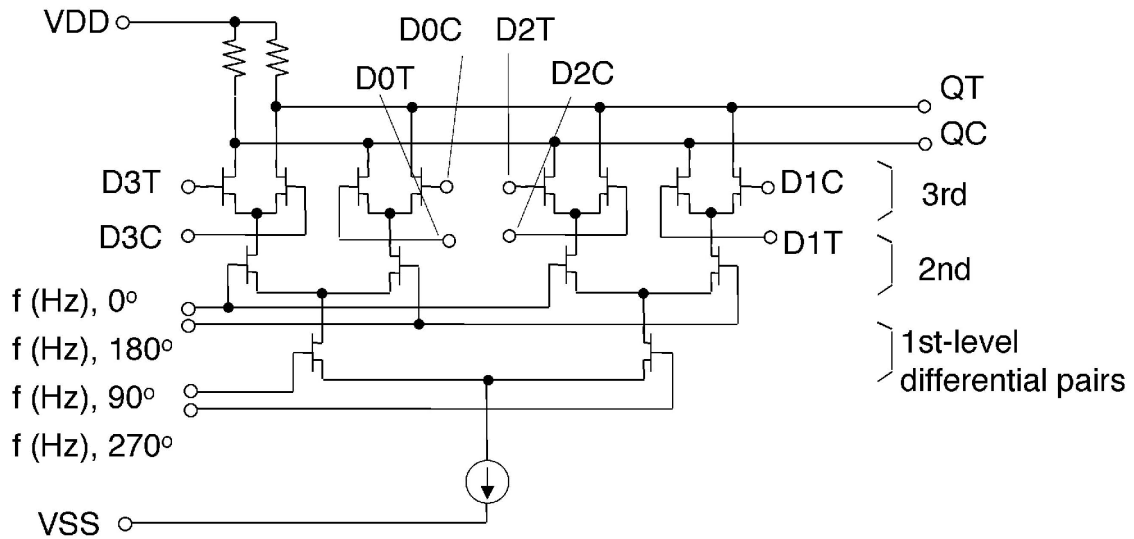
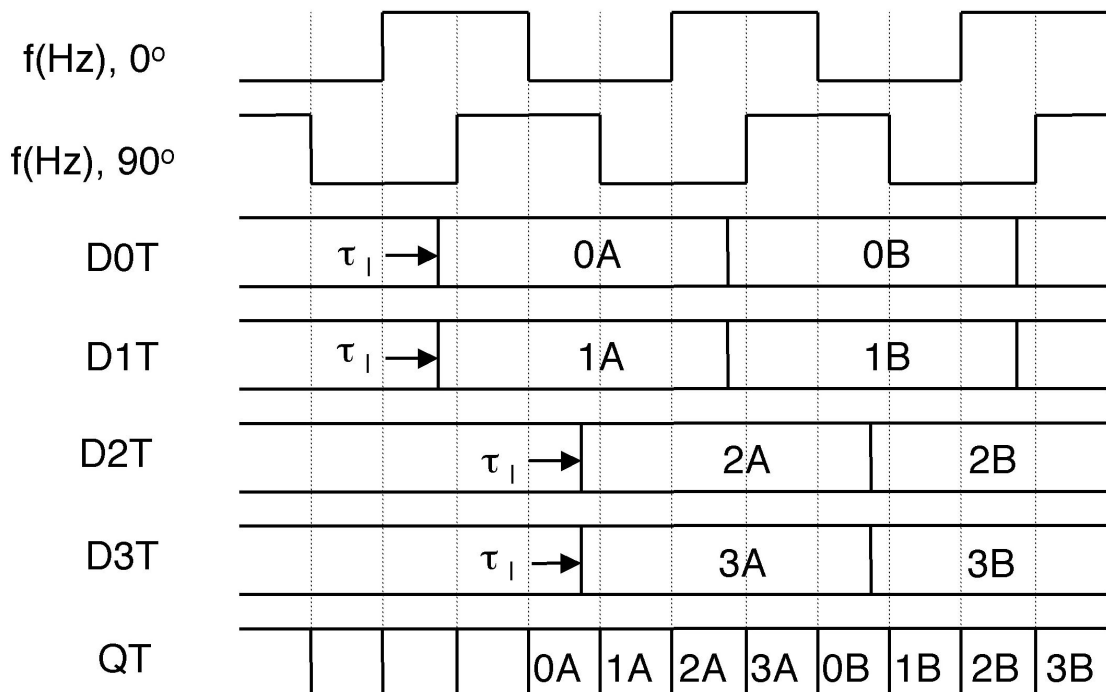


図 3.6: 4:1 セレクタの回路図



τ_l : ラッチ列での伝搬遅延

図 3.7: 4:1 セレクタの動作を表すタイムチャート

入出力部分のバッファアンプは通常のソースフォロワと差動アンプの組み合わせで構成した。尚 InP HEMT で構成する場合、出力部分のバッファアンプに関しては、帯域を延伸すべくドレイン-ソース間を短絡した HEMT による容量正帰還[3.14]を施してある。

3.2.2 多相クロック型構成による 1:4 DEMUX

図 3.8 に多相クロック型構成による 1:4 DEMUX の回路ブロック図を示す。本 1:4 DEMUX は、多相クロック型構成 4:1 MUX で使用したものと同一の TFF、 $4f(\text{bit/s})$ の信号を $f(\text{bit/s})$ の信号 4 本へ分離すると同時にその 4 本の信号をデスキューする 4 つのラッチ列、及びバッファアンプから構成されている。比較のため、ツリー型構成による 1:4 DEMUX の回路ブロック図を図 3.9 に示す。バッファアンプを含めた回路ブロックの数は、多相クロック型で 20 個、ツリー型で 25 個である。多相クロック型構成 4:1 MUX と同様、多相クロック型構成 1:4 DEMUX でも $2f(\text{bit})$ のデータ信号及び $2f(\text{Hz})$ クロック信号を扱う回路ブロックが数多く削除されている。前章でも述べたように、 $2f(\text{bit})$ のデータ信号及び $2f(\text{Hz})$ クロック信号を扱う回路ブロックは、高速性能を保つべく、 $f(\text{bit})$ のデータ信号及び $f(\text{Hz})$ クロック信号を扱う回路ブロックよりも電力を多く消費する。従って、多相クロック型構成 1:4 DEMUX では大きな消費電力削減が期待される。入力クロックと入力データとの間のタイミングが IC 外部から調整不可なブロックに関しては、ツリー型では 2:4 demultiplexing の部分(図 3.9 中でドットが付けられたブロック)に存在しているが、多相クロック型では皆無である。よって、前章(第 2 章)で議論したような入力クロックと入力データとの間の精密なタイミング設計は、多相クロック型 1:4 DEMUX では不要である。一方で多相クロック型 1:4 DEMUX では、この後詳述するように 4 相クロックの立ち上がりのタイミング差を利用して 1:4 の分離動作を行うので、4 相クロックは正確に 0 度,90 度,180 度,270 度の位相関係を保っていなければならない。今回の設計では、0 度,90 度,180 度,270 度の位相関係が $\pm 1\text{ps}$ の精度で維持するように、クロックのバッファアンプ(図 3.8 の BA_{fc1} と BA_{fc2})の遅延時間と配線長を調整した。

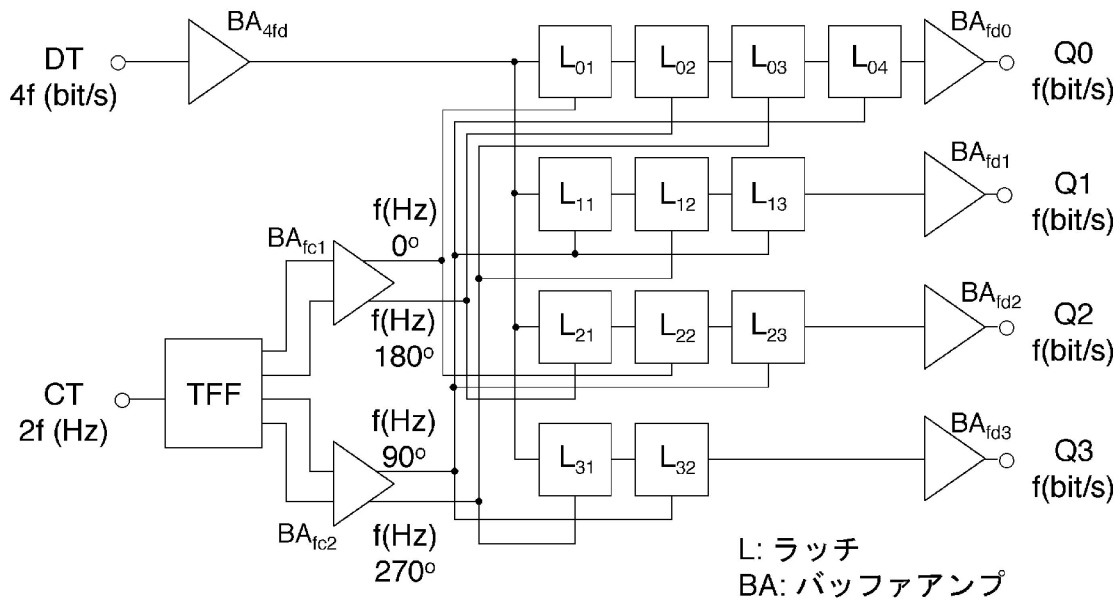


図 3.8: 多相クロック型構成による 1:4 DEMUX 回路ブロック図

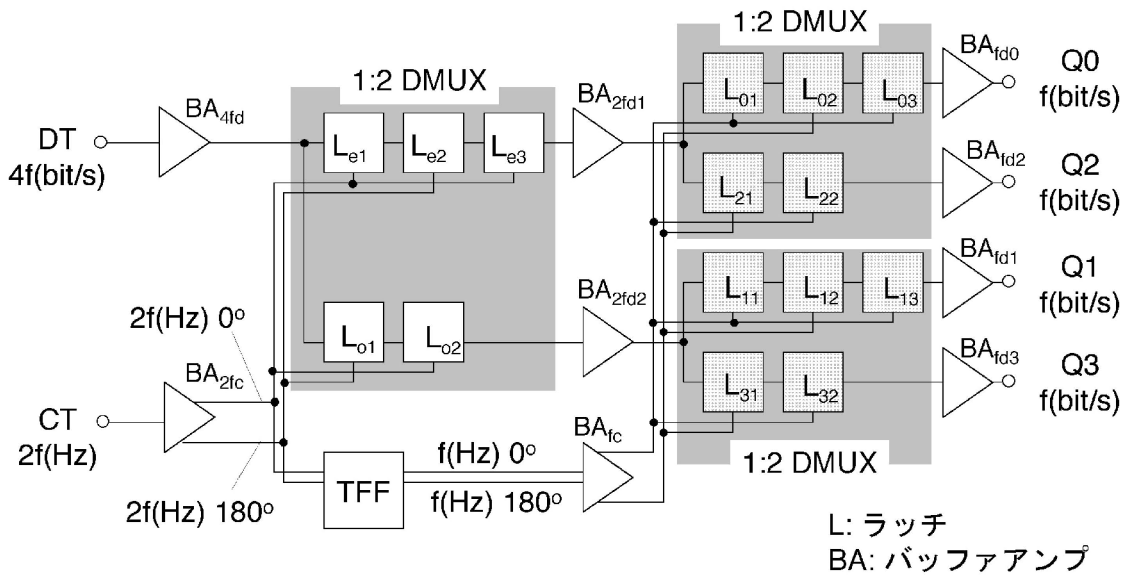


図 3.9: ツリー型構成による 4:1 MUX 回路ブロック図

TFF、ラッチ回路、及びバッファアンプは、多相クロック型 4:1 MUX で使用したものと全く同一である。よってこれらのトランジスタレベルの回路図も、前節に示したものと同一である。図 3.10 に多相クロック型構成 1:4 DEMUX のタイムチャー

トを示す。各ラッチ列の第一番目のラッチ回路($L_{01}, L_{11}, L_{21}, L_{31}$)は、4相クロックのいずれか一つにより駆動されている。すなわち、 L_{01} は0度、 L_{11} は90度、 L_{21} は180度、 L_{31} は270度のクロックにより駆動されている。よって、各々のラッチ列は、4ビットおきに、それぞれ異なるデータ列を取り込む。例えば、 Q_0 を出力するラッチ列は0A, 0B...のデータ列を取り込む。各ラッチ列の第二番目のラッチ回路は、第一番目のラッチ回路を駆動するクロックと逆相(=180度位相がずれた)のクロックにより動作する。その結果、ビットレート $f(\text{bit/s})$ のNRZのデータが第二番目のラッチ回路に出力される。以上、1:4の分離動作自身は第一と第二番目のラッチ回路のみで完了する。しかしながら、第二番目のラッチ回路の出力端では、図3.10に示されているよう($L_{02} \text{ OUT}, L_{12} \text{ OUT}, L_{22} \text{ OUT}, Q_3$)、4本の信号のデータのエッジは揃っていない。これらのデータのエッジを揃える、すなわちデスクューを行うべく、270度もしくは90度のクロックで駆動される第三と第四番目のラッチ回路が Q_0, Q_1, Q_2 出力用のラッチ列に付加されている。この結果として、 $f(\text{bit/s})$ の信号4本のデータエッジが270度のクロックに揃い出力される。

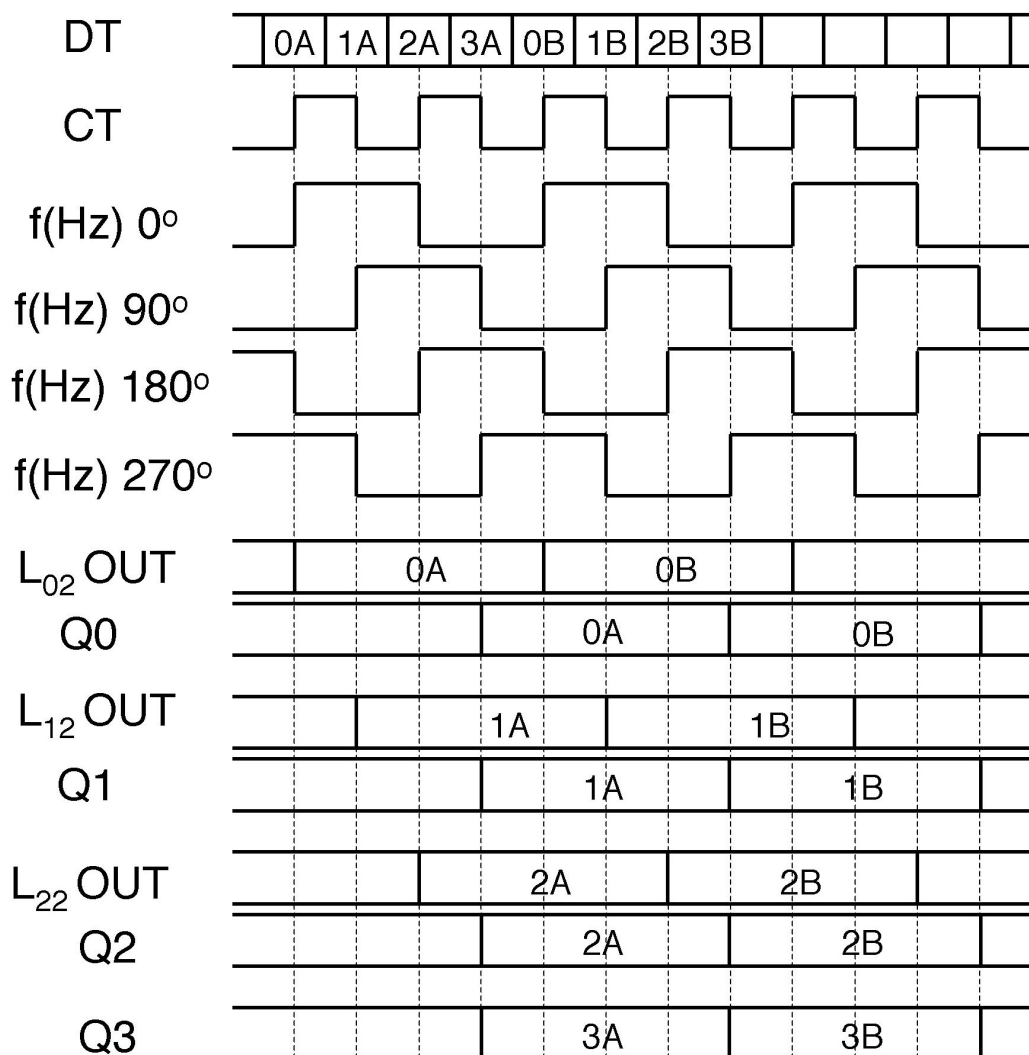


図 3.10: 多相クロック型構成 1:4 DEMUX の動作を表すタイムチャート

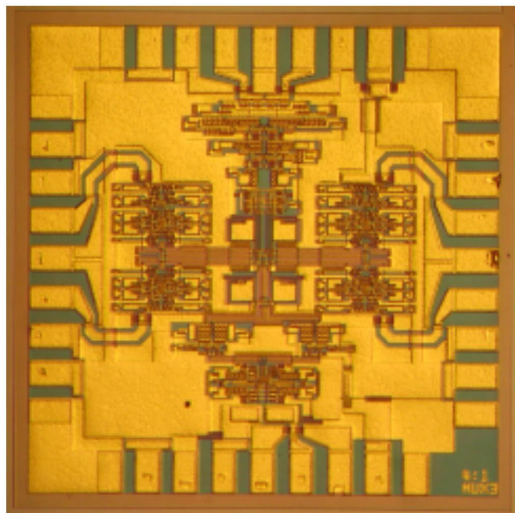
3.3: InP HEMT による多相クロック型構成 4:1 MUX / 1:4 DEMUX の検証

多相クロック型構成の 4:1 MUX / 1:4 DEMUX をゲート長 0.1 μ m の InP HEMT[3.15] を用いて試作、その動作を検証した。使用した InP HEMT は、前章(第 2 章)のツリー型構成 4:1 MUX / 1:4 DEMUX IC に用いた InP HEMT と同等のものである。主なトランジスタパラメータは、トランスコンダクタンス(gm):1.16S/mm、電流遮断周波数(f_T):172GHz、閾値(V_{th}): -0.49V、閾値分散($\sigma_{V_{th}}$):20mV である。

図 3.11 に多相クロック型 4:1 MUX / 1:4 DEMUX のチップ写真を示す。チップサイズと素子数は、4:1 MUX が 2 mm x 2 mm , 693 個、DEMUX が 2.5 mm x 2 mm , 769 個

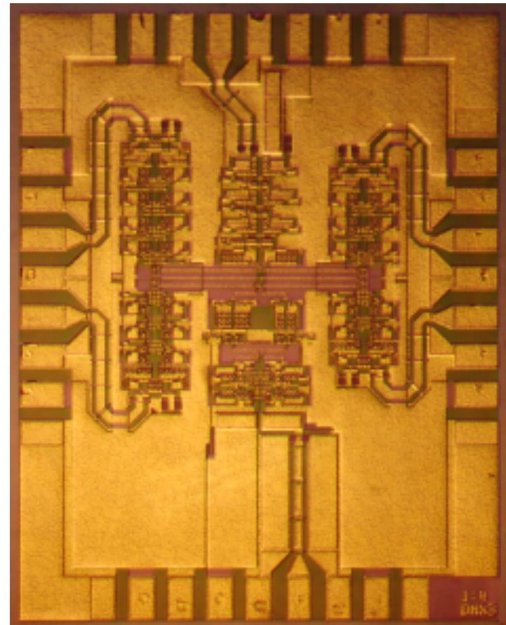
である。チップサイズ・素子数共に、前章のツリー型の約半分である。(チップサイズ: 4:1 MUX, 1:4 DEMUX 共 3 mm x 3mm, 素子数: 4:1 MUX が 1327 個, 1:4 DEMUX が 1351 個)

以下、4:1 MUX と 1:4 DEMUX に分けて多相クロック型の測定結果を示す。



Chip size: 2 mm x 2mm

(a)



Chip size: 2.5 mm x 2mm

(b)

図 3.11: InP HEMT 多相クロック型構成 4:1 MUX / 1:4 DEMUX のチップ写真
(a) 4:1 MUX、(b) 1:4 DEMUX

3.3.1 InP HEMT 多相クロック型構成 4:1 MUX の測定結果

多相クロック型 4:1 MUX をオンウェファ状態で測定した。4 本の入力データ源として動作範囲 0.1Gbit/s - 12.5Gbit/s の 4 チャンネル出力パルスパターン発生器、入力クロック源として 0.01GHz から 50GHz の正弦波を出力するシンセサイザを用いた。使用したパルスパターン発生器は、隣接チャンネル間で疑似ランダムビット列(Pseudo-Random Bit Sequence: PRBS)の 1/4 周期毎ずれている 4 本の PRBS を出力する。PRBS には、 $1/2n$ (n :整数)周期毎ずれた $2n$ 本の PRBS を時分割多重することで多重信号もまた PRBS になるという性質が有る。よって 4:1 MUX の出力もまた、PRBS となる。入力データと入力クロックは単相信号であり、振幅は 1Vpp とした。

図 3.12 に InP HEMT 多相クロック型 4:1 MUX の 50Gbit/s 出力波形を示す。50Gbit/s の出力は今回用いた測定系で確認可能な最大動作ビットレートであり、これはパル

スパタン発生器の動作範囲で律速されている。InP HEMT 多相クロック型 4:1 MUX により良好なアイ開口を有する差動の 50Gbit/s 信号が出力されていることがわかる。差動信号の各々共に振幅約 1Vpp、アイ開口約 700mV、Q 値 15 以上が得られている。消費電力は電源電圧-3.8V 下で 1.71W であった。これは前章のツリー型 InP HEMT 4:1 MUX の消費電力(5.47W)の 1/3 以下の値である。この大幅な消費電力削減は、多相クロック型に必要な素子数がツリー型に比較して少数で済むこと、及び-4.5V から-3.8V への電源電圧低下による。ビット長 2^3-1 の PRBS に対するエラーフリー動作についても、50Gbit/s 出力を InP HEMT の識別器及び Si Bipolar の識別器により 12.5Gbit/s x 4 本に分離、4 本全てがエラーフリーであることをエラー検出器(Error Detector)にて確認した。入力データに対する位相余裕についても、4 本の入力データを同時に時間軸上でシフトさせることで評価、約 170 度(38ps)であることを確認した。

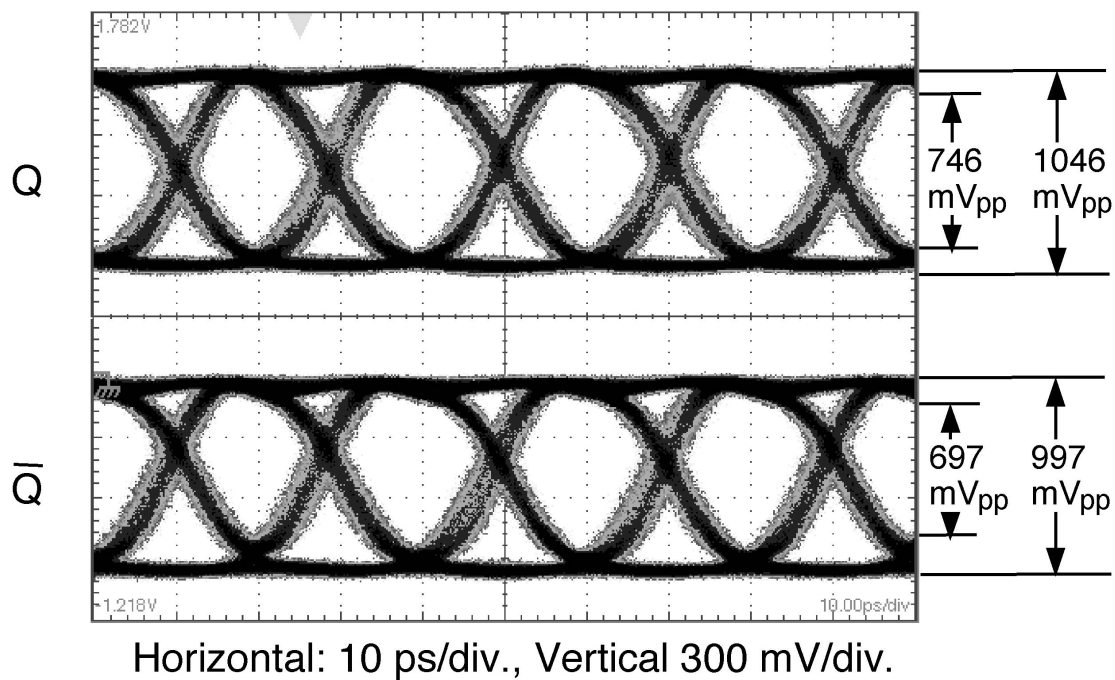


図 3.12: InP HEMT 多相クロック型構成 4:1 MUX の 50Gbit/s 出力波形

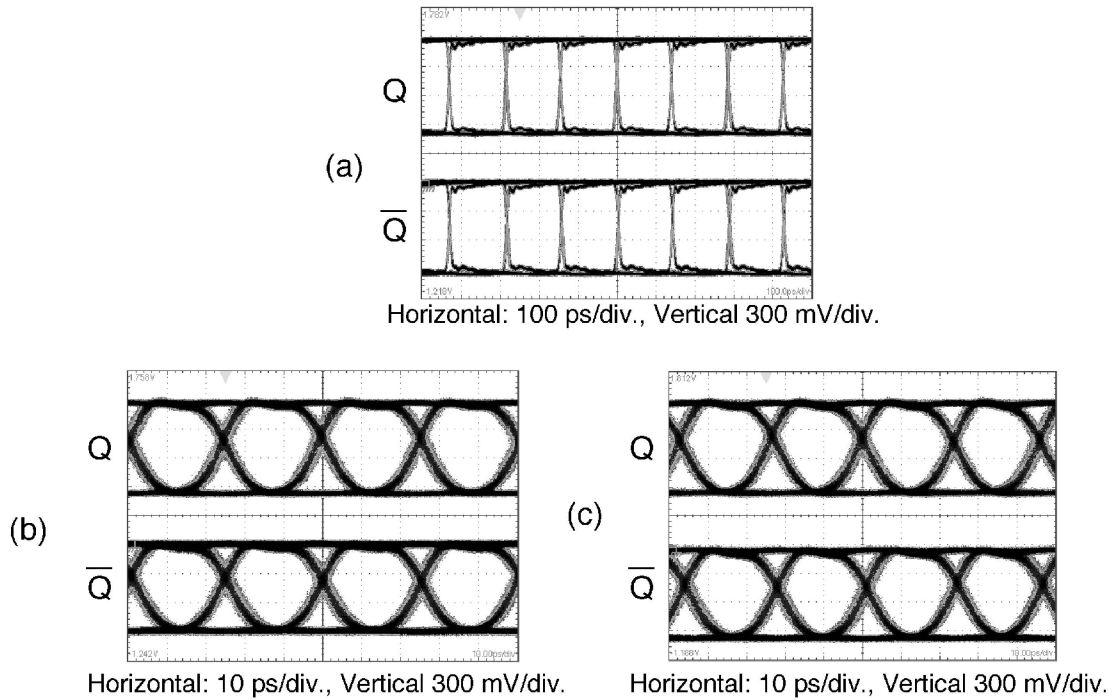


図 3.13: InP HEMT 多相クロック型構成 4:1 MUX の出力波形
 (a) 7Gbit/s, (b) 40Gbit/s, (c) 43 Gbit/s

本 4:1 MUX は 7Gbit/s から 50Gbit/s の広範囲ビットレートで動作することも確認された。図 3.13 に本 4:1 MUX の 7Gbit/s (本 IC の最小動作ビットレート)、40Gbit/s (40Gbit/s 級光通信の規格である STM-256/OC-768 近傍のビットレート)、43Gbit/s (誤り符号訂正機能付き 40Gbit/s 級光通信の規格である OTU-3 近傍のビットレート)の出力波形を示す。これら全てのビットレートで、振幅約 1000mVpp、アイ開口 800mV、Q 値 17 以上の良好な出力波形が得られている。また、出力アイ開口のビット周期(=ビット時間)もほぼ一様である。図 3.14 に出力波形のアイ開口の動作ビットレート依存性を示す。比較のため、前章のツリー型のデータも同時に示してある。多相クロック型は 1/3 以下の低消費電力で動作しているにも関わらず、50Gbit/s までツリー型とほぼ同じ性能を示していることがわかる。

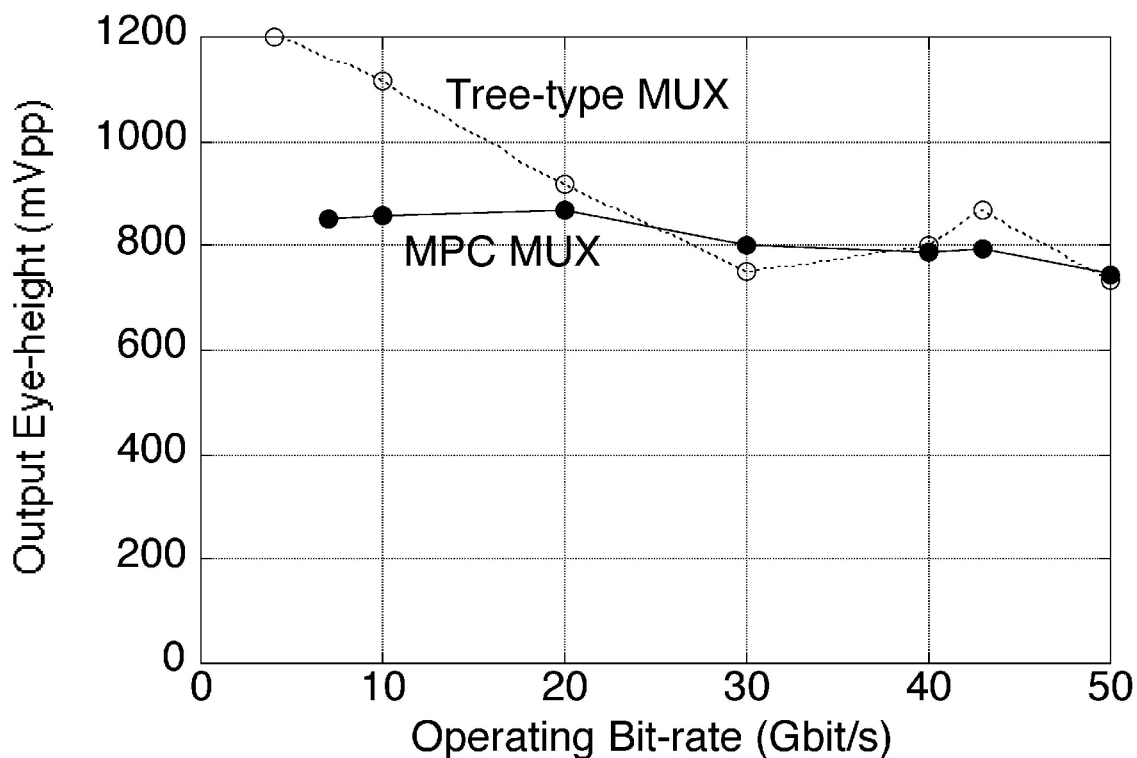


図 3.14: InP HEMT4:1 MUX の出力アイ開口動作ビットレート依存性

図 3.15 に、本 4:1 MUX を含めて 40Gbit/s 以上で動作する 4:1 MUX の報告例について、消費電力と出力振幅を比較した図を示す。InP HEMT による 4:1 MUX は出力振幅が大きく、次段に接続される光変調器ドライバに必要な利得を低下させる点が長所であるが、消費電力が他のトランジスタを用いた 4:1MUX よりも多く必要であることがこれまでの短所であった。しかしながら本 4:1 MUX IC は、従来の長所である 1Vpp 程度の大きな出力振幅を維持しつつ、消費電力を他のトランジスタによる 4:1 MUX と同等程度もしくはそれ以下に削減している。

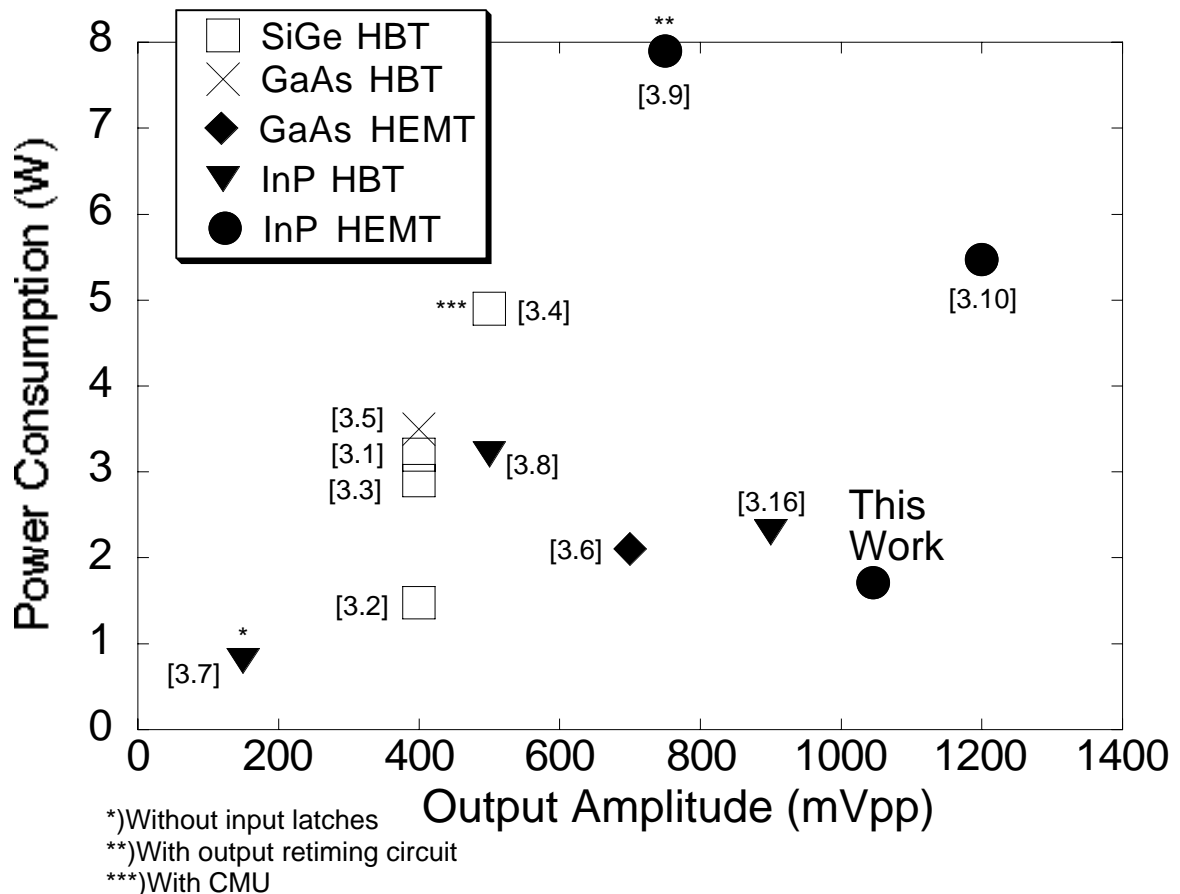


図 3.15: 40Gbit/s 以上で動作する 4:1MUX の消費電力と出力振幅の比較(I)

3.3.2 InP HEMT 多相クロック型構成 1:4 DEMUX の測定結果

多相クロック型 1:4 DEMUX についてもオンウェファ状態で測定した。4f(bit/s)のシリアル入力データ信号は、4チャンネル PPG、4:2 MUX モジュール、及び 2:1 InP HEMT MUX モジュールを用いて生成した。2f(Hz)の入力クロック源には 4:1 MUX で用いたものと同じシンセサイザを用いた。入力データと入力クロックは共に単相信号であり、特に記述の無い限り振幅は 1Vpp である。

図 3.16 に多相クロック型構成 InP HEMT 1:4 DEMUX の 50Gbit/s 動作波形を示す。本 DEMUX はビット長 $2^{31}-1$ の PRBS に対しエラーフリー動作することが確認された。ここでのエラーフリー動作とは、出力の 4 本が全て同時にエラーフリー(エラー率: 10^{-12} 以下)であり、かつそれら 4 本の位相について隣接チャンネル間で 1/4 PRBS 周期毎ずれている条件を満たす動作のことである。エラーフリー動作の位相余裕は 234 度 (13ps)であった。出力 4 本のデータエッジが ± 10 ps の範囲で揃っていることから、4 本のラッチ列によるデスクュー機能も正常に働いていることが確認された。消費電力は電源電圧-3.3V 下で 1.42W であった。これは、前章のツリー型 InP HEMT 1:4

DEMUX の消費電力(5.53W)の 1/4 である。この大幅な電力削減は、多相クロック型の少素子数構成と電源電圧を-4.5V から-3.3V へ低減させたことによる。更に、電源電圧-3.0V から-3.8V の広い範囲で 50Gbit/s 2^3-1 PRBS エラーフリー動作が確認できた。低消費電力動作にも関わらず、大きな電源電圧マージンがあることが示された。この電源電圧範囲内で、消費電力は 1.11W(-3.0V)から 1.86W(-3.8V)と変化する。

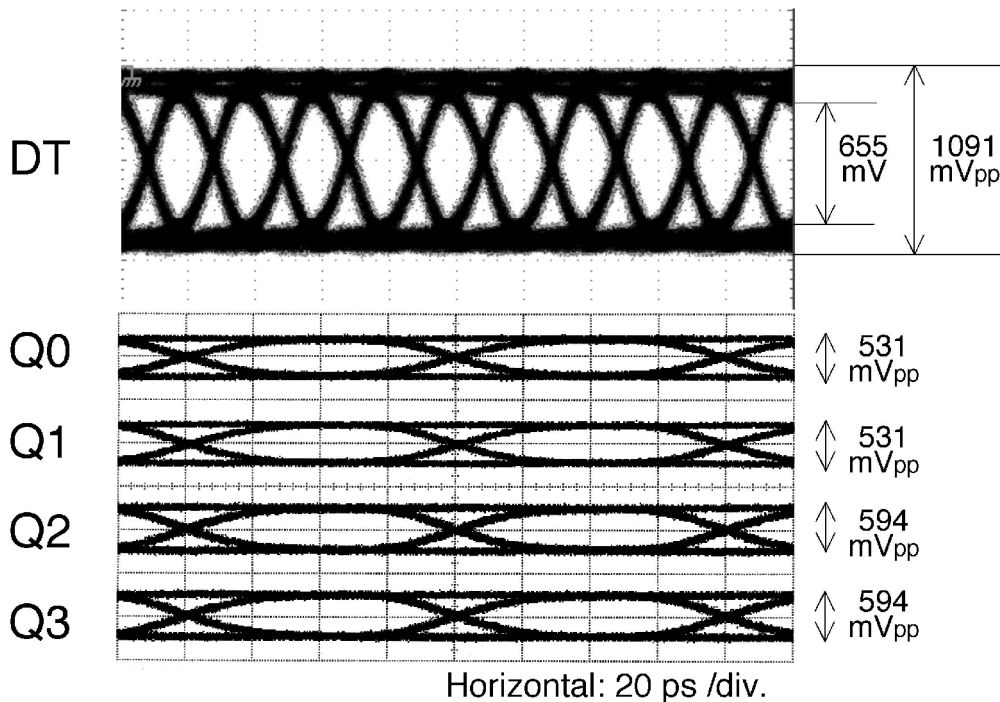


図 3.16: InP HEMT 多相クロック型構成 1:4 DEMUX の 50Gbit/s 動作波形

次いで、広い動作ビットレート範囲での動作についてテストした。図 3.17 に位相余裕の動作ビットレート依存性を示す。ここでも比較のため、前章のツリー型構成 InP HEMT 1:4 DEMUX の結果を同時に示してある。多相クロック型・ツリー型共に、4Gbit/s から 50Gbit/s の範囲で 180 度以上の位相余裕を有している。ツリー型のわずかに 1/4 の消費電力にも関わらず、多相クロック型は位相余裕を犠牲にしていない。表 3.1 に、多相クロック型とパッケージ実装されたツリー型の入力データ感度の比較を示す。尚、入力データ感度は動作ビットレート 43Gbit/s と 50Gbit/s で比較した。ツリー型に関してはパッケージ実装品の結果なので、パッケージの挿入損（最大 2dB）を差し引いて考える必要がある。それでもなお、多相クロック型の入力データ感度はツリー型のそれより優れている。この理由として多相クロック型の低消費電力動

作、すなわち IC チップでの熱の発生が抑えられ、その結果バッファアンプ内の雑音が低減しているため感度が向上していると推定している。

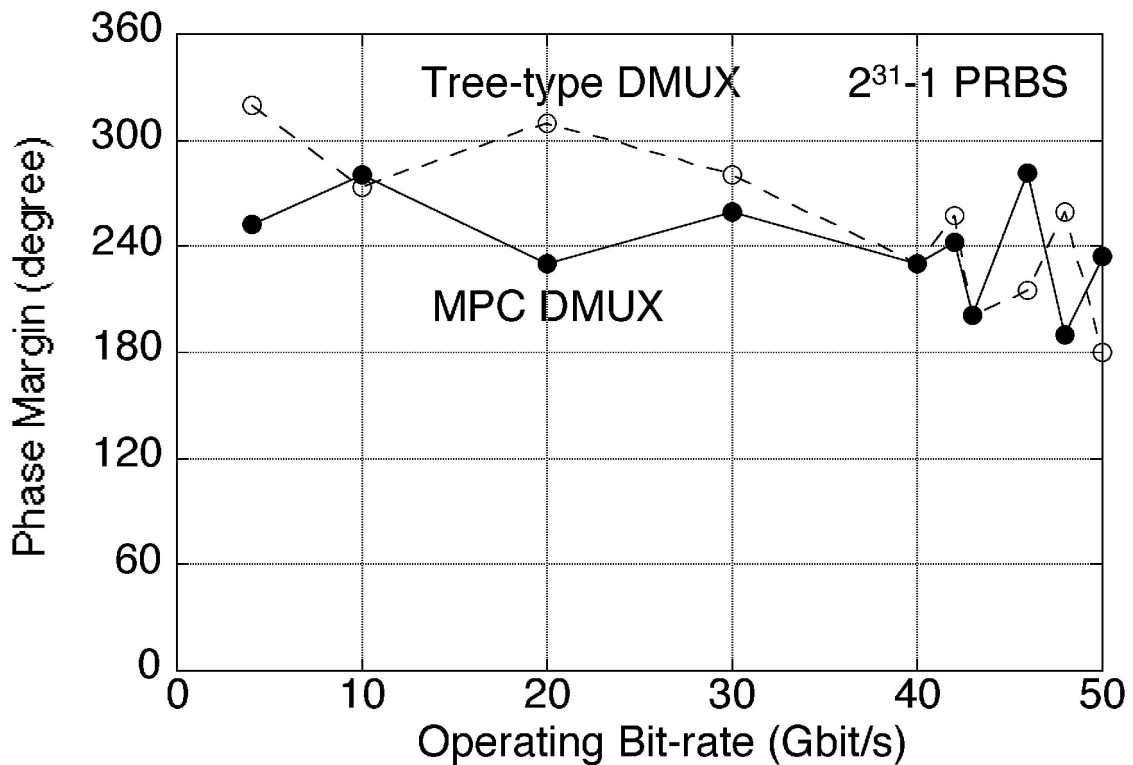


図 3.17: InP HEMT 1:4 DEMUX の位相余裕ビットレート依存性

		Input Sensitivity	
		MPC DMUX (On-wafer)	Tree-type DMUX (Package)
43 Gbit/s		77 mV (-18.29 dBm)	162 mV (-11.83 dBm)
50 Gbit/s		235 mV (-8.60 dBm)	316 mV (-6.03 dBm)

表 3.1: InP HEMT 1:4 DEMUX の入力データ感度比較

図 3.18 に、本 1:4DEMUX を含めた 40Gbit/s 以上の 1:4 DEMUX の報告例について、消費電力と動作ビットレートを比較した図を示す。InP HEMT による 1:4 DEMUX は全て 50Gbit/s 以上の動作を達成しており、速度的にはリードしている。しかしなが

ら、SiGe HBT や InP HBT と比較した時、InP HEMT による 1:4 DEMUX の消費電力はこれまで大きかった。今回、多相クロック型構成を InP HEMT 1:4 DEMUX に適用することにより、動作速度を犠牲にすることなく、消費電力が SiGe HBT や InP HBT と同等もしくはそれ以下に削減できることが示された。

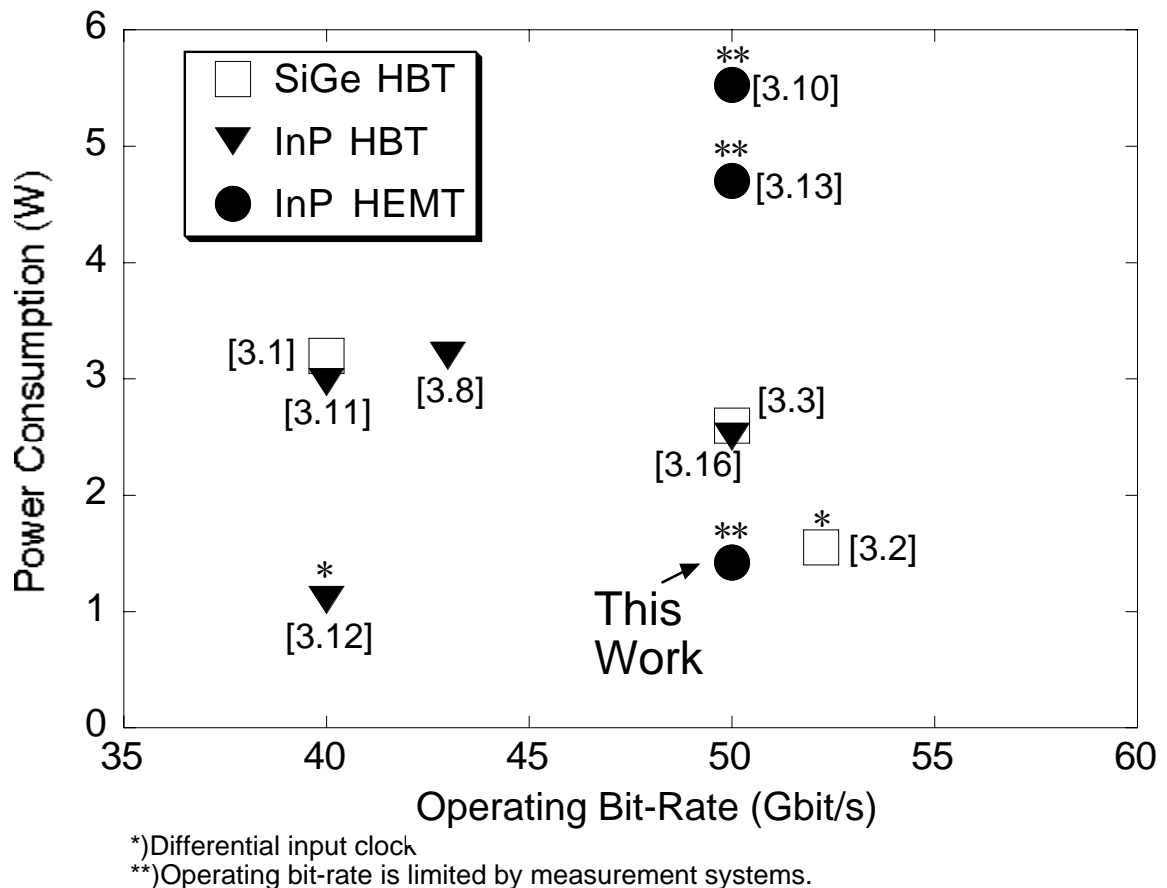


図 3.18: 40Gbit/s 以上で動作する 1:4 DEMUX の消費電力と動作速度の比較(I)

3.4: InP HBT による多相クロック型構成 4:1 MUX / 1:4 DEMUX の検証

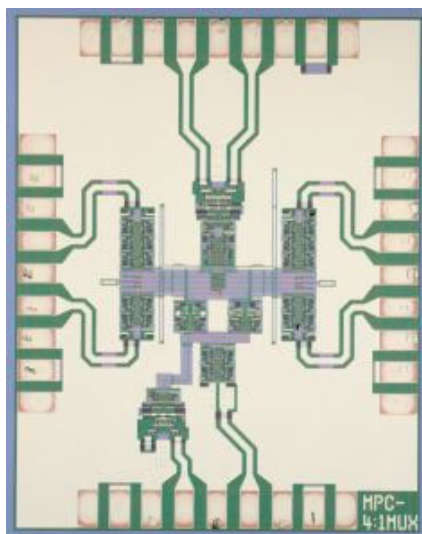
InP HEMT を用いた場合、多相クロック型構成 4:1 MUX / 1:4 DEMUX は従来のツリー型構成 4:1 MUX / 1:4 DEMUX と比較して、動作速度は同等でありながら消費電力を 1/3 以下に低減できることを前節までに示した。ここで多相クロック型構成自身は論理ブロックレベルに対するものであり、4 相クロック出力 TFF・ラッチ・4:1 セレクタ等の論理ブロックが実現できるデバイスで有れば構成することが可能である。但し他のデバイスを用いた場合、それぞれで性能に差異が有るため、InP HEMT と全く同様の効果が得られるかは必ずしも明らかではない。本節では、電界効果トラン

ジスタ系の InP HEMT とは動作原理が根本的に異なるバイポーラトランジスタ系の InP HBT を用いた場合の多相クロック型構成の効果を、試作評価により検証する。

使用した InP HBT は、文献[3.16]に報告されているツリー型構成 4:1 MUX / 1:4 DEMUX IC に用いられている InP HBT と同一である。主なトランジスタパラメータは、電流遮断周波数(f_T):149 GHz、最大発振周波数(f_{max}):215 GHz、電流利得(β)42 である[3.17]。これらのパラメータは、回路中でのバイアス条件に近い電流密度 50kA/cm^2 、コレクタ-エミッタ間電圧 1.2V で得られたものである。また、バイポーラ系トランジスタのフィーチャーサイズ(feature size)であるエミッタ幅は $1\mu\text{m}$ である。

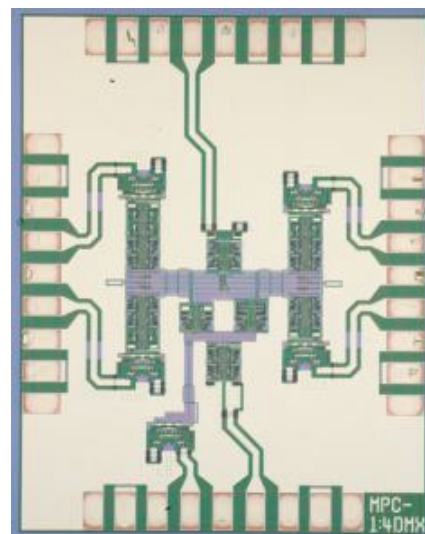
図 3.19 に InP HBT 多相クロック型 4:1 MUX / 1:4 DEMUX のチップ写真を示す。チップサイズは共に $2\text{mm} \times 2.5\text{mm}$ 、素子数は 4:1 MUX が 480 個、1:4 DEMUX が 509 個である。回路構成は、位相 0 度のクオータークロックを IC 外部に取り出せるようにしている点以外は、前節までに述べた多相クロック型構成と同一である。

以下、InP HBT 多相クロック型 4:1 MUX と 1:4 DEMUX の測定結果を示す。



Chip size: $2\text{mm} \times 2.5\text{mm}$

(a)



Chip size: $2\text{mm} \times 2.5\text{mm}$

(b)

図 3.19: InP HBT 多相クロック型構成 4:1 MUX / 1:4 DEMUX のチップ写真
(a) 4:1 MUX、(b) 1:4 DEMUX

3.4.1 InP HBT 多相クロック型構成 4:1 MUX の測定結果

InP HBT 多相クロック型 4:1 MUX をオンウェファ状態で測定した。測定系は、3.3.1 節で述べた InP HEMT 多相クロック型 4:1 MUX 測定に使用した系と同一である。但

し、データ入力の振幅のみ 500mVpp とした。

図 3.20 に InP HBT 多相クロック型 4:1 MUX の 40Gbit/s 出力波形を示す。40Gbit/s は本 IC の 2^3-1 PRBS 信号に対するエラーフリー動作の上限速度であった。差動信号の各々共に振幅約 800mVpp、アイ開口約 500mV、Q 値 10 以上が得られている。また入力 10Gbit/s データに対する位相余裕は 238 度(66ps)であった。消費電力は電源電圧-4.5V 下で 1.17W である。これはツリー型 InP HBT 4:1 MUX[3.16]の消費電力(2.3W)の約半分である。文献[3.16]のツリー型 InP HBT 4:1 MUX でも電源電圧は-4.5V であり、本 IC による大幅な消費電力削減は純粋に多相クロック型構成によるものである。

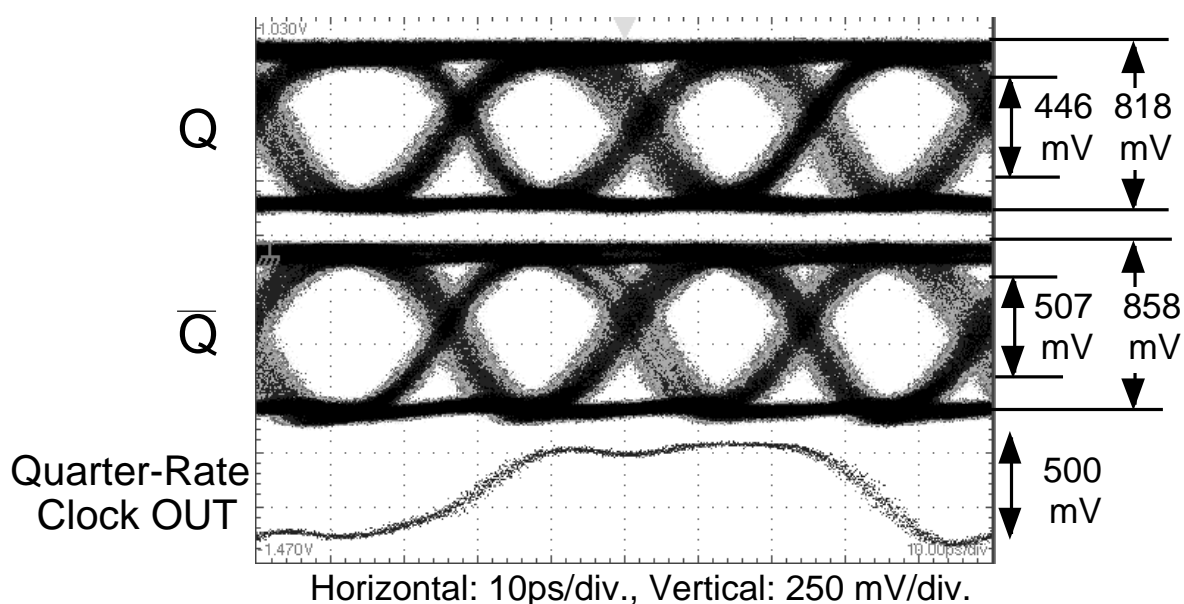


図 3.20: InP HBT 多相クロック型構成 4:1 MUX の 40Gbit/s 出力波形

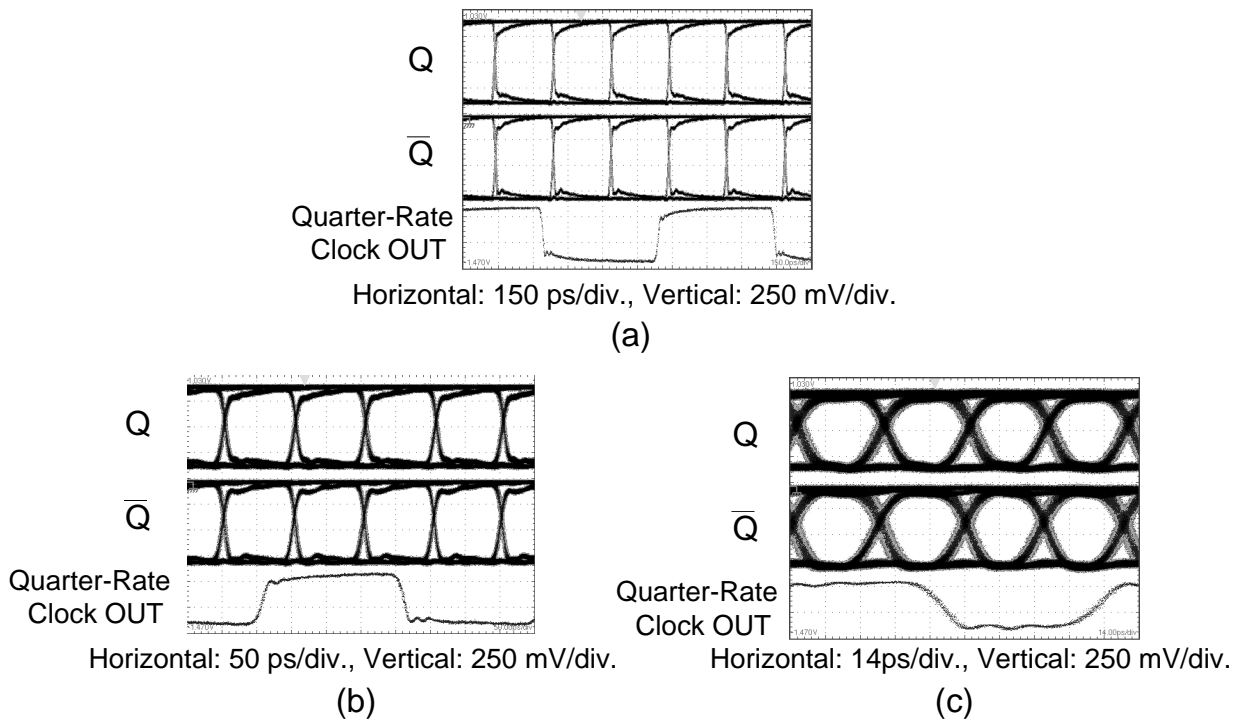


図 3.21: InP HBT 多相クロック型構成 4:1 MUX の出力波形

(a) 4 Gbit/s, (b) 10 Gbit/s, (c) 30 Gbit/s

本 IC は 4Gbit/s から 40Gbit/s の広ビットレート範囲で動作することが確認された。図 3.21 に本 4:1 MUX の 4Gbit/s、10Gbit/s、30Gbit/s の出力波形を示す。これら全てのビットレートで振幅約 800mVpp、アイ開口 500mV 以上、Q 値 10 以上の良好な差動出力波形が得られている。またこれらのビットレートでは出力アイ開口のビット周期(=ビット時間)もほぼ揃っている。図 3.22 に出力波形のアイ開口の動作ビットレート依存性を示す。比較のため、同一 InP HBT によるツリー型 4:1 MUX[3.16]のデータも同時に示した。多相クロック型では 40Gbit/s 程度が上限動作ビットレートであるのに対し、ツリー型は 50Gbit/s の動作ビットレートが得られている。この差異の要因は、多相クロック型とツリー型の最大縦積み段数の違いと考えている。多相クロック型では 4:1 セレクタにおいて最大 3 段のトランジスタを縦方向(=グランド-電源端子間)に積んでいるが、ツリー型では縦積み段数は最大で 2 段である。一般にバイポーラ系トランジスタによる縦積み回路では、縦方向電圧がベース-エミッタ間の on 電圧(~0.7V)に割かれてしまう分だけ、速度性能に効くコレクタ-ベース間電圧を確保しづらい状況にある。多相クロック型では縦積み段数が 1 段増加、各段当たりのコレクタ-ベース電圧がツリー型のそれよりも減少したため、速度性能が 40Gbit/s 程度に留まったと推定される。この点、電界効果型トランジスタでは、縦方向電圧

が割かれることなく速度性能に効くソース-ドレイン間電圧となるので、バイポーラ系と比較して速度性能に関する縦方向電圧のマージンは確保しやすい。このため先に述べた InP HEMT による多相クロック型 4:1 MUX は、50Gbit/s までツリー型と同じ速度性能を示したと考えられる。

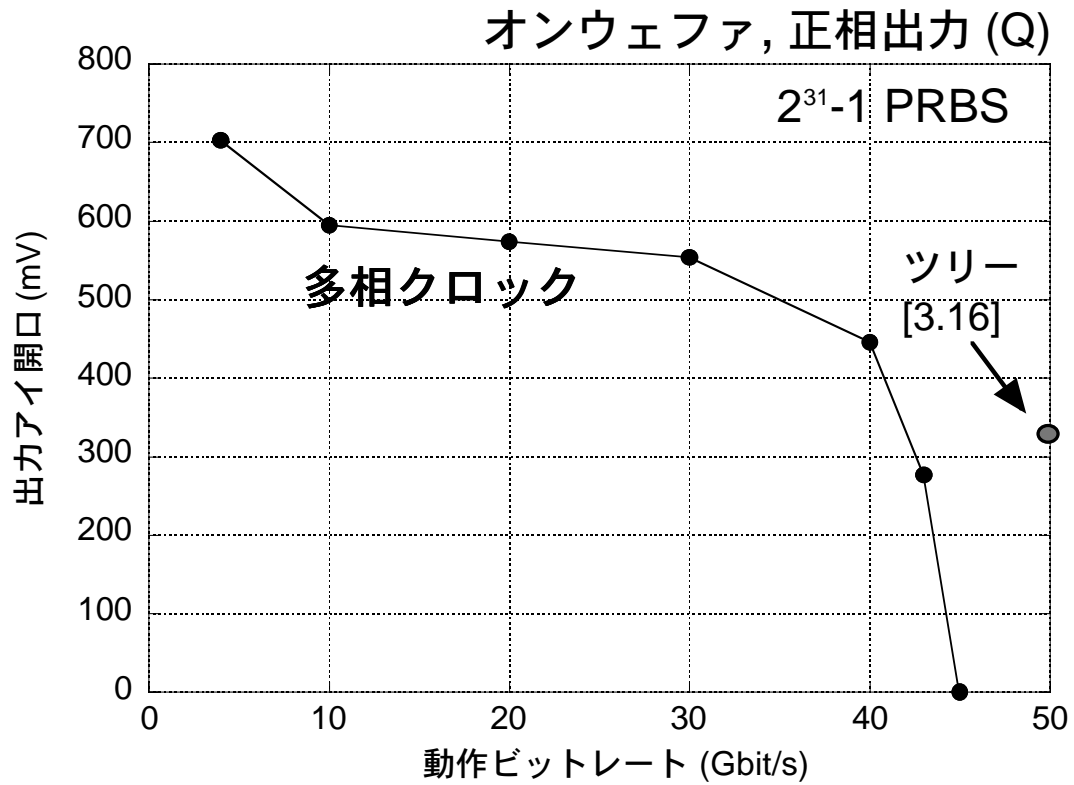


図 3.22: InPHBT 多相クロック型 4:1 MUX の出力アイ開口動作ビットレート依存性

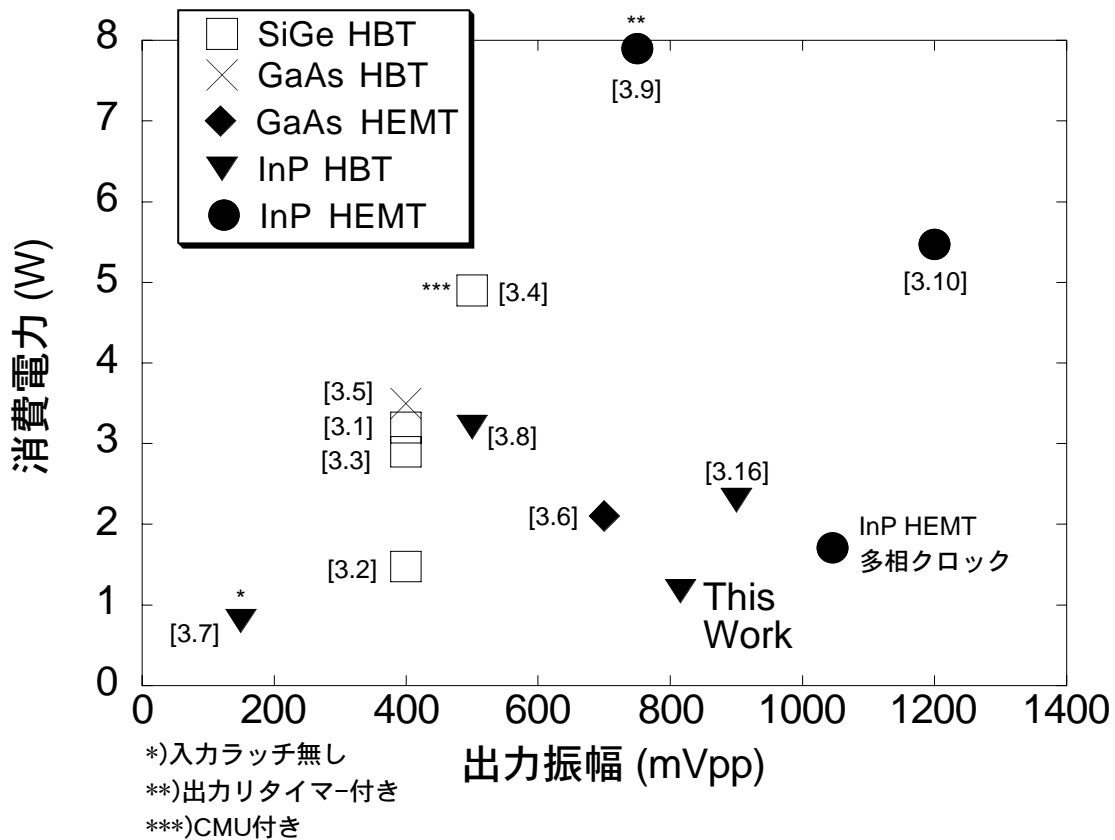


図 3.23: 40Gbit/s 以上で動作する 4:1MUX の消費電力と出力振幅の比較 (II)

図 3.23 に、InP HBT 多相クロック型 4:1 MUX を含めて、40Gbit/s 以上で動作する 4:1 MUX の報告例について、消費電力と出力振幅を比較した図を示す。尚、本図は図 3.15 に InP HBT 多相クロック型 4:1 MUX の結果を追加したものである。InP HBT を用いたツリー型 4:1 MUX [3.8], [3.16] と比較して、出力振幅を犠牲にすることなく消費電力を半減していることがわかる。また他トランジスタによる 4:1 MUX と比較しても、消費電力は最も少ない部類のものである。

3.4.2 InP HBT 多相クロック型構成 1:4 DEMUX の測定結果

InP HBT 多相クロック型 1:4 DEMUX をオンウェファ状態で測定した。測定系は、3.3.2 節で述べた InP HEMT 多相クロック型 1:4 DEMUX 測定に使用したものと同一である。但し、データ入力のみ振幅 500mVpp の単相信号とした。

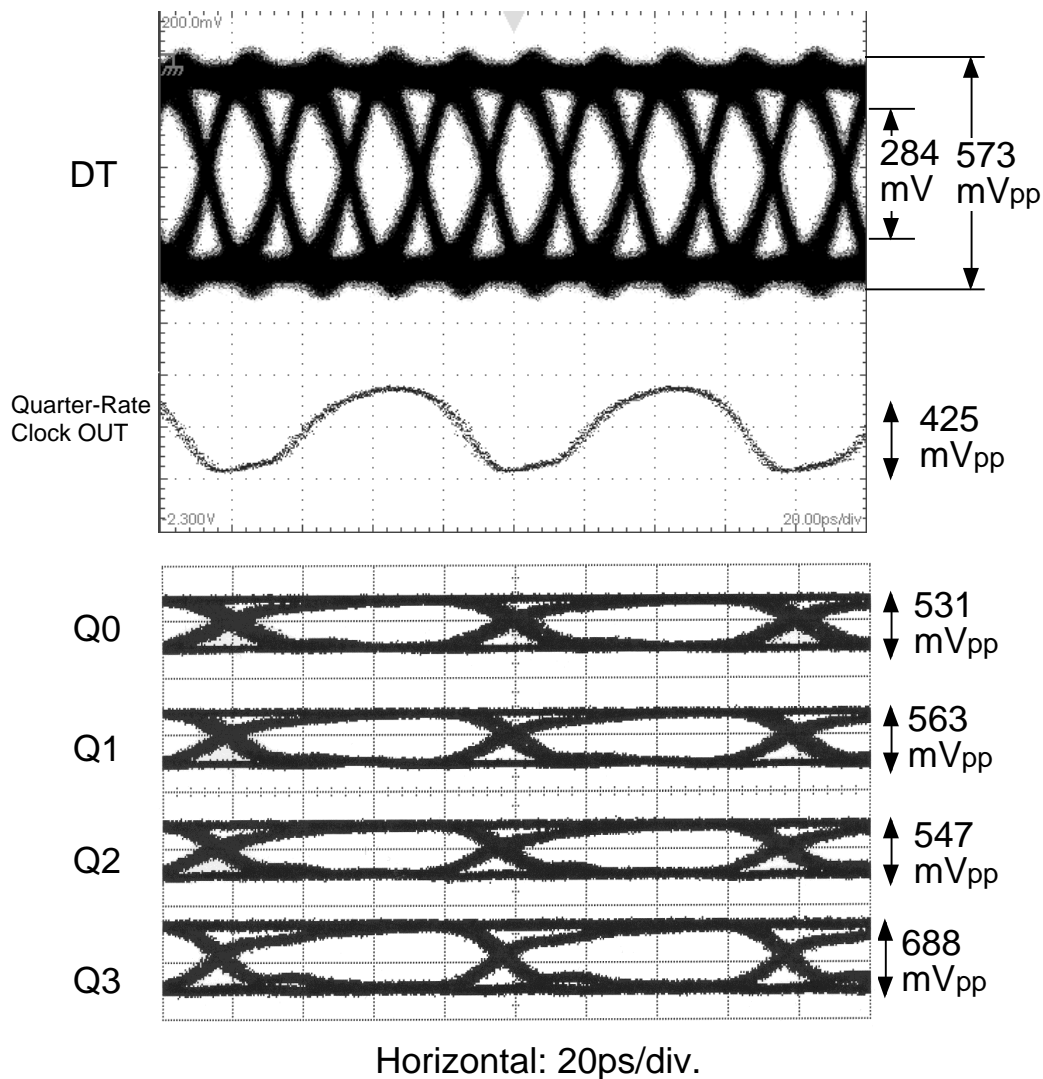


図 3.24: InP HBT 多相クロック型構成 1:4 DEMUX の 50Gbit/s 動作波形

図 3.24 に 50Gbit/s 動作波形を示す。電源電圧は-4.5V であり、ビット長 $2^{31}-1$ の PRBS に対するエラーフリー動作を確認した。ここでエラーフリー動作とは InP HEMT 多相クロック型 1:4 DEMUX の場合と同様に、出力の 4 本全てが同時にエラーフリー(エラー率: 10^{-12} 以下)であり、かつそれら 4 本の位相について隣接チャンネル間で 1/4 PRBS 周期ずつずれていることを意味している。エラーフリー動作の位相余裕は 180 度 (10ps)であった。出力 4 本のデータ・エッジも ± 10 ps の範囲で揃っており、デスクュー機能が正常に得られていることがわかる。消費電力は 1.17W であり、InP HBT ツリ型 1:4 DEMUX[3.16]の消費電力 2.6W の 1/2 以下である。文献[3.16]の 1:4 DEMUX でも電源電圧は-4.5V であり、前節の MUX 同様、1/2 以下の大幅な消費電力低減は多相クロック構成によるものである。

図 3.25 に位相余裕の動作ビットレート依存性を示す(電源電圧-4.5V, 入力 $2^{31}-1$

PRBS)。4Gbit/s から 50Gbit/s の広範囲において 180° 以上の位相余裕が得られている。動作ビットレート下限の 4Gbit/s は AC 結合クロック入力の低域遮断周波数、上限の 50Gbit/s は測定系限界によるものである。ここでも比較のため、InP HBT ツリー型構成 1:4 DEMUX の結果[3.16]を同時に示した。多相クロック型・ツリー共に 50Gbit/s 動作を達成しているが、位相余裕は多相クロック型の方が若干大きい。1:4 DEMUX では多相クロック型・ツリー型共にトランジスタの縦積み段数が最大 2 段であることから、4:1 MUX の場合と異なり、多相クロック型でもツリー型と同等以上の速度性能を確保することができる。本 IC の最小入力感度についても測定し、 $2^{31}-1$ PRBS 入力の時、43Gbit/s で 86mV、50Gbit/s で 168mV であった。

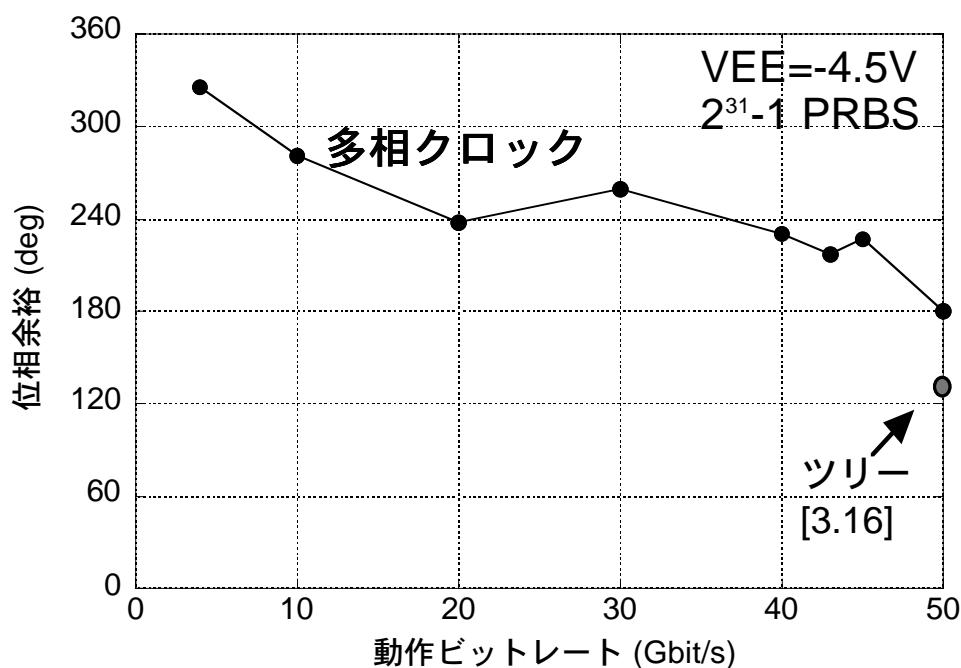


図 3.25: InP HBT 1:4 DEMUX の位相余裕ビットレート依存性

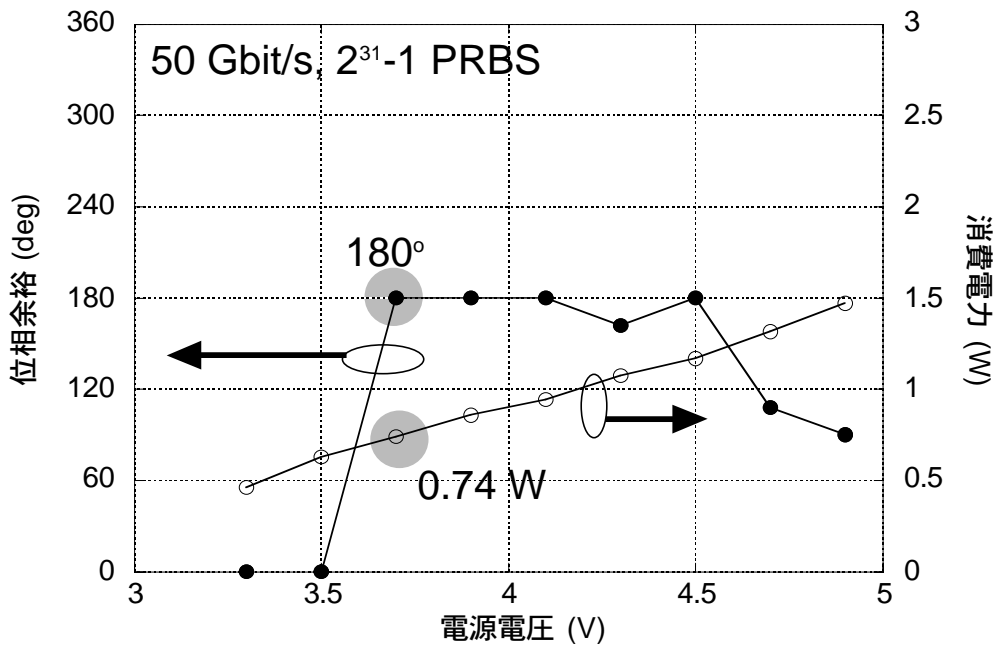
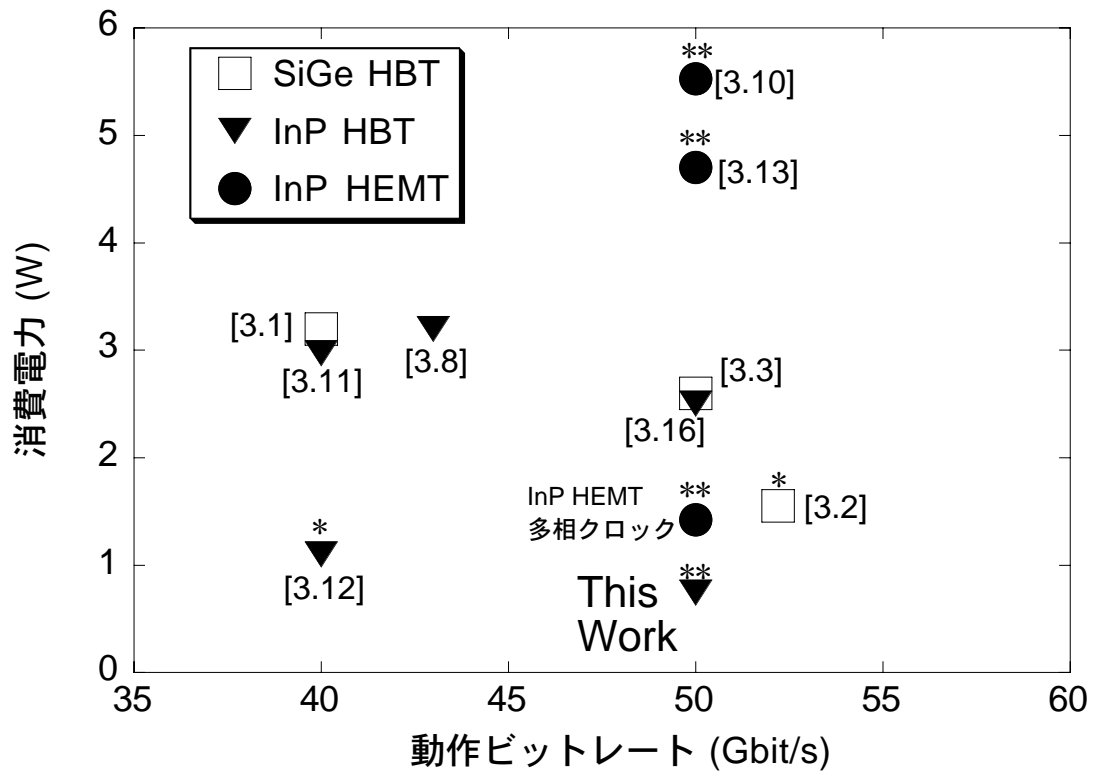


図 3.26: InP HBT 多相クロック型 1:4 DEMUX の位相余裕と消費電力の電源電圧依存性

本 IC の 50Gbit/s $2^{31}-1$ PRBS に対する位相余裕と消費電力の電源電圧依存性を測定した (図 3.26)。電源電圧-3.7V から-4.9V の範囲でエラーフリー動作が確認できた。特に電源電圧-3.7V においては、わずか 0.74W の低消費電力にも関わらず 180° の位相余裕を維持している。この 0.74W の消費電力は、既報告の 40Gbit/s 級 1:4 DEMUX IC[3.1-3.3],[3.8],[3.10-3.13]のいずれよりも低い値である。

図 3.27 に本 IC を含めて、40Gbit/s 以上で動作する 1:4 DEMUX の報告例について、消費電力と出力振幅を比較した図を示す。尚、本図は図 3.16 に本 IC の結果を追加したものである。InP HBT ツリー型[3.11],[3.8].[3.16]と比較しての動作速度を犠牲にすることなく、消費電力を大幅に削減していることがわかる。また本 IC は唯一のサブワット 40Gbit/s 級 1:4 DEMUX IC である。



*)クロック両相入力
 **)動作ビットレートは測定系で律速

図 3.27: 40Gbit/s 以上で動作する 1:4 DEMUX の消費電力と動作速度の比較(II)

3.5: 結論

40Gbit/s 級多ビット 多重回路(MUX)・分離回路(DEMUX)の低消費電力回路構成として多相クロック型構成を提案した。多相クロック型構成は、TFF で生成される多相クロックを活用することにより、論理ゲート数及び付随するバッファアンプを削減、大幅な低消費電力化を可能にする。本章では前章同様 4 ビットの MUX・DEMUX(4:1 MUX・1:4 DEMUX)を例にとり、多相クロック型構成を InP HEMT 及び InP HBT を用いて試作検証した。InP HEMT による多相クロック型構成 4:1 MUX・1:4 DEMUX は、ツリー型構成 4:1 MUX・1:4 DEMUX と同等の 50Gbit/s の動作速度を維持しつつ、ツリー型構成の 1/3 以下の消費電力で動作することが示された。また InP HBT による多相クロック型構成 4:1 MUX・1:4 DEMUX は、ツリー型構成の 1/2 以下の消費電力で、4:1 MUX が 40Gbit/s 動作、1:4 DEMUX は 50Gbit/s 動作を達成した。

第 3 章の参考文献

[3.1] T. Masuda, K. Ohhata, N. Shiramizu, E. Ohue, K. Oda, R. Hayami, H. Shimamoto, M.

- Kondo, T. Harada, and K. Washio, "40Gb/s 4:1 Multiplexer and 1:4 Demultiplexer IC Module using SiGe HBTs", 2001 IEEE MTT-S Digest, pp. 1697-1700 (2001)
- [3.2] M. Meghelli, A. V. Rylyakov, and L. Shan, "50Gb/s SiGe BiCMOS 4:1 Multiplexer and 1:4 Demultiplexer for Serial Communication Systems", IEEE J. Solid-State Circuits, vol. 37, No.12, pp. 1790-1794 (2002)
- [3.3] O. H. Adamczyk, S. P. Woyciehowsky, J. M. Binkley, A. E. Otero, and M. Rozmann, "4:1 Multiplexer and 1:4 Demultiplexer Chipset for Data Rates up to 50 Gb/s in SiGe Technology", 2002 ECOC Proceedings, Vol.3, P2.32 (2002)
- [3.4] D. K. Shaeffer, H. Tao, Q. Lee, A. Ong, V. Conditto, S. Benyamin, W. Wong, X. Si, S. Kudzus, and M. Tarsia, "A 40/43Gb/s SONET OC-768 SiGe 4:1 MUX/CMU", 2003 ISSCC Digest of Technical Papers, pp.236-237 (2003)
- [3.5] K. Runge, R. L. Pierson, P. J. Zampardi, P. B. Thomas, J. Yu, and K. C. Wang, "40Gbit/s AlGaAs/GaAs HBT 4:1 multiplexer IC", IEE Electron. Lett., Vol. 31, No.11, pp.876-877 (1995)
- [3.6] U. Nowotny, Z. Lao, A. Thiede, H. Lienhart, J. Hornung, G. Kaufel, K. Köhler, and K. Glorer, "44Gbit/s 4:1 Multiplexer and 50Gbit/s 2:1 Multiplexer in pseudomorphic AlGaAs/GaAs-HEMT Technology", 1998 IEEE ISCAS Technical Digest II, pp.201-203 (1998)
- [3.7] J. P. Mattia, R. Pullela, G. Georgieu, Y. Baeyens, H. S. Tsai, Y. K. Chen, C. Dorschky, T. W. von Mohrenfels, M. Reinhold, C. Groepper, M. Sokolich, L. Nguyen, and W. Stanchina, "High-Speed multiplexers: A 50Gb/s 4:1 MUX in InP HBT Technology", 1999 IEEE GaAs IC Symposium Technical Digest, pp. 189-192 (1999)
- [3.8] H. Matsuura, S. Kobayashi, T. Yakihara, and A. Miura, "Development and Application of Ultra fast HBT Integrated Circuits", Tech. Meeting on Electrical Devices IEE Japan, EDD-02-46~57, pp. 50-60(in Japanese) (2002)
- [3.9] Y. Nakasha, T. Suzuki, H. Kano, K. Tsukashima, A. Ohya, K. Sawada, K. Makiyama, T. Takahashi, M. Nishi, T. Hirose, M. Takikawa and Y. Watanabe, "A 43-Gb/s Full-Rate-Clock 4:1 Multiplexer in InP-Based HEMT Technology", IEEE J. Solid-State Circuits, vol. 37, No.12, pp. 1703-1709 (2002)
- [3.10] K. Sano, K. Murata, S. Sugitani, H. Sugahara, and T. Enoki, "50-Gbit/s 4-bit Multiplexer/Demultiplexer Chip-set using InP HEMTs", 2002 IEEE GaAs IC Symposium Technical Digest, pp. 207-210 (2002)
- [3.11] E. Sano, H. Nakajima, N. Watanabe, S. Yamahata, and Y. Ishii, "40Gbit/s 1:4 demultiplexer IC using InP-based heterojunction bipolar transistors", IEE Electron. Lett., Vol.

35, No.24, pp.2116-2117 (1999)

[3.12] J. P. Mattia, R. Pallela, Y. Baeyens, Y. K. Chen, H. S. Tsai, G. Georgiou, T. W. von Mohrenfels, M. Reinhold, C. Groepper, C. Dorschky, and C. Schulien, "A 1:4 Demultiplexer for 40Gb/s Fiber-Optic Applications", 2000 ISSCC Digest of Technical Papers, pp. 64-65 (2000)

[3.13] H. Kano, T. Suzuki, S. Yamaura, Y. Nakasha, K. Sawada, T. Takahashi, K. Makiyama, T. Hirose, and Y. Watanabe, "A 50-Gbit/s 1:4 Demultiplexer IC in InP-based HEMT Technology", 2002 IEEE MTT-S Digest, pp. 75-78 (2002)

[3.14] M. Vadipour, "Capacitive feedback technique for wide-band amplifiers", IEEE J. Solid-State Circuits, vol. 28, No.1, pp. 90-92 (1993)

[3.15] T. Enoki, H. Yokoyama, Y. Umeda, and T. Otsuji, "Ultrahigh-Speed Integrated Circuits Using InP-Based HEMTs", Jpn. J. Appl. Phys., Part 1, Vol. 37, No. 3B, pp. 1359-1364 (1998)

[3.16] K. Ishii, H. Nosaka, M. Ida, K. Kurishima, S. Yamahata, T. Enoki, T. Shibata, and E. Sano, "4-bit Multiplexer/Demultiplexer Chip Set for 40-Gbit/s Optical Communication Systems", IEEE Trans. on Microwave Theory and Techniques, vol. 51, No. 11, pp. 2181-2187 (2003)

[3.17] M. Ida, K. Kurishima, H. Nakajima, N. Watanabe, and S. Yamahata, "Undoped-Emitter InP/InGaAs HBTs for High-Speed and Low-Power Applications", 2000 IEDM Digest, pp. 854-856 (2000)

第4章：InP HEMT を用いた 40Gbit/s 級 リミッティングアンプの設計手法と評価

概要

デジタル回路のみならず、増幅器(Amplifier:アンプ)に代表されるアナログ回路も 40Gbit/s 級光ファイバ通信システムには不可欠な回路部品である。アナログ回路は個別部品として使用されることはもちろん、デジタル回路中にバッファアンプ等として集積されていることも多く、その性能がシステムに及ぼす影響は大きい。

本章では、40Gbit/s 級光ファイバ通信システムに必要なアナログ回路の 1 つであるリミッティングアンプについて、InP HEMT を用いた場合の設計手法を述べる。リミッティングアンプは複数段の増幅器から構成されるが、一般的にこのような構成では利得が増加する分だけ帯域が減少する。この利得と帯域のトレードオフの関係は、InP HEMT のように速度的に最先端のデバイスを用いる場合でも不可避であり、可能な限り帯域が確保されるような回路構成の検討を行った。検討において最も帯域が確保されることが見込まれた回路構成は容量帰還・インダクタピーキング併用型であり、この回路構成を用いてリミッティングアンプを試作、40Gbit/s 級での使用に対して十分にマージンが有る 50Gbit/s 級動作を確認した。

4.1: はじめに

40Gbit/s 級光ファイバ通信システムにおいて、時間多重・分離回路(MUX・DEMUX)のようなデジタル回路のみならず、増幅器(Amplifier)等のアナログ回路も重要な回路部品である。アナログ回路はそれ自身が個別部品としてシステム中に使用されると同時に、デジタル回路中にバッファアンプとして集積されて用いられていることも少なくない。このようにアナログ回路の使用範囲は幅広く、これらの回路性能がシステムの性能に及ぼす影響は大きい。

リミッティングアンプ(Limiting Amplifier: LIM)は、まさに上述したようなアナログ回路の 1 つである。個別部品としては、図 4.1 に示すようにリミッティングアンプはプリアンプ(Pre-amplifier)の後段に配置され、光信号の強度揺らぎに伴い変動するプリアンプの出力振幅を常に一定の振幅に整え出力する。ここでプリアンプの出力振幅は一般的に数十 mV 程度なのに対し、リミッティングアンプの後段のクロックデータ再生回路(CDR)は数百 mV 程度の入力振幅が必要なことから、リミッティングア

ンプには利得(gain)が有ることが求められる。またリミッティングアンプは、多くのデジタル回路の入出力バッファとして集積されている。前章までの MUX・DEMUX 回路でも、その入出力バッファはリミッティングアンプそのものである。

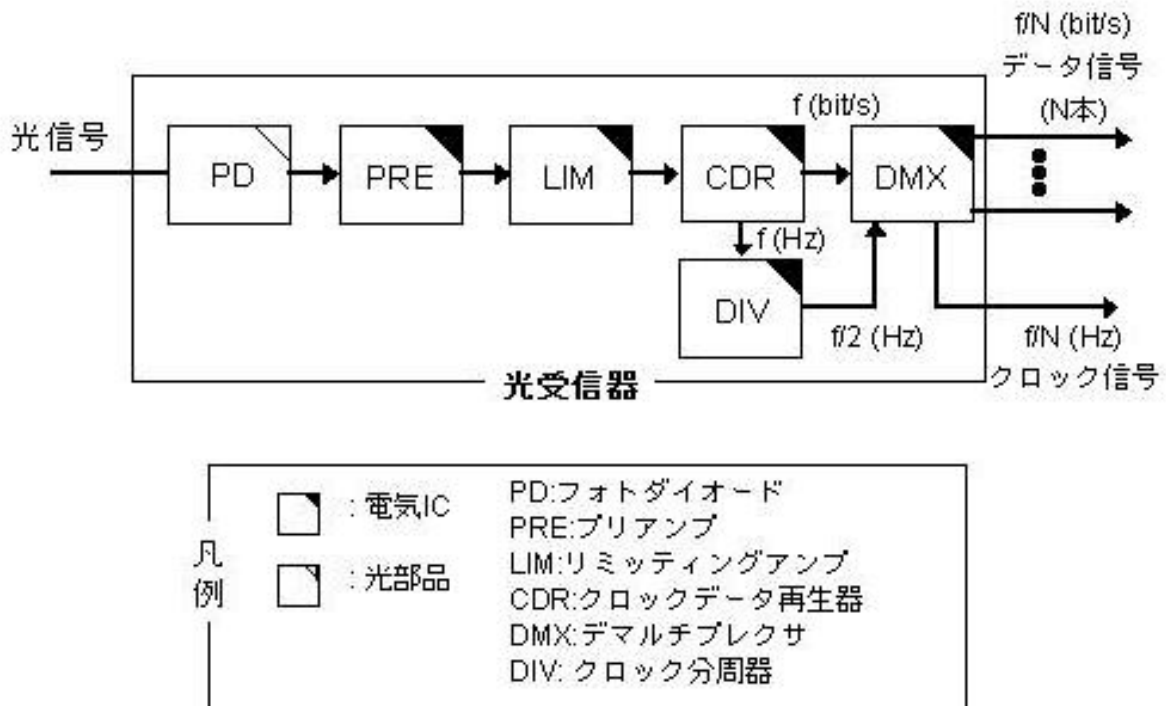


図 4.1: リミッティングアンプの配置位置

リミッティングアンプは複数段の増幅器から構成されるが、このような構成では一般的に利得が増加する分だけ帯域が減少する傾向にある。InP HEMT, InP HBT, SiGe HBT のように速度性能的に現在最先端のデバイスを用いても、この利得と帯域のトレードオフの関係は 40Gbit/s 級アナログ回路の設計上の課題であり、可能な限りこのトレードオフを緩和する回路構成が必要となる。例えば、Baeyens らによる InP HBT を用いた 40Gbit/s 級 リミッティングアンプ[4.1]は増幅器を Cherry-Hooper 構成[4.2]とし、帯域の拡大を図っている。

本章では、InP HEMT を用いた 40Gbit/s 級リミッティングアンプの回路設計手法について述べる。与えられた条件下で利得・帯域のトレードオフを緩和し、可能な限り帯域を拡大する回路構成を検討した。検討した回路構成によりリミッティングアンプ IC を試作し、40Gbit/s 級はもちろん 50Gbit/s 級においても動作することを確認される。

4.2: 回路構成

回路構成を検討するに当たり、1)デバイスとして InP HEMT、2)チップサイズ・消費電力を抑えるべく集中定数型、3)使用に容易な単一電源構成、以上 3 点を前提条件とした。その結果、Source Coupled FET Logic(SCFL)と呼ばれる差動アンプとソースフォロワの組み合わせ構成を、基本構成回路として採用した。図 4.2 にリミッティングアンプの回路図を示す。入力端子は単相・両相入力共に対応可能となっている。出力は入力が単相・両相に関わらず両相信号となる。また前述したように基本構成は SCFL であり、それらは機能の観点から入力ソースフォロワ(Input Source Follower: ISF)、容量帰還・インダクタピーキング併用アンプ(Capacitive-Feedback and Inductor-Peaking Amplifier: CF-IP Amp.) (3 段)、及び 50Ω ドライバに分けることができる。

入力ソースフォロワ(ISF)は、オンチップの 50Ω 終端抵抗が入力部分に付加され、入力部のインピーダンス変換回路として使用されている。またトランジスタのソースと最下段のダイオードのカソードの間に、ダイオードのシリーズ抵抗による高周波損失を補償すべく、容量がダイオードに並列に付け加えられている。

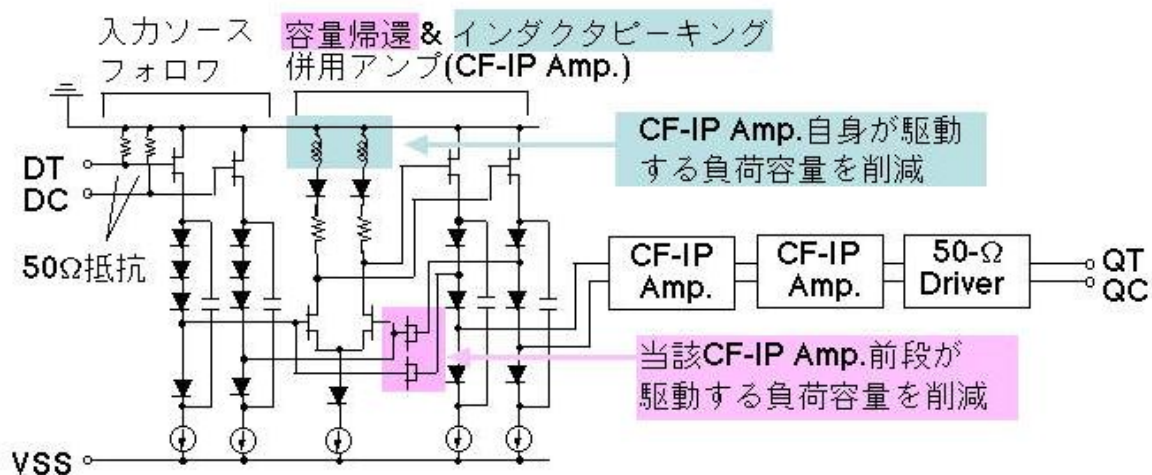
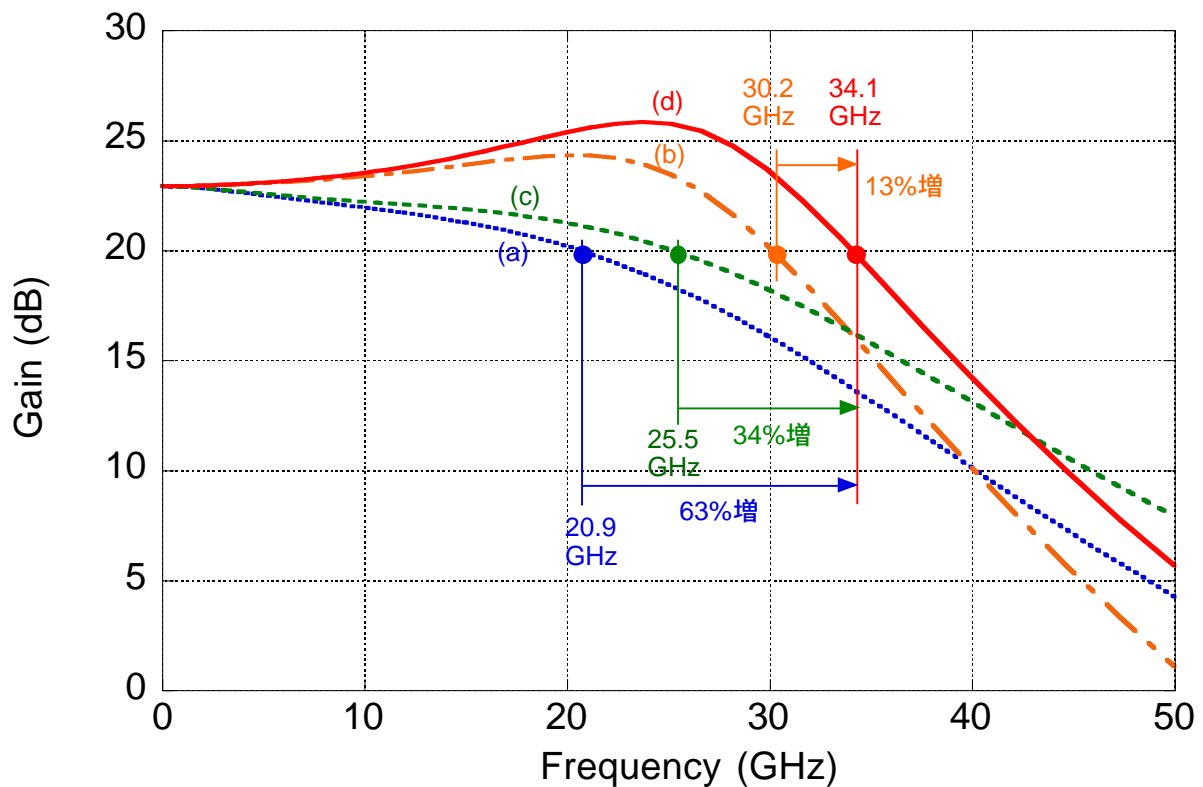


図 4.2: リミッティングアンプの回路図

容量帰還・インダクタ併用アンプ(CS-IP Amp.)は、1)ドレイン=ソース間を短絡した HEMT による帰還容量、2)負荷抵抗に直列に挿入したピーキングインダクタの 2 点を使用したことに特徴が有る差動アンプである。帰還容量は差動アンプの入力容量を低減する[4.3]。よって、帰還容量が付加されている差動アンプの前段により駆動される容量性負荷が低減、結果として広帯域化される。ピーキングインダクタは、

インダクタが付加された差動アンプ自身の負荷容量を削減、やはり広帯域化が図られる。このように、帰還容量とピーキングインダクタの効果は共に広帯域化ではあるが、作用する部分が異なるので、両者を併用することで相乗効果が得られる。この点を回路シミュレーションで検証した。図 4.3 は、a) 通常の差動アンプのみで構成したりミットティングアンプ、b) 帰還容量のみを付加した差動アンプで構成したりミットティングアンプ、c) ピーキングインダクタのみを付加した差動アンプで構成したりミットティングアンプ、d) 帰還容量とピーキングインダクタを併用した差動アンプで構成したりミットティングアンプ、それぞれの利得-周波数特性のシミュレーション結果である。図 4.3 からわかるように、d)の今回採用の回路構成は帯域 34.1GHz で、a)のリミットティングアンプより 63% (帯域 20.9GHz)、b)のリミットティングアンプより 13% (帯域 30.2GHz)、c)のリミットティングアンプより 34% (帯域 25.5GHz)、帯域が伸張している。以上から採用した「容量帰還・インダクタ併用アンプ」構成により、利得を犠牲にすることなく帯域が延伸、すなわち利得と帯域のトレードオフが緩和されていることがわかる。

また 50Ωドライバは、トランジスタのドレインを出力端とする、いわゆるオープン・ドレイン型の差動アンプである。



- (a) 通常の差動アンプ
- - - (b) 帰還容量を付加した差動アンプ
- - - (c) ピーキングインダクタを付加した差動アンプ
- (d) 帰還容量+ピーキングインダクタを併用した差動アンプ

図 4.3: 各種リミッティングアンプの利得-周波数特性 (シミュレーション)

4.3: 回路試作

ゲート長 $0.1 \mu\text{m}$ の InP HEMT プロセスによりリミッティングアンプ IC を試作した。InP HEMT の単体性能は、前章までの時間多重・分離回路に用いたものと同等であり、トランスコンダクタンス(g_m): 1.1S/mm 、電流遮断周波数(f_T): 168GHz 、閾値(V_{th}): -0.58V 、閾値分散($\sigma_{V_{th}}$): 40mV である。図 4.4 にリミッティングアンプのチップ写真を示す。チップサイズは $2\text{mm} \times 2\text{mm}$ である。ここで回路の電源 VSS は、信号配線をまたがないようにレイアウトされている。これは、電源と信号配線との交差による容量成分により入力への帰還ループが生じ発振してしまうことを回避するための一方策である。

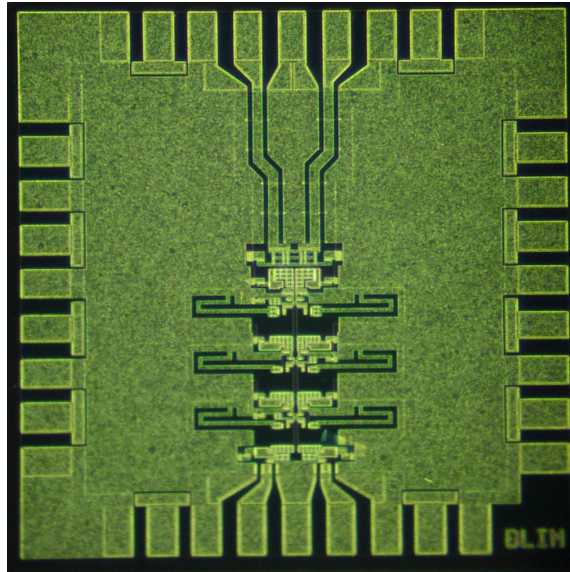


図 4.4: リミッティングアンプのチップ写真
(サイズ : 2.0 mm x 2.0 mm)

4.4: 評価結果

作製した IC を最初にオンウェファで評価した。消費電力は $V_{SS} = -4.5V$ 下で 0.63W であった。図 4.5 に DT を Port1、QT を Port2、QC を 50Ω 終端して測定した S_{21} パラメータを示す。 S_{21} は利得(gain)と完全に等価である。3dB 帯域 32.1GHz、単相利得 25.4dB であり、利得・帯域積は 598GHz となる。Baeyens らによる InP HBT リミッティングアンプ IC[4.1]では 3dB 帯域 40GHz、単相利得 22dB であり、利得・帯域積は 504GHz である。利得・帯域積の観点では、本 IC が大きく上回っている。

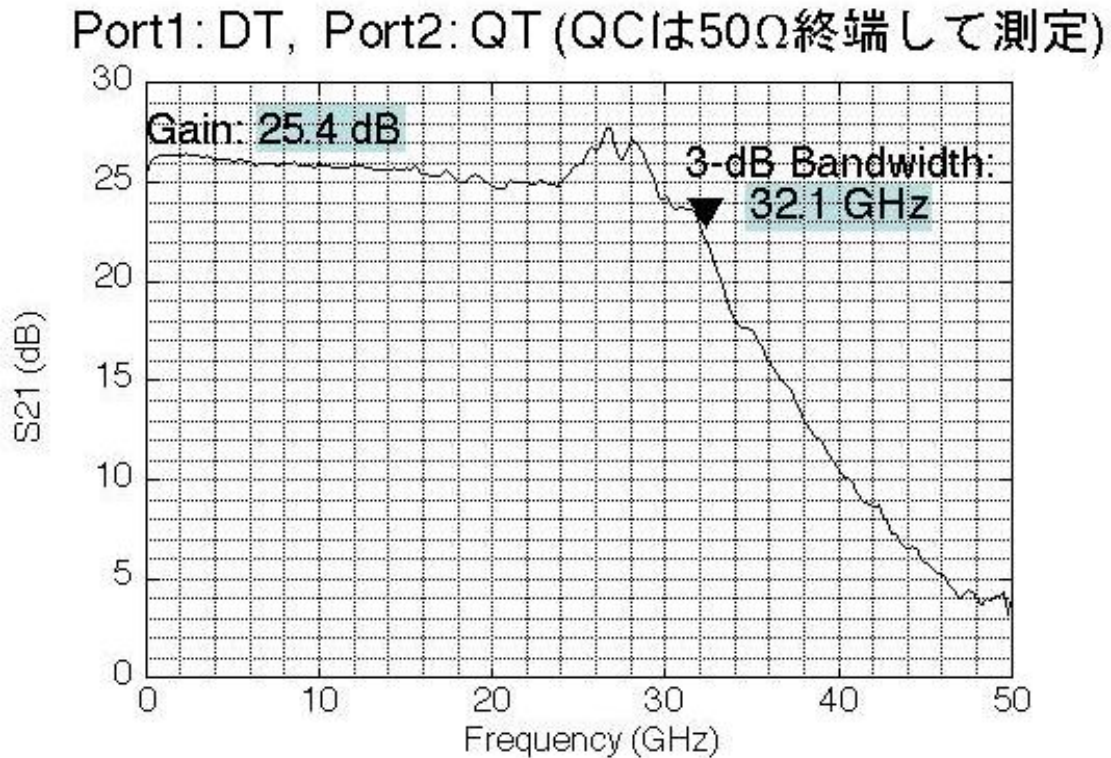


図 4.5: 作製したリミッティングアンプ IC の S21 パラメータ

図 4.6 に、リミッティングアンプ IC の 43Gbit/s 動作波形を示す。((a): 27mV アイ開口の単相入力時、(b): 687mV アイ開口の単相入力時) ここで 43Gbit/s は誤り符号訂正付き 40Gbit/s 級光通信の規格である OUT-3[4.7]のビットレート(43.0184 Gbit/s)近傍の値である。また入力信号のパターンは、周期 $2^{31}-1$ ビットの疑似ランダム列 (Pseudo-Random Bit Sequence: PRBS)である。図 4.6 (a)と(b)では入力に dB 表示パワー換算で約 20dB もの差があるにも関わらず、共に peak-to-peak 振幅>1V・アイ開口>500mV の良好なアイパターンが両相で出力されていることがわかる。また図 4.7 に、43Gbit/s での出力アイ開口と RMS ジッタ増分の入力アイ開口依存性を示す。入力アイ開口が 100mV 以上で、出力アイ開口は 800mV 以上に飽和していることがわかる。ジッタ増分に関しては 800fs 以下と低く抑えられている。以上から本リミッティング IC が 40Gbit/s 級で所望の動作、すなわち振幅が変動する入力を一定の振幅へ増幅出力する動作を果たしていることが明らかにされた。

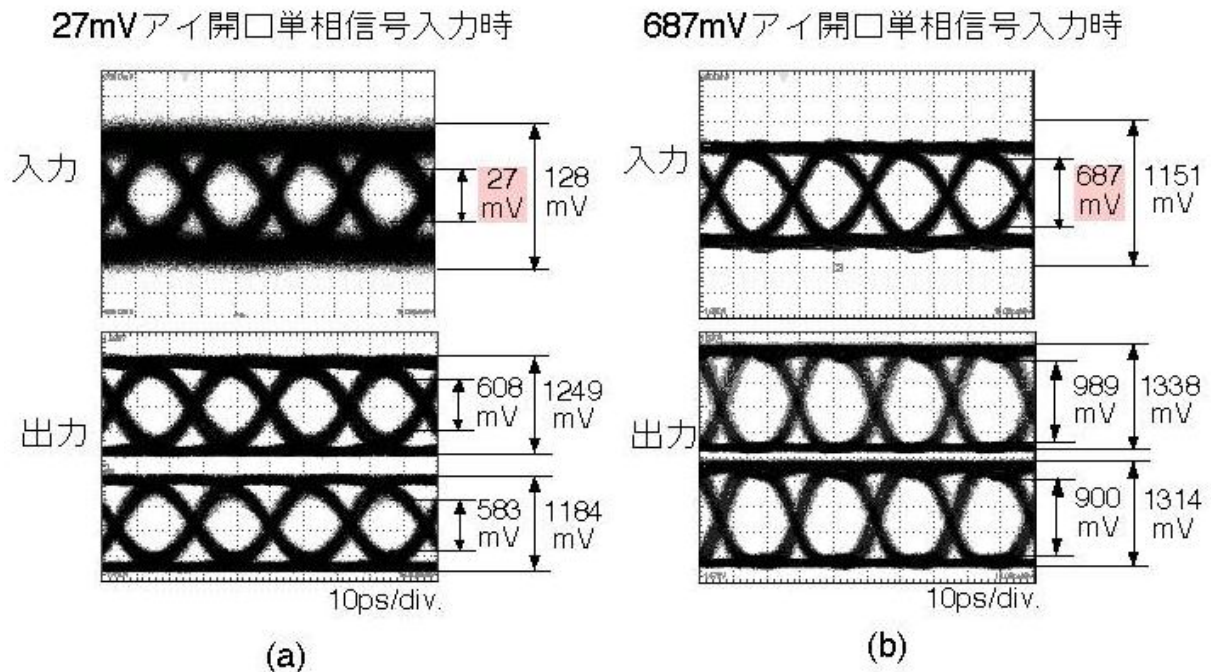


図 4.6: リミッティングアンプ IC の 43Gbit/s 動作波形

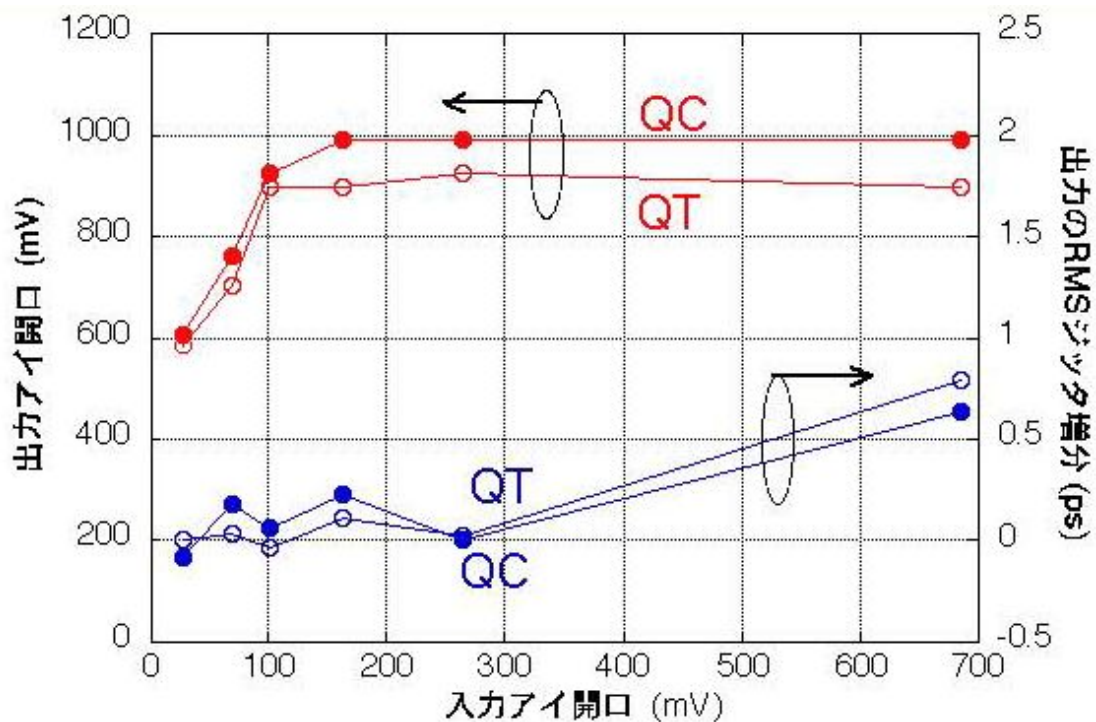


図 4.7: リミッティングアンプ IC の 43Gbit/s での出力アイ開口と RMS ジッタ増分の入力アイ開口依存性 (単相入力時)

次いで、本 IC の 50Gbit/s 級動作を検証した。図 4.8 に、リミッティングアンプ IC の 50Gbit/s 動作波形を示す。(a): 単相・59mV アイ開口入力時、(b) 単相・681mV アイ開口入力時) 43Gbit/s 同様、入力信号パターンは周期 2^31-1 ビットの疑似ランダム列(PPRBS)である。図 4.8 (a)と(b)では入力にパワー換算で約 16dB の差があるが、

やはり peak-to-peak 振幅 1V 以上・アイ開口 500mV 以上の良好なアイパタンが両者で出力されていることがわかる。また図 4.9 に、50Gbit/s での出力アイ開口と RMS ジッタ増分の入力アイ開口依存性を示す。入力アイ開口が 100mV 以上で出力アイ開口は 700mV 以上に飽和、ジッタ増分は 500fs 以下に抑えられていることがわかる。以上から本リミッティング IC が 50Gbit/s 級でも動作することが証明された。

更に、本リミッティングアンプ IC を RF コネクタ 4 本付きのパッケージ[4.8]に実装して動作を検証した。図 4.10(a)にパッケージの外観写真を、図 4.10(b)にパッケージでの 50Gbit/s 動作波形を示す。パッケージに実装された状態でもオンウェファと遜色ない動作波形が得られていることが確認された。

4.5: 結論

InP HEMT による 40Gbit/s 級リミッティングアンプについて述べた。単一動作電源・集中定数型を前提条件として、可能な限り帯域が確保される回路構成を検討し、容量帰還とインダクタピーキングを併用した差動増幅アンプ回路構成を採用した。試作回路の利得は 25.4dB, 3dB 帯域 32.1GHz であり、43Gbit/s 入力に対しては 27mV を最小として 20dB 以上の入力ダイナミックレンジ、50Gbit/s 入力に対しては 59mV を最小として 16dB 以上の入力ダイナミックレンジを有していることが確認された。これらの性能は 40Gbit/s 級光ファイバ通信システムに十分適用できるものである。

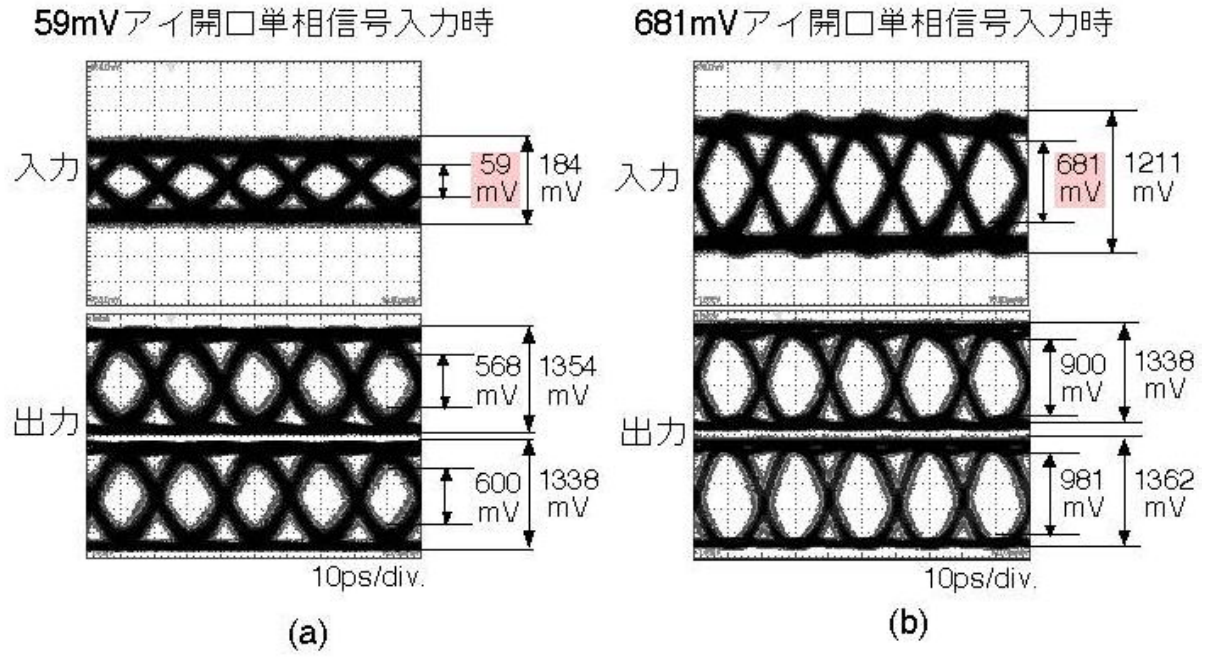


図 4.8: リミッティングアンプ IC の 50Gbit/s 動作波形

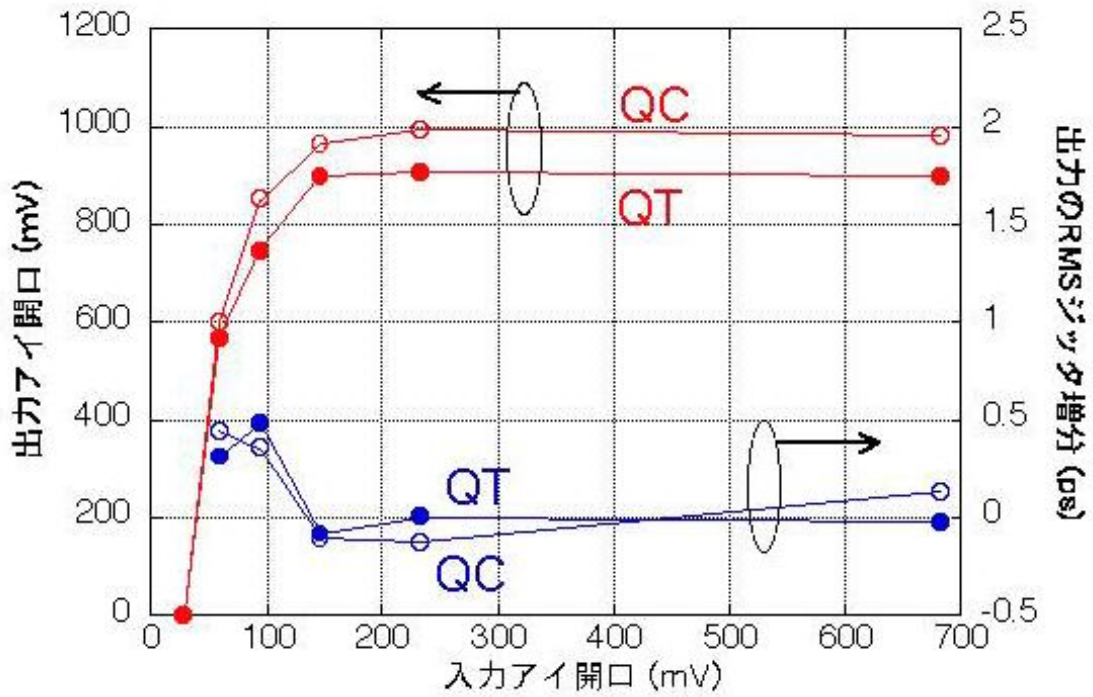


図 4.9: リミッティングアンプ IC の 50Gbit/s での出力アイ開口と RMS ジッタ増分の入力アイ開口依存性 (単相入力時)

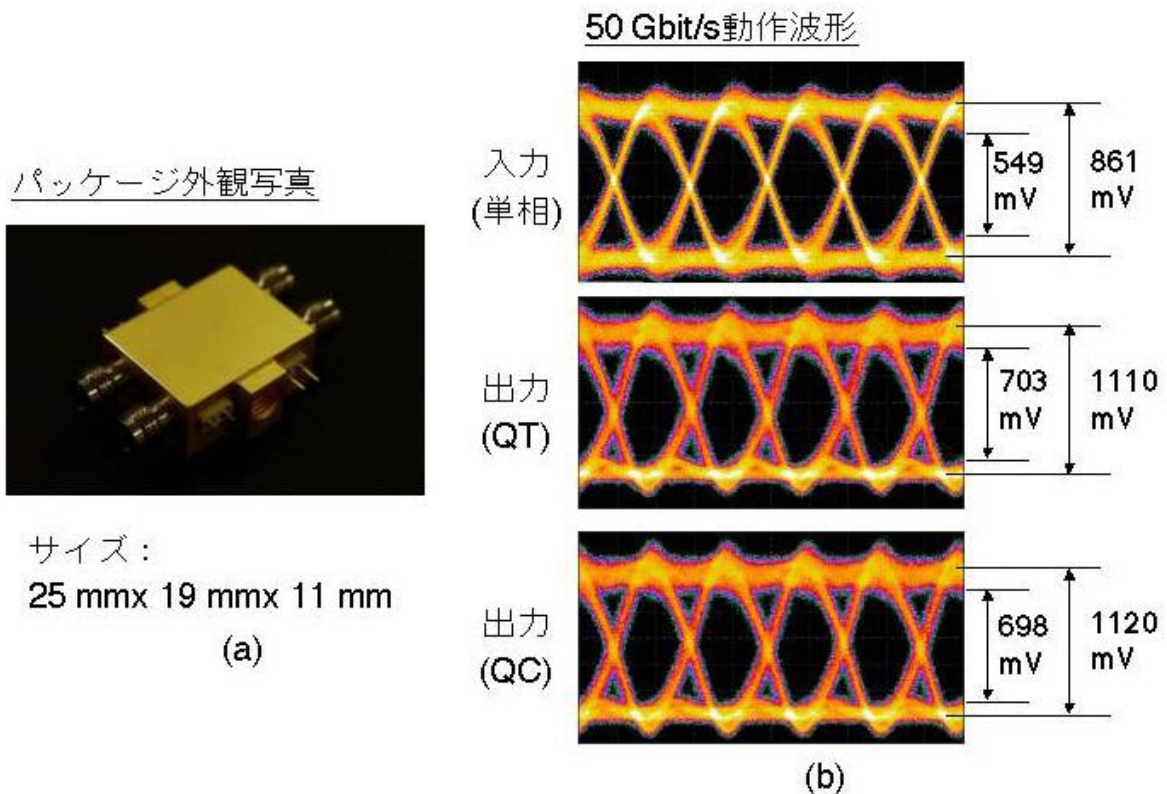


図 4.10: パッケージ実装されたリミッティングアンプ IC
(a)パッケージ外観写真, (b)50Gbit/s 動作波形

第 4 章の参考文献

- [4.1] Y. Baeyens, et. al. "InP D-HBT IC's for 40 Gb/s and higher bitrate lightwave transceivers", Tech. Digest of GaAs IC Symposium 2001, pp.125-128 (2001)
- [4.2] H-M. Rein, et. al. "Design considerations for very-high-speed Si-bipolar IC's operating up to 50 Gb/s", IEEE J. Solid-State Circuits, Vol. 31, No.8, pp.1076-1090 (1996)
- [4.3] Morteza Vadipour, "Capacitive feedback technique for wide-band amplifiers", IEEE J. Solid-State Circuits, Vol. 28, No.1, pp.90-92 (1993)
- [4.4] T. Enoki, et al., "Ultrahigh-speed integrated circuits using InP-based HEMTs", Jpn. J. Appl. Phys., Part 1, Vol. 37, No. 3B, pp.1359-1364 (1998)
- [4.6] K. Murata, et al., "70-Gbit/s multiplexer and 50-Gbit/s decision IC modules using InAlAs/InGaAs/InP HEMT's", IEICE Trans. Electron., E83-C, No. 7, pp.1166-1169 (2000)
- [4.7] "Interface for optical transport network (OTN)", ITU-T recommendation G.709 (2001)
- [4.8] S. Yamaguchi, Y. Imai, S. Kimura, and H. Tsunetsugu, "New Module Structure Using Flip-Chip Technology for High-Speed Optical Communication ICs", 1996 IEEE MTT-S Digest, pp. 243-246 (1996)

第 5 章： InP RTD、InP UTC-PD を用いた 光電気融合型フリップフロップの構成法と実証

概要

光ファイバ通信システムに用いられる回路の中で、遅延フリップフロップ(Delayed Flip-Flop: D-FF)は、高速化が最も困難な品種の 1 つである。これは回路中にフィードバック・パスがあることが一因であり、その最高動作速度は本研究の開始時点では 40Gbit/s に留まっていた。また 40Gbit/s 以上の動作速度では、ケーブル・コネクタ等の回路の入力インターフェース部分の帯域不足も高速化を阻害する要因となり得る。超 40Gbit/s D-FF を実現するには、これら速度律速要因を克服する、新しいフリップフロップの回路構成を探求する必要がある。

本章では、40Gbit/s を超え 100Gbit/s 級で動作可能な D-FF の回路構成として、InP ベースの共鳴トンネルダイオード(Resonant Tunneling Diode: RTD)と単一走行キャリアフォトダイオード(Uni-Traveling-Carrier Photodiode: UTC-PD)を用いた光電気融合型フリップフロップを提案する。RTD はフィードバック・パスの無いフリップフロップ機能を提供、UTC-PD は広帯域な光入力インターフェースを提供し、前述した遅延フリップフロップの速度律速要因を克服する。最初に回路シミュレーションにより、提案する光電気融合型フリップフロップが検証される。ここでは 40Gbit/s 識別動作・80Gbit/s 分離動作が示されると同時に、UTC-PD の接続位置の違いによる論理振幅の変化等も明らかにされる。次いで、RTD と UTC-PD をモノリシック集積するプロセスを用いて試作した提案フリップフロップの実証結果について述べる。試作フリップフロップはわずか 10mW 以下の消費電力ながら 40Gbit/s 識別動作及び 80Gbit/s 分離動作することが確認される。また回路シミュレーションで予測された UTC-PD の接続位置の違いによる論理振幅の変化等も実験的に確認される。

5.1: はじめに

第 1 章で述べたようにフリップフロップ回路とりわけ遅延フリップフロップ回路(Delayed Flip-Flop: D-FF) は、光ファイバ通信システムにおいてリタイミング(retiming)や分離(demultiplexing)の機能を提供する重要な回路部品である。これまでに、GaAs MESFET [5.1]、GaAs HBT [5.2]、InP HEMT [5.3]、InP HBT[5.4]、SiGe HBT[5.5]等のデバイスにより 40Gbit/s 動作の D-FF が実現されており、40Gbit/s 電気多重方式によ

る光通信システムの研究開発[5.6]に供されている。将来の 100Gbit/s 級電気多重方式では、D-FF も 100Gbit/s 級で動作することが求められるが、その実現には以下の問題点を解決する必要がある。

1)従来の DFF 回路構成による動作速度限界

電界効果型トランジスタ(Field-Effect Transistor: FET)による D-FF の動作速度限界は、一般的なマスター・スレーブ型構成を用いる場合、トランジスタの電流遮断周波数(current gain cut-off frequency: f_T)の 20~25%であることが経験的に知られている[5.7]。このため 100Gbit/s 級動作 D-FF には、 $f_T=400\sim 500\text{GHz}$ という非常に厳しいデバイス仕様が求められる。またマスター・スレーブ型構成ではフィードバック配線が必須であり、その配線での遅延時間は、40Gbit/s 以上の超高速動作下ではトランジスタ・ゲートでの遅延時間と同等以上である[5.8]。配線遅延はトランジスタの高速化だけでは短縮できず、100Gbit/s 級動作ではこの点も問題になると考えられる。

2)消費電力

IC の消費電力削減は、発熱による IC 性能劣化抑制の観点のみならず、光通信システム全体の消費電力を低減させる観点からも重要な課題である。しかしながら現在の高速 D-FF は、Emitter Coupled Logic (ECL)や Source Coupled FET Logic(SCFL)等の電流切り替え型の回路構成となっており、高速性を維持しつつ電力を削減することは困難である。

3)電気インターフェースの限界

100Gbit/s 級の電気信号の伝送損失は 1m で 3dB 程度であり、従来型受信器のような同軸ケーブルの引き回しは困難となる。また、IC チップサイズ(~数 mm)と 100Gbit/s 級の電気信号波長が同程度になり、共振による信号擾乱が顕著になると予測される。

本章では、これらの問題を克服し、100Gbit/s 級で動作可能な D-FF の回路構成として、InP ベースの共鳴トンネルダイオード(Resonant Tunneling Diode: RTD)と単一走行キャリアフォトダイオード(Uni-Traveling-Carrier Photodiode: UTC-PD)を用いた光電気融合型フリップフロップを提案する。この光電気融合型フリップフロップは、InP RTD の 2ps 以下という従来トランジスタより高速なスイッチング特性[5.9]を利用、

トランジスタを用いた従来型回路構成による速度限界(問題点 1)を打破することが可能である。また RTD 特有の負性抵抗を含む電流—電圧特性も活用、トランジスタを用いる場合より少素子数で論理機能が実現できる[5.10]ことから、消費電力削減(問題点 2)も期待できる。InP UTC-PD は 3dB 帯域 150GHz 以上・飽和出力電流 70mA 以上 [5.11]なる高速・高飽和出力特性を有し、RTD による論理回路部分を電気増幅器無しで直接駆動することが可能である。よって、InP UTC-PD を使用することにより電気インターフェースの限界(問題点 3)を解決しうる光入力インターフェースを回路に取り込むことが出来る。

以下、第 2 節では回路構成と動作原理の詳細について述べる。また同時に、RTD と UTC-PD の回路シミュレーションモデル、及びそのモデルを使用した回路シミュレーション結果についても述べる。第 3 節では InP RTD と UTC-PD をモノリシック集積するプロセスで作製した試作回路の実験結果について述べる。

5.2: 回路設計

5.2.1. 回路構成と動作原理

図 5.1 に光電気融合型フリップフロップの回路図とタイミングチャートを示す。クロック信号で駆動される RTD 対、及び一方の RTD に並列接続された電流変調器から成る論理素子は、単安定—双安定遷移素子(Monostable-Bistable Transition Logic Element: MOBILE)として知られている[5.10]。本フリップフロップでは UTC-PD を電流変調器として用いている点が新しい。UTC-PD に供給されるバイアス電圧は、Low レベル 0V・High レベル+1V のクロック信号に応じて変化するが、0~1V といったフォトダイオードとしては低いバイアス電圧しか与えられない。しかしながら UTC-PD は 0~1V のような低バイアス下でも高速かつ高飽和出力特性を維持する[5.12]ことから、本回路構成に適したフォトダイオードである。UTC-PD の接続位置によって、2 種類のフリップフロップが構成可能である。1 つは図 5.1(a)に示した正論理型(positive-logic type)、他方は図 5.1(b)に示した負論理型(negative-logic type)である。正論理型はタイムチャートに示したように光が on 状態のときは High レベルを出力するが、負論理型は逆に光が on 状態のときは Low レベルを出力する。その動作原理については以下に説明する。

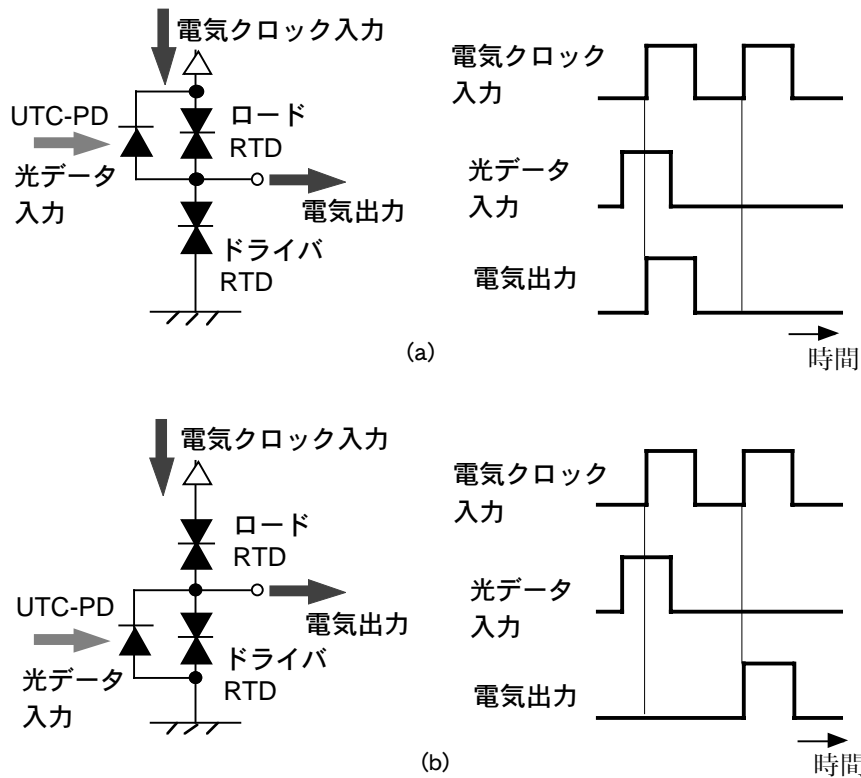


図 5.1: 光電気融合型フリップフロップの回路図とタイミングチャート
(a) 正論理型, (b) 負論理型

図 5.2 は正論理型の動作原理を示す図である。クロックが Low レベルのとき(図 5.2(a)と(b))、回路は単安定状態であり、光の on/off に関わらず唯一の動作点に対応した Low レベルが出力される。クロックが High レベルのとき(図 5.2(c)と(d))、回路は双安定状態にある。この状態では、動作点の候補として Low レベルの S1 と High レベルの S2 の 2 つが有る。尚、両 RTD の負性抵抗部分同士の交点は不安定であることが知られており[5.10]、動作点とは成り得ない。S1,S2 のどちらが動作点になるかは、クロックの立ち上がりにおける 2 つの RTD のピーク電流の差で決まる。ドライバ RTD のピーク電流を I_D 、ロード RTD のピーク電流 I_L とすれば、 $I_D > I_L$ のとき動作点は S1、 $I_D < I_L$ のとき動作点は S2 となる。ここで UTC-PD を流れる光電流 I_{photo} により、ピーク電流の大小関係を実効的に制御出来るよう、正論理型ではピーク電流と光電流が以下の関係を満たすように設計されている。

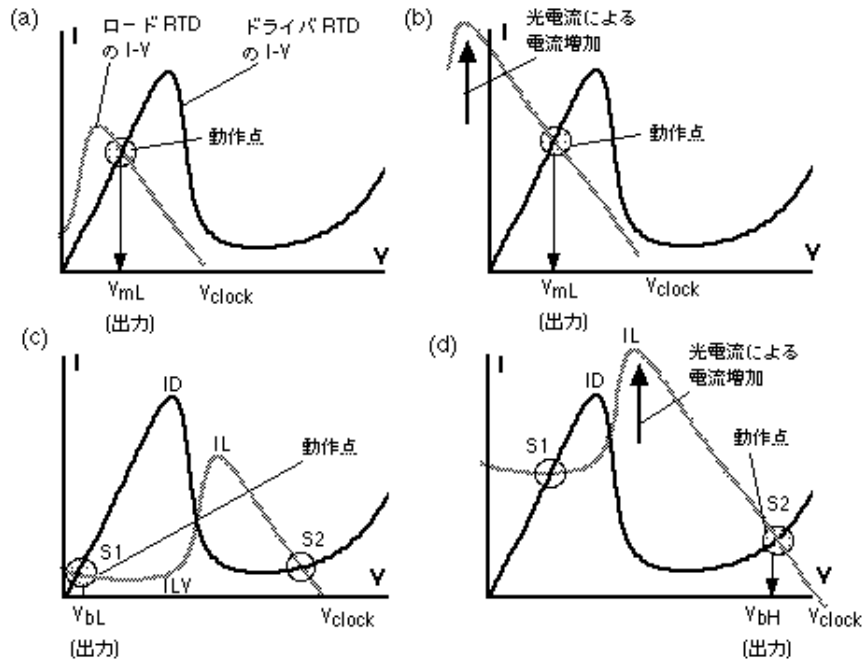


図 5.2: 光電気融合型フリップフロップ(正論理型)の動作原理

- (a) 光非照射・クロック Low レベル(単安定状態)
- (b) 光照射・クロック Low レベル(単安定状態)
- (c) 光非照射・クロック High レベル(双安定状態)
- (d) 光照射・クロック High レベル(双安定状態)

$$I_D > I_L \text{ (光 off 時)} \quad (5.1)$$

$$I_D < I_L + I_{\text{photo}} \text{ (光 on 時)} \quad (5.2)$$

式(5.1), (5.2)を満たすように回路を設計することにより、クロックの立ち上がりにおいて光が off なら動作点は S1 すなわち Low レベルが出力、光が on なら動作点は S2 すなわち High レベルが出力される。またクロックの立ち上がりで読み込まれたデータは、次のクロックの立ち下がりまで保持される。これら一連の動作は、図 5.1(a)の正論理型のタイムチャートと同じ動作であり、Return-to-zero(RZ)型のデータを出力する D-FF そのもの動作である。

負論理型の動作原理も、正論理型とほぼ同様に説明される。クロックが Low レベルのときは、光の on/off に関わらず Low レベルが出力される。クロックが High レベルのときは、クロックの立ち上がりにおける光の on/off に依存する。但し、UTC-PD の光電流が RTD のピーク電流を実効的に制御出来るよう、 $I_D, I_L, I_{\text{photo}}$ は以下の関係を満たすように設計される。

$$I_D < I_L \text{ (光 off 時)} \quad (5.3)$$

$$I_D + I_{\text{photo}} > I_L \text{ (光 on 時)} \quad (5.4)$$

このとき、クロックの立ち上がりにおいて、光が off なら動作点は S2 すなわち High レベルが出力、光が on なら動作点は S1 すなわち Low レベルが出力される。やはりクロックの立ち上がりで読み込まれたデータは、次のクロックの立ち下がりまで保持される。これらの動作は、光の on/off に対して正論理型と反転論理を出力するものであるが、正論理型同様 RZ 型のデータを出力する D-FF の動作である。

5.2.2. 回路パラメータの設計

前節の式(5.1)~(5.4)を満たすように RTD のピーク電流、UTC-PD の光電流等の回路パラメータの設計を行った。UTC-PD は 10mA 程度までの光電流(I_{photo})であれば帯域を維持して出力することが十分に可能である[5.12]ことを考慮し、正論理型では $I_D=14.4mA$, $I_L=12mA$ 、負論理型では $I_D=12mA$, $I_L=14.4mA$ とした。正論理型・負論理型共に RTD ピーク電流の差は 2.4mA であり、10mA の光電流により大小関係は十分に制御可能である。これら RTD のピーク電流の調整は、RTD のエミッタサイズを変化させることで成される。UTC-PD の直径は、UTC-PD の容量が高速動作を阻害しないよう、測定が可能な範囲で最小の $5.6\mu m$ とした。

5.2.3. RTD, UTC-PD の回路シミュレーションモデル

光電気融合型フリップフロップを過渡解析(Transient analysis)に有効なシミュレータである SPICE でシミュレーションするべく、RTD と UTC-PD の回路シミュレーションモデルを構築した。

図 5.3(a)は RTD のモデルである。このモデルは Broekaert らによるモデル[5.13]とほぼ同一であり、各要素のパラメータ値は測定した DC での電流-電圧特性及び S パラメータを用いて抽出した。RTD の負性抵抗は測定系を発振させやすく、一般には信頼性のあるパラメータ値を抽出することは難しい。今回は負性抵抗を打ち消し、発振を抑えて信頼性のあるデータを取得するべく、既にモデリングされた純抵抗を RTD に並列に配置した素子を用いて測定を行った。結果として、全バイアス領域において発振を抑えて測定することができた。図 3(b),(c)に抽出した I_{RTD} と C_{RTD} のバイアス依存性を示す。 I_{RTD} は 300mV-700mV 付近に渡って負性抵抗を示していることがわかる。 C_{RTD} の負性抵抗領域における容量の増大は、Genoe[5.14], Sammut[5.15], Shimizu[5.16]らによる測定結果と一致している。またモデル中の L_{SR} , R_{SR} はそれぞれ、RTD への配線のインダクタンス、RTD へのコンタクト抵抗である。これらの値は、

全バイアス領域で一定であることも確認された。また回路で実際に使用するサイズの RTD のモデルは、エミッタサイズの比だけ各パラメータを増加・減少させることで生成した。

図 5.4(a)は UTC-PD の等価回路モデルである。これは、広くフォトダイオードの回路モデルとして用いられているものと同一である。測定した S パラメータ及び DC の電流-電圧特性から、暗抵抗(R_{pd})、容量(C_{pd})、シリーズ抵抗(R_{spd})、シリーズインダクタンス(L_{spd})を抽出した。暗抵抗 R_{pd} は +0.5V から -2.0V の範囲で $1M\Omega$ 以上であった。容量 C_{pd} は、図 5.4(b)に示したように pn 接合容量と同様の振る舞いを示していることから、pn 接合容量としてモデリングした。シリーズ抵抗 R_{spd} 、シリーズインダクタンス L_{spd} は全バイアス領域で一定であった。過渡解析では、光電流 I_{pd} をモデリングすることも必要になるが、半値幅(Full-width at half maximum; FWHM)5ps の三角波で近似した。この光電流のモデルは、後述する回路測定に用いた光信号源の特性、及び使用した UTC-PD の光応答[5.17]に基づくものである。

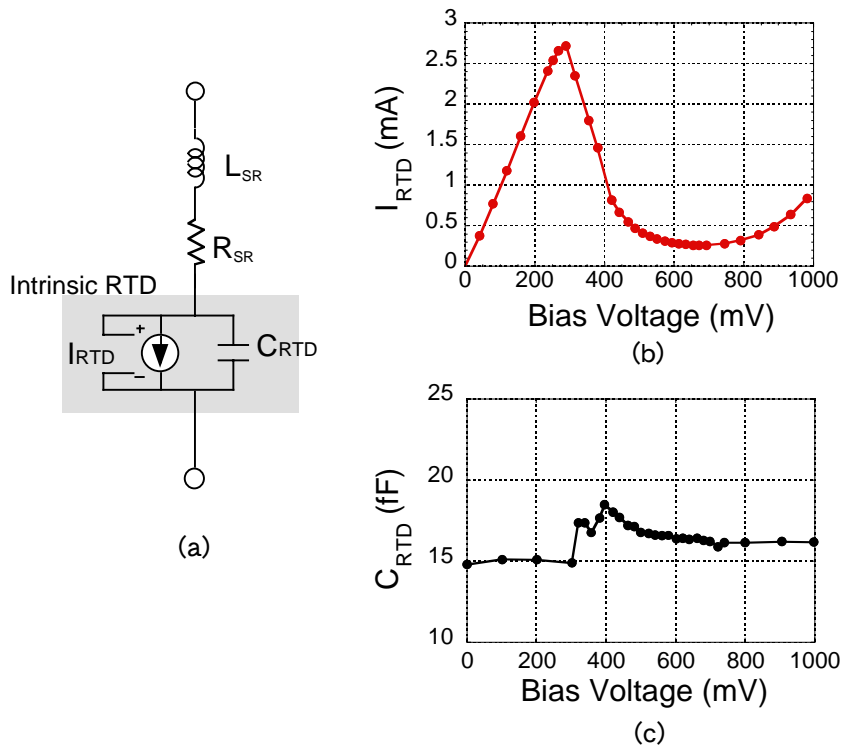


図 5.3: RTD の回路シミュレーションモデル
 (a) RTD の等価回路モデル (b) I_{RTD} のバイアス電圧依存性 (エミッタエリア $2.25\mu\text{m}^2$)
 (c) C_{RTD} のバイアス電圧依存性 (エミッタエリア $2.25\mu\text{m}^2$)

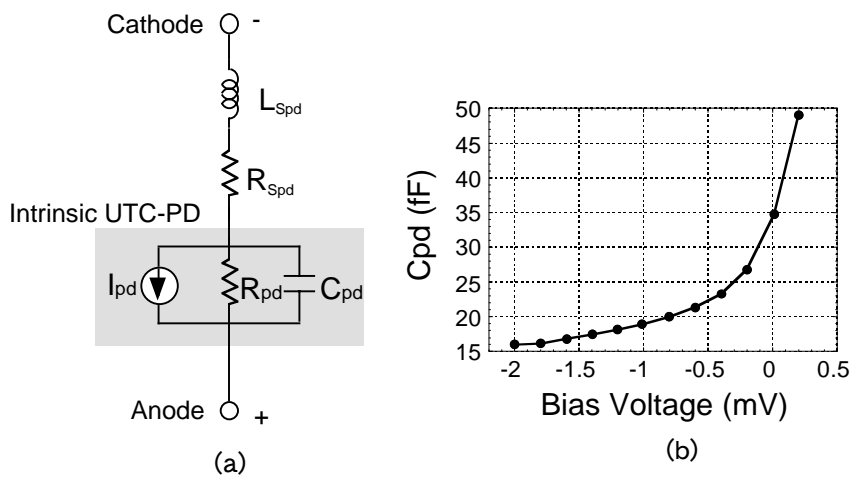


図 5.4: UTC-PD の回路シミュレーションモデル
 UTC-PD の等価回路モデル (b) C_{pd} のバイアス電圧依存性 (直径 $5.6\mu\text{m}$)

5.2.3. 回路シミュレーションの結果と分析

前節で述べた RTD と UTC-PD の等価回路モデルを用いて、設計回路のシミュレーションを行った。最初に 40Gbit/s の識別動作を、次いで 80Gbit/s の分離動作をシミュレーションした。

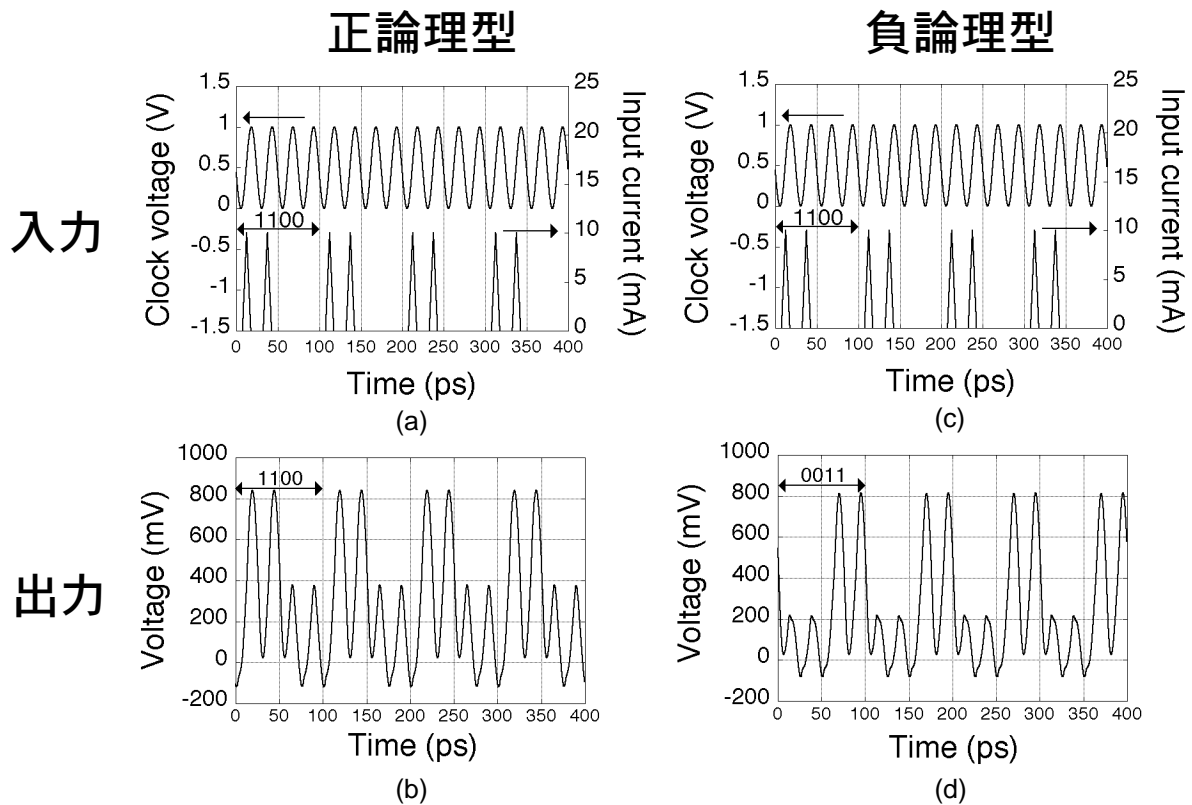


図 5.5: 40Gbit/s 識別動作のシミュレーション動作波形

図 5.5(a)と(b)は正論理型の 40Gbit/s 識別動作シミュレーション波形、図 5.5(c)と(d)は負論理型の 40Gbit/s 識別動作シミュレーション波形である。ここで、電気入力クロックは振幅 1Vpp, バイアス+0.5V,周波数 40GHz の正弦波であり、入力データ光電流はピーク電流値 10mA,ビットレート 40Gbit/s の三角波ビット列である。正論理型・負論理型共に、800mV 以上の出力振幅で 40Gbit/s 識別動作を行っていることがわかる。

出力波形の Low レベルにはリップルが含まれていることもわかる。このリップルは、出力電圧が単安定状態の Low レベルから双安定状態の Low レベルへ遷移する際に発生するものであり、動作原理上不可避のものである。このリップルのために、論理振幅(=Low レベルでの極大電圧と High レベルでの極小電圧の差)は減少してしまっている。後段に続く回路の動作マージンを広げるには論理振幅は大きいことが望ましく、この観点からリップルは抑制されることが望ましい。リップルを抑制する手段の 1 つとして、図 5.5 の(b)と(d)の波形からわかるように、正論理型よりも負論理型を使用することが挙げられる。図 5.6 は負論理型のリップルが正論理型のリップルよりも小さい理由を説明する概念図である。この図は、単安定状態の Low レベルから双安定状態の Low レベルへ遷移する直前の状態での、RTD I-V カーブの状態

を正論理型・負論理型それぞれについて示している。クロック電圧が 0V の状態から図 5.6 の状態になるまでの間は、回路の出力電圧は増加し続ける。しかしながら、図 5.6 の状態の直後、動作点はより低電圧側に存在する双安定状態の Low レベルへ遷移するので、出力電圧は減少する。以上から、リップルが最大電圧に達するのは図 5.6 の状態の時であることがわかる。負論理型では、光電流によりドライバ RTD の I-V カーブが変調されているため、より低いクロック電圧の時にリップルが最大に達する。その結果、図 5.6 に示されているように、リップルの最大電圧も正論理型と比較して小さくなる。このリップルの抑制は、光電流が増加するほど効果が大きいの。またリップルの抑制は、ピーク電圧の低い RTD、例えば InAs/AlSb/GaSb RTD[5.18]等を用いることでも可能である。

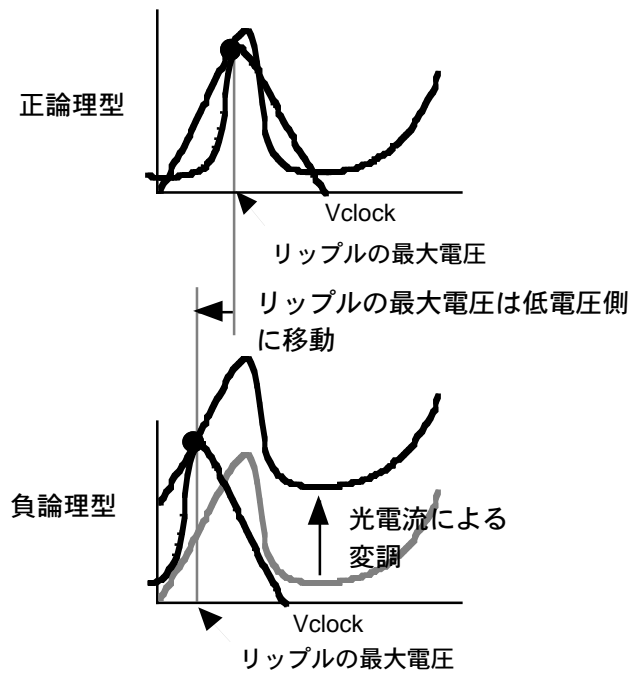


図 5.6: 負論理型での Low レベル・リップル抑制の原理

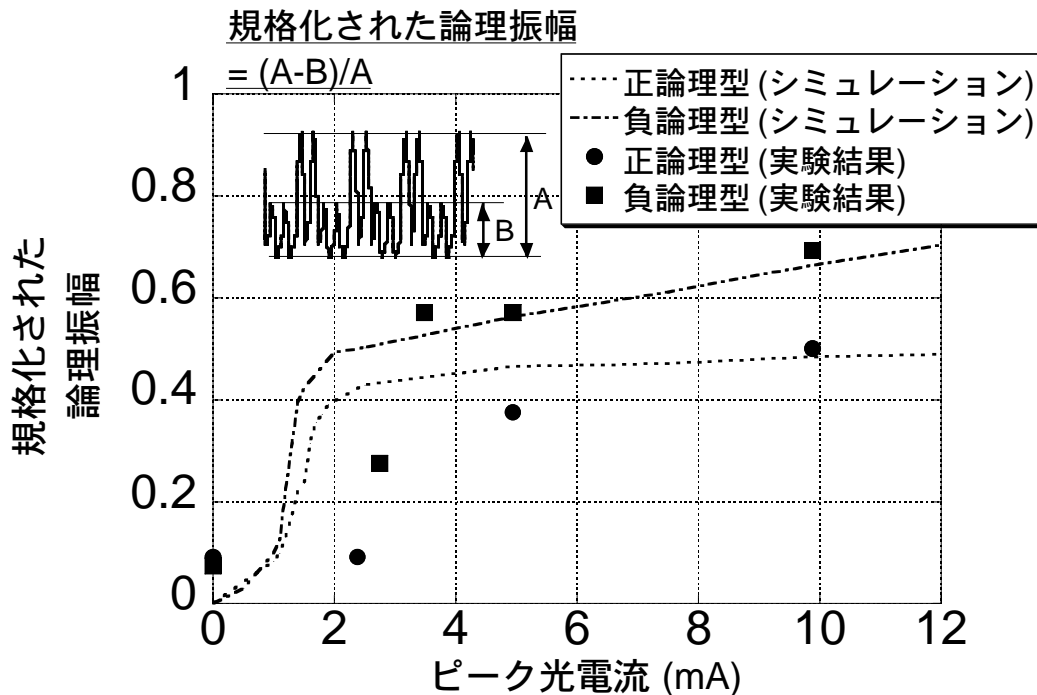


図 5.7: ピーク光電流と規格化された論理振幅の関係 (40Gbit/s 識別動作)

図 5.7 は、入力光電流と規格化した論理振幅の関係のシミュレーション結果である。規格化した論理振幅は図 5.7 にも描かれているように $(A-B)/A$ で定義されており、A は Low レベルの極小値と High レベルの極大値の差、B は Low レベルの極大値と High レベルの極小値の差である。図 5.7 に示されているように、光電流が 1~2mA のとき論理振幅が急激に増大していることがわかる。この光電流の値は、正常な識別動作のための閾値、もしくは最小入力値とみなすことができる。閾値以降、光電流が増加するに従い、負論理型では論理振幅が増加していく。これは前述したように、負論理型ではリップルが光電流が増えるほど抑制されることによる。

本回路は、クロックがハイレベルの間クロックの立ち上がりで読み込んだデータを保持できることから、分離回路として使用することも可能である。図 5.8 に負論理型での 80Gbit/s 分離動作のシミュレーション波形を示す。入力に 40GHz の正弦波クロック(振幅 1Vpp, バイアス +0.5V) と 80Gbit/s の三角波ビット列(ピーク電流 10mA) である。80Gbit/s のビット列 "10110100" は、1 ビットおきに分離かつ反転され 40Gbit/s の "0011" のビット列へ変換されている。この分離動作は、本回路が AND 回路ではなくフリップフロップであることを証明するものである。

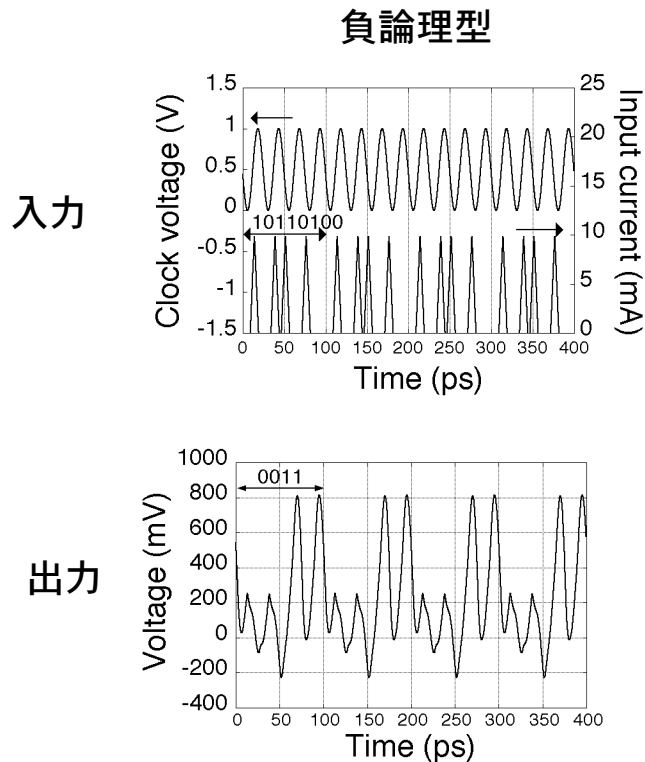


図 5.8: 80Gbit/s → 40Gbit/s 分離動作のシミュレーション動作波形 (負論理型)

5.3: 実験

5.3.1. 回路作製

InP RTD と UTC-PD をモノリシック集積するプロセス[5.17]により回路試作を行った。図 5.9 にモノリシック集積された RTD と UTC-PD の断面イメージ図を示す。InP 層を含んだ UTC-PD 膜の堆積には MOCVD(Metalorganic Chemical Vapor Deposition)法が適しており、高品質な RTD 膜の堆積には MBE (Molecular Beam Epitaxy)法が適している。これら適する堆積法が異なる 2 つのデバイス膜を同一基板上に成膜するべく、MOCVD 法で堆積した UTC-PD 膜上に、MBE 法で RTD 膜を再堆積させる方法[5.19]を取った。成膜の手順は以下の通りである。まず MOCVD 法で UTC-PD 層を堆積する。UTC-PD 層は、n-InP(コレクタ層, 208nm)、p-In_{0.53}Ga_{0.47}As(光吸収層, 210nm)、p-In_{0.6}Ga_{0.4}As_{0.85}P_{0.15}(電子バリア層, 15nm)、及び p-In_{0.53}Ga_{0.47}As(キャップ層, 60nm)から構成されている[5.20]。加熱クリーニングを施した後、MBE 法により p-In_{0.53}Ga_{0.47}As バッファ層(100nm)、i-In_{0.52}Ga_{0.48}As バリア層(10nm)、I-AlAs エッチストッパ層(2nm)、そして RTD 層[5.21]を順に堆積する。RTD 層は、n- In_{0.53}Ga_{0.47}As(コレクタ層,80nm)、AlAs (1.6nm)/ In_{0.53}Ga_{0.47}As(1.33nm)/InAs(1.77nm)/ In_{0.53}Ga_{0.47}As(1.33nm)/ AlAs (1.6nm) から成る RTD 構造層、及び n- In_{0.53}Ga_{0.47}As(エミッタ層,80nm)で構成されている。デ

バイスと電極の形成は通常のウェットエッチングとリフトオフ・プロセスで行った。

得られたデバイスの特性は以下の通りである。RTD については、ピーク電圧 0.35V、バレー電圧 0.7V、ピーク電流密度 120kA/cm²、ピーク電流/バレー電流比 13 である。これらの RTD の特性は UTC-PD 膜上に再成長したにも関わらず、InP 基板上に直接 MBE 法で作製された RTD の特性とほぼ同一である。UTC-PD については、感度 0.26A/W、帯域は回路中において UTC-PD に印可される 0~-0.5V 下で 80GHz であった。

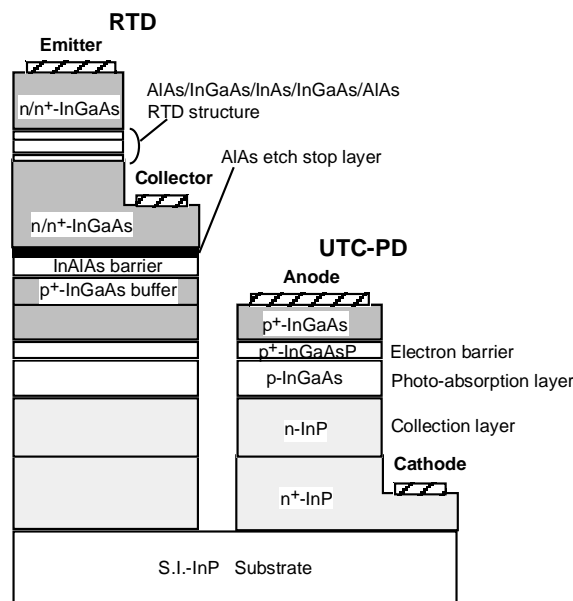


図 5.9: モノリシック集積した RTD と UTC-PD の断面イメージ図

図 5.10 に試作した回路のチップ写真を示す（負論理型）。チップサイズは 0.43mmx0.37mm である。



図 5.10: 試作した光電融合型フリップフロップ回路（負論理型）のチップ写真

5.3.2. 測定系

図 5.11 に光電融合型フリップフロップ回路の測定系を示す。試作回路はオンウェファ状態で評価した。光データ入力源として光電融合型パルスパターン発生器(Opto-electronic pulse pattern generator: OE-PPG)[5.22]を使用した。OE-PPG はパルス幅約 5ps の RZ 光パルスパターンをビットレート 10Gbit/s から 80Gbit/s の範囲で出力することが可能である。今回の測定では 20Gbit/s の”10”なる光パルス列を光マルチプレクサで 2 多重もしくは 4 多重し、40Gbit/s の”1100”もしくは 80Gbit/s の”10110100”なる光パルス列を入力信号として生成した。これら光パルス列をウェファ裏面から入射した。振幅 1Vpp, バイアス+0.5V の電気クロック信号は RF プロブを介して入力した。入力信号と光信号の観測には、電気光学サンプリングシステム(Electro-optic sampling system: EOS)[5.23]を用いた。EOS は電気光学効果による光屈折率変化を利用して電気信号をサンプリングするシステムであり、測定回路に重い電氣的負荷を掛けることなく高速サンプリング(分解能~400fs)することが可能である。電気信号の観測は所望のノードを EOS でプロービングすることで、光信号の観測は UTC-PD と 50Ω 伝送線路から構成されるチップを利用し伝送線路上をやはり EOS プロービングすることで行った。

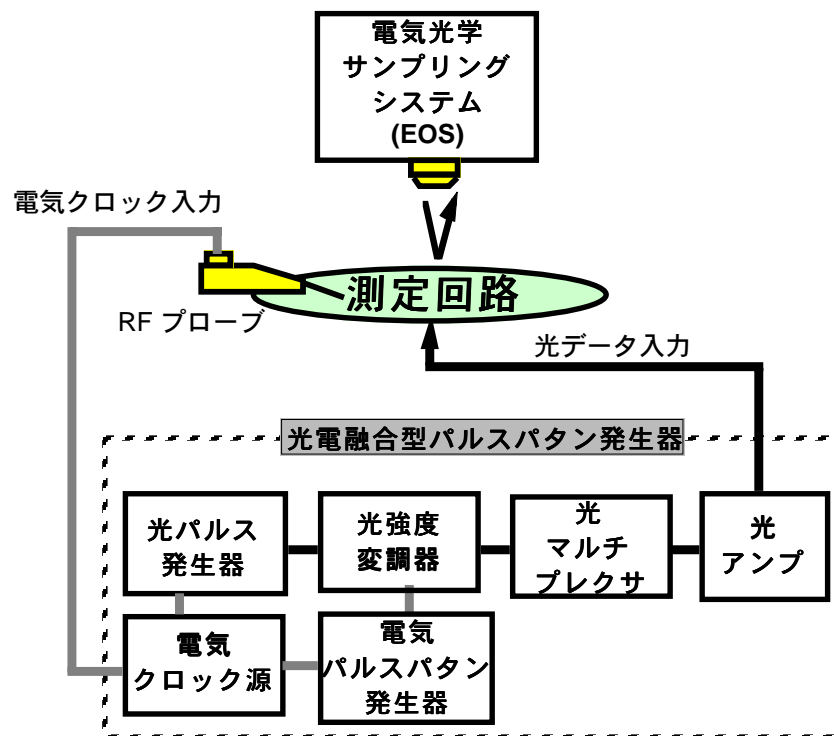


図 5.11:光電融合型フリップフロップ回路の測定系

5.3.3. 40Gbit/s 識別動作の実験結果

光入力データを 40Gbit/s、電気クロックを 40GHz として、正論理型・負論理型両者の 40Gbit/s 識別動作実験を行った。図 5.12 に動作波形を示す。正論理型・負論理型共に 40Gbit/s で正常に動作することが確認できた。本実験の時点では 40GHz 以上の電気クロック源を所有していなかったため、この 40Gbit/s が確認可能な識別動作の最大動作ビットレートである。シミュレーションでは、今回試作した回路は 60Gbit/s 程度まで動作することが見込まれた。UTC-PD を流れる平均光電流は正論理型で 0.97mA、負論理型では 1.14mA であった。この平均光電流値と光電流のデューティー比が $0.1=(\text{光電流のパルス幅:5ps})\div(\text{40Gbit/s のタイムスロット:25ps})\times(\text{光パルス列のマーク率:0.5})$ であることから、光ピーク電流値は正論理型で 9.7mA、負論理型で 11.4mA であることが推測できる。消費電力は正論理型で 9.64mW、負論理型で 7.00mW である。この消費電力は、トランジスタベースの 40Gbit/s D-FF[5.2-5.4]の 10 分の 1 以下である。また電気クロックの位相をシフトさせると、出力信号の位相も追従することが確認できた。これは本回路にリタイミング機能があることを意味しており、本回路が遅延フリップフロップであることを示している。

入力光ピーク電流値と論理振幅の関係についても実験を行った。図 5.7 中の点が実験結果である。実験結果の傾向は、シミュレーション結果の傾向と一致している。光電流の閾値がシミュレーションより若干大きくなっているが、これは光電流のピークの状態がシミュレーションと若干異なっていることによる。シミュレーションでは光電流のピークは一樣であると仮定したが、図 5.12(a)で示されているように今回の実験での光電流のピークはビット毎にばらつきが有る。光電流のピークのばらつきは、今回使用した光マルチプレクサにおいてピークを揃えて出力させることが困難であることが要因である。

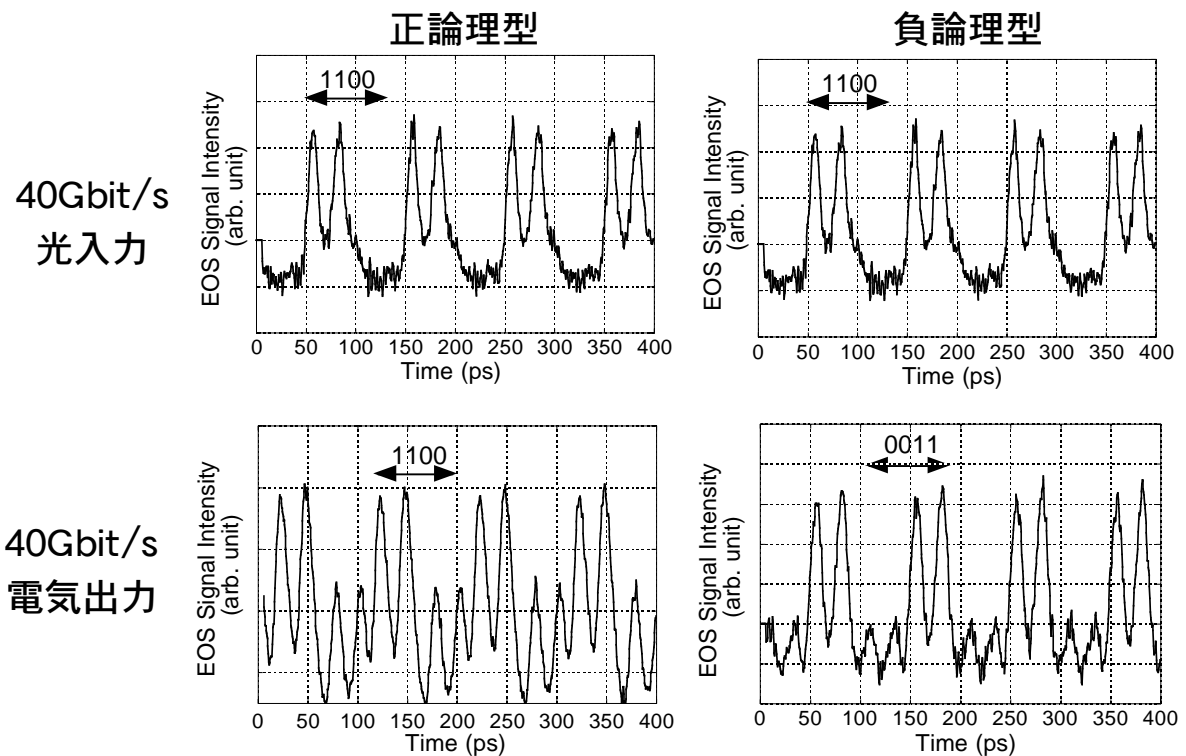
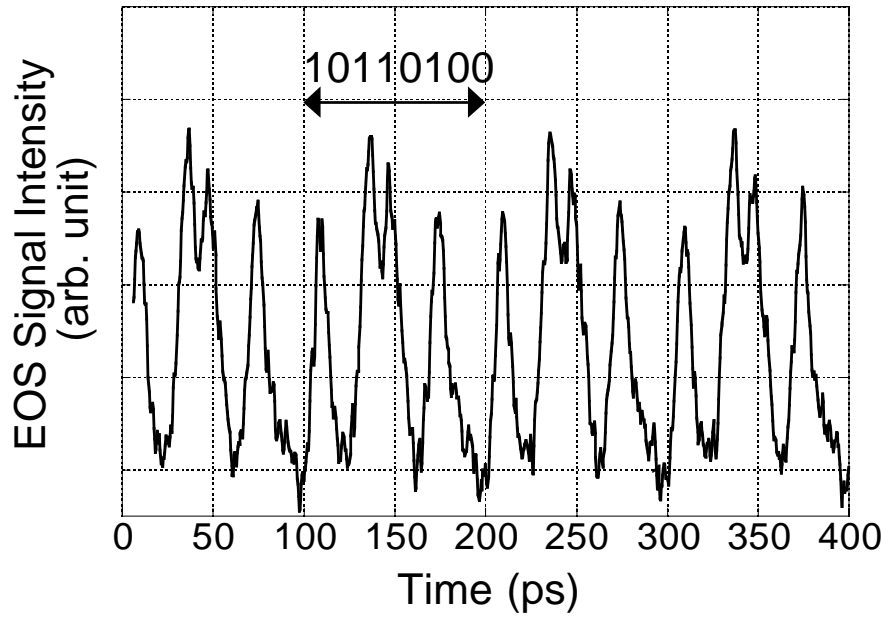


図 5.12: 試作回路の 40Gbit/s 識別動作波形

5.3.4. 80Gbit/s 分離動作の実験結果

80Gbit/s の分離動作は、論理振幅の大きい負論理型についてのみ試験した。80Gbit/s 光データと 40GHz の電気クロックを入力として用いた。図 5.13 に動作波形を示す。本回路により 80Gbit/s のデータ列“10110100”が 1 ビットおきに反転読み込み (“1 0 1 1 0 1 0 0”：下線の付いたビットが反転読み込みされている) され、40Gbit/s のデータ列“0011”が出力されていることがわかる。試作した回路中の UTC-PD の帯域が 80GHz であると同時に入力信号が 80Gbit/s の RZ 信号であることを考慮すると、この 80Gbit/s 動作は試作回路の分離動作のほぼ最大動作速度に相当すると考えられる。また 80Gbit/s 入力光データ信号は光マルチプレクサの性能により劣化しているにも関わらず、試作回路は正確に 80Gbit/s 信号を 40Gbit/s 信号へ分離している。測定された平均光電流は 1.63mA であり、80Gbit/s ではデューティー比が 0.2 (=光電流のパルス幅:5ps)÷(40Gbit/s のタイムスロット:12.5ps)×(光パルス列のマーク率:0.5))であることから光ピーク電流値は 8.15mA であることが見積られる。消費電力はバイアス電圧下+0.5V で 7.75mW であった。

80Gbit/s
光入力



40Gbit/s
電気出力

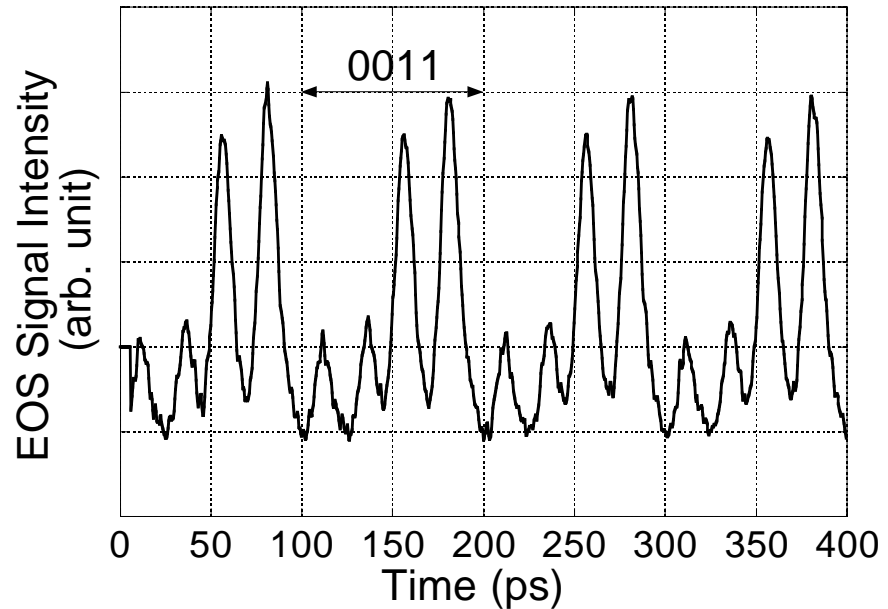


図 5.13: 試作回路(負論理型)の 80Gbit/s→40Gbit/s 分離動作波形

5.4: 結論

RTD と UTC-PD を用いた光電融合型フリップフロップを提案した。本フリップフロップは、わずか 2 個の RTD と 1 個の UTC-PD から構成される。UTC-PD を使用する点が新しく、高速性に優れた光信号を直接論理処理することが可能であることから超高速動作に適した回路構成である。

このコンセプトに基づき正論理型と負論理型の 2 タイプの光電融合型フリップフロップを設計、それらの動作について回路シミュレーションを用いて解析した。動

作速度に関しては、40Gbit/s 識別動作と 80Gbit/s 分離動作が可能であることがシミュレーションで示された。また論理振幅に関して、負論理型が正論理型より大きく確保されることが予測された。更に 40Gbit/s 識別動作のための光電流の閾値（最小入力）についても見積もられた。

提案したフリップフロップを実証するべく、RTD と UTC-PD をモノリシック集積するプロセスにより正論理型と負論理型の 2 つの回路を試作した。正論理型・負論理型共に 10mW 以下の消費電力で 40Gbit/s 識別動作が確認された。負論理型については、更に 80Gbit/s 分離動作が 7.75mW の消費電力で確認された。シミュレーションで予測された、論理振幅に関する負論理型の優位性、識別動作のための光電流の閾値も実験的に確認された。

第 5 章の参考文献

- [5.1] K. Murata, T. Otsuji, M. Yoneyama, and M. Tokumitsu, "A 40-Gbit/s superdynamic decision IC fabricated with 0.12- μ m GaAs MESFET's", IEEE J. Solid-State Circuits, Vol.33, No.10, pp.1527-1535 (1998)
- [5.2] Y. Kuriyama, T. Sugiyama, S. Hongo, J. Akagi, K. Tusda, N. Iizuka, and M. Obara, "A 40-GHz D-type flip-flop using AlGaAs/GaAs HBT's", GaAs IC Symp. 1994 Tech. Dig., pp. 189-192 (1994)
- [5.3] M. Yoneyama, A. Sano, K. Hagimoto, T. Otsuji, K. Murata, Y. Imai, S. Yamaguchi, T. Enoki, and E. Sano, "Optical repeater circuit design based on InAlAs/In GaAs HEMT digital IC technology", IEEE Trans. Microwave Theory Tech., Vol. 45, No. 12, pp. 2274-2282 (1997)
- [5.4] E. Sano, H. Nakajima, N. Watanabe, and S. Yamahata, "40 Gbit/s decision IC using InP/InGaAs composite-collector heterojunction bipolar transistors", IEE Electron. Lett., Vol. 35, No.14, pp. 1194-1195 (1999)
- [5.5] K. Ohhata, F. Arakawa, T. Masuda, N. Shiramizu, and K. Washio, "40 Gb/s analog IC chipset for optical receivers. – AGC amplifier, full-wave rectifier, and decision circuit-implemented using self-aligned SiGe HBTs", IEEE International Microwave Symposium 2001, Vol. 3, pp. 1701-1704 (2001)
- [5.6] Y. Miyamoto, M. Yoneyama, T. Otsuji, K. Yonenaga, and N. Shimizu, "40-Gbit/s TDM Transmission Technologies Based on Ultra-High-Speed IC's", IEEE Journal of Solid-State Circuits, vol. 34, no. 9, pp.1246-1253 (1999)
- [5.7] E. Sano, Y. Imai, and H. Ichino, "Lightwave-communication ICs for 10 Gbit/s and beyond", OFC '95 Tech. Dig., pp.36-37 (1995)

- [5.8] Y. Umeda, K. Osafune, T. Enoki, H. Ito, and Y. Ishii, "SCFL static frequency divider using InAlAs/InGaAs/InP HEMTs", 25th European Microwave Conference Tech. Dig., pp.222-228 (1995)
- [5.9] N. Shimizu, T. Nagatsuma, T. Waho, M. Shinagawa, M. Yaita, and M. Yamamoto, "A new method for characterizing ultra resonant-tunneling diodes with electrooptic sampling", *Optical and Quantum Electronics*, Vol.28, pp.897-905 (1996)
- [5.10] K. Maezawa, and T. Mizutani, "A new resonant tunneling logic gate employing monostable-bistable transition", *Jpn. J. Appl. Phys.*, Vol.32, pp.L42-L44 (1993)
- [5.11] N. Shimizu, N. Watanabe, T. Furuta, and T. Ishibashi, "InP-InGaAs Uni-Traveling-Carrier Photodiode with Improved 3-dB Bandwidth of Over 150 GHz", *IEEE Photon. Tech. Lett.*, Vol.10, No.3, pp.412-414 (1998)
- [5.12] T. Ishibashi, N. Shimizu, S. Kodama, H. Ito, T. Nagatsuma, and T. Furuta, "Uni-Traveling-Carrier Photodiodes", *OSA Trends in optics and photonics series*, Vol.13, *Ultrafast Electronics and Optoelectronics*, Martin Nuss and John Bowers eds. (Optical Society of America, Washington DC), pp.83-87 (1997)
- [5.13] T. P. E. Broekaert, B. Brar, J. P. A. van der Wagat, A.C. Seabaugh, F. J. Morris, T. S. Moise, E. A. Beam III, and G. A. Frazier, "A Monolithic 4-Bit 2-Gbps Resonant Tunneling Analog-to-Digital Converter", *IEEE J. Solid-State Circuits*, Vol.33, No.9, pp.1342-1349 (1998)
- [5.14] J. Genoe, C.V. Hoof, V.V. Roy, J. H. Smet, K. Fobelets, R.P. Mertens, and G. Borghs, "Capacitance in Double-Barriers Tunneling Structures", *IEEE Trans. on Electron Devices*, Vol.38, No.9, pp.2006-2012 (1991)
- [5.15] C.V. Sammut, and N. J. Cronin, "Comparison of Measured and Computed Conversion Loss from a Resonant Tunneling Device Multiplier", *IEEE Microwave and Guided Wave Lett.*, Vol.2, No.12, pp.486-488 (1992)
- [5.16] N. Shimizu, N. Watanabe, T. Furuta, and T. Ishibashi, "Capacitance Anomaly in the Negative Differential Resistance Region of Resonant Tunneling Diodes", *Jpn. J. Appl. Phys.*, Vol.36, pp. L330-L333 (1997)
- [5.17] T. Akeyoshi, N. Shimizu, J. Osaka, M. Yamamoto, T. Ishibashi, K. Sano, K. Murata, and E. Sano, "An optoelectronic logic gate monolithically integrating resonant tunneling diodes and a uni-traveling-carrier photodiode", *Jpn. J. Appl. Phys.*, Vol. 38, No. 2B, pp.1223-1226 (1999)
- [5.18] J. N. Schulman, "Influence of RTD device physics on circuit performance", Abstracts in topical workshop on heterostructure microelectronics for information systems applications

(TWHM-ISA'98), pp. 16-17 (1998)

[5.19] J. Osaka, K. Maezawa, H. Yokoyama, and M. Yamamoto, "Highly uniform regrowth In_{0.53}Ga_{0.47}As/AlAs/InAs resonant tunneling diodes on In_{0.53}Ga_{0.47}As", Jpn. J. Appl. Phys., Vol. 38, No. 2B, pp.1204-1207 (1999)

[5.20] N. Shimizu, N. Watanabe, T. Furuta, and T. Ishibashi, "Improved response of Uni-Traveling-Carrier photodiodes by carrier injection", Tech. Digest of SSDM 1997, pp.184-185 (1997)

[5.21] K.J. Chen, K. Maezawa, and M. Yamamoto, "InP-based high-performance monostable-bistable transition logic elements (MOBILE's) using integrated multiple-input resonant-tunneling devices", IEEE Electron Device Lett., vol. 17, No.3, pp.127-129(1996)

[5.22] T. Otsuji, M. Yaita, T. Nagatsuma, and E. Sano, "10-80-Gb/s highly extinctive electrooptic pulse pattern generator", IEEE J. Sel. Topics Quantum Electron., vol. 2, No.3, pp.643-649 (1996)

[5.23] T. Nagatsuma, "Measurement of high-speed devices and integrated circuits using electro-optic sampling technique", IEICE Trans. Electron., Vol. E76-C, No.1, pp.55-63(1993)

第6章：InP RTD、InP UTC-PD を用いた 光電気融合型フリップフロップの高速化設計手法と実証

概要

前章において、共鳴トンネルダイオード(Resonant Tunneling Diode: RTD)と単一走行キャリアフォトダイオード(Uni-Traveling-Carrier Photodiode: UTC-PD)を用いた遅延フリップフロップ(Delayed Flip-Flop: D-FF)を提案し、40Gbit/s の識別動作(データ入力 40Gbit/s, クロック入力 40GHz)及び 80Gbit/s の分離動作(データ入力 80Gbit/s, クロック入力 40GHz)を実証した。しかしながら、これら実証した動作におけるクロック周波数は 40GHz に留まっている。将来の 100Gbit/s 級 光ファイバ通信システムでは、D-FF は最大で 100GHz のクロック周波数に対して動作することが必要である (100Gbit/s 識別動作時)。従って提案した光電気融合型 D-FF を 100Gbit/s システムに供するには、100GHz のクロック入力まで対応できるよう高速化する必要がある。

本章では、前章で提案した RTD と UTC-PD による光電気融合型フリップフロップの高速化設計手法とその実証結果について述べる。提案フリップフロップの高速化には、RTD と UTC-PD の容量成分を流れる AC 電流を考慮した設計が必須であることが示される。この設計手法に基づき試作した光電気融合型フリップフロップは、測定系の上限の 80Gbit/s において識別動作(データ入力 80Gbit/s, クロック入力 80GHz)することが確認される。更に、試作回路が対応可能なクロック周波数の上限を見積もるべく、提案フリップフロップの動作速度解析が行われる。試作回路の動作速度は、搭載された UTC-PD の帯域により 80GHz 程度が上限速度と予測されるものの、既報告のより広帯域な UTC-PD に置き換えることで 100GHz 以上の動作が十分可能であることが示される。

6.1: はじめに

超 40Gbit/s 動作の遅延フリップフロップ回路(D-FF)構成として、共鳴トンネルダイオード(RTD)と単一走行キャリアフォトダイオード(UTC-PD)を用いた光電気融合型 D-FF を前章で提案した。また、InP RTD と InP UTC-PD をモノリシック集積するプロセスを用いて提案した光電気融合型 D-FF を試作、40 Gbit/s の識別動作(データ入力 40Gbit/s, クロック入力 40GHz)、及び 80 Gbit/s から 40 Gbit/s の分離動作(データ入力 80Gbit/s, クロック入力 40GHz)を確認した。しかしながら、これら確認された動作の

クロック周波数は 40GHz に留まっている。将来の 100Gbit/s 級 電気多重方式において、D-FF は 100 Gbit/s 識別動作や 100 Gbit/s 分離動作を提供する必要があり、これら動作でのクロック周波数は最大 100 GHz (100 Gbit/s 識別動作時) に及ぶ。よって提案した光電融合型 D-FF を 100Gbit/s 級電気多重方式に供するには、100GHz のクロック入力まで対応できるよう高速化する必要がある。

本章では、InP RTD と InP UTC-PD を用いた光電気融合型 D-FF の高速化設計手法について述べる。本 D-FF の高速化には、RTD と UTC-PD 中の容量を流れる AC 電流を考慮した設計が重要である。検討した設計手法を取り入れ、前章の 40 Gbit/s 識別動作回路と同一のプロセスを用いて試作回路を作製した。試作回路は、測定系上限の 80 Gbit/s において識別動作(データ入力 80Gbit/s, クロック入力 80GHz)することが確認される。さらに試作回路の識別動作の速度限界を見積るため、動作速度を制限する要因について議論する。今回試作した回路の識別動作の速度限界は使用した UTC-PD の帯域により 80 Gbit/s であるが、RTD と UTC-PD を用いた D-FF は 100Gbit/s 級動作の可能性を有することが示される。

6.2: 高速化設計手法

本章では、負論理型 D-FF(図 6.1)についてのみ取り扱う。負論理型は、前章で明らかにされたように、出力論理振幅が正論理型よりも大きい。大きな出力論理振幅は、次段回路への利得に関する要求条件を緩和させることから、集積化する際に有利である。また図 6.2 に負論理型の動作タイムチャートを示す。この動作の原理については前章で述べた通りである。図 6.2 のような動作を得るべく、RTD 対のピーク電流値及び UTC-PD を流れる光電流値について以下の関係を満たすように設計される。

$$I_{DP} < I_{LP} \quad (6.1)$$

$$I_{DP} + I_{photo} > I_{LP} \quad (6.2)$$

ここで、 I_{DP}, I_{LP} はそれぞれドライバ RTD, ロード RTD のピーク電流値、 I_{photo} は UTC-PD を流れる光電流である。式(6.1),(6.2)は式(5.3),(5.4)と全く同じものである。式(6.1),(6.2)では RTD と UTC-PD の容量を流れる AC 電流は考慮されていない。しかしながら、超高速動作下ではこの AC 電流が $I_{DP}, I_{LP}, I_{photo}$ と同程度の値になるため無視することができなくなる。図 6.3 に本 D-FF の簡略化した等価回路図を示す。ロード RTD のキャパシタンス C_L は、ロード RTD の DC 電圧-電流特性を表す電流源に並列接続され

ており、AC 電流である $dC_L V_L/dt$ (V_L は C_L に印加される電圧) は I_{LP} に加算される。同様に、 $d(C_D+C_{PD})V_D/dt$ (V_D は C_D と C_{PD} に印加される電圧) は I_{DP} に加えられる。以上から、超高速動作下で図 6.2 のような動作を得るには、本 D-FF は次式を満たすよう設計されなければならない。

$$I_{DP} + \frac{d(C_D + C_{PD})V_D}{dt} < I_{LP} + \frac{dC_L V_L}{dt} \quad (6.3)$$

$$I_{DP} + \frac{d(C_D + C_{PD})V_D}{dt} + I_{photo} > I_{LP} + \frac{dC_L V_L}{dt} \quad (6.4)$$

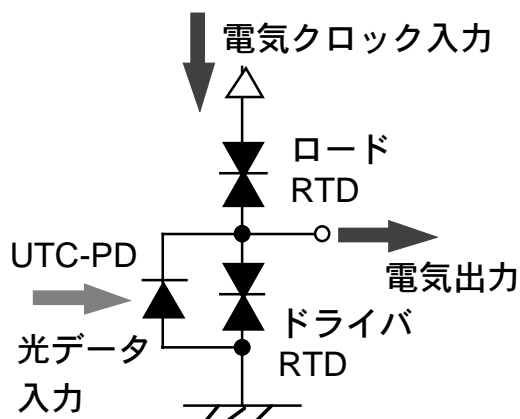


図6.1: 負論理型D-FFの回路図

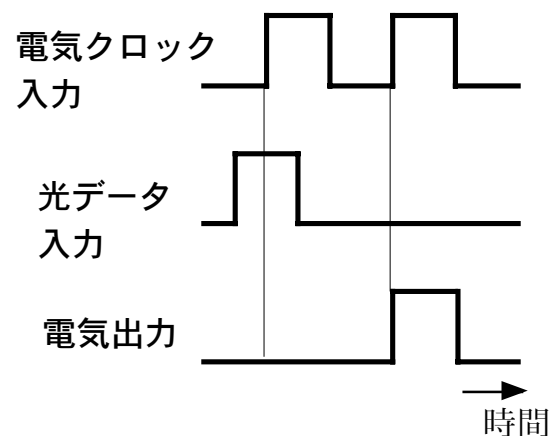


図6.2: 負論理型D-FFの動作タイムチャート

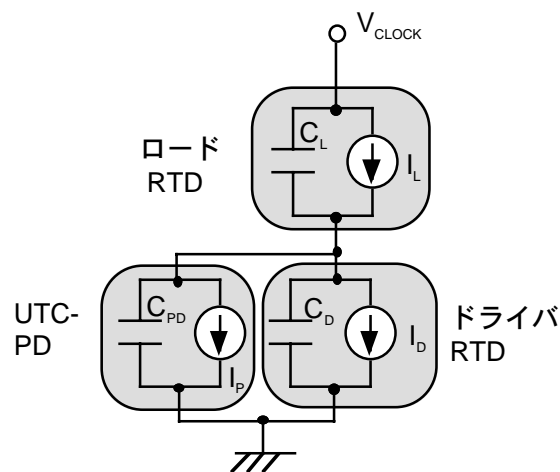


図 6.3: 簡略化した負論理型 D-FF 等価回路図

式(6.3), (6.4)をロード RTD とドライバ RTD のエミッタ比 k 、及び $\Delta I_p = (I_{LP} + dC_L V_L/dt) - (I_{DP} + d(C_D+C_{PD})V_D/dt) = (k-1) I_{DP} + k dC_D V_L/dt - d(C_D+C_{PD})V_D/dt$ を用いて書き換えると以下のように簡略化される。

$$0 < \Delta I_p < I_{photo} \quad (6.5)$$

ΔI_p は時間微分項を含んでいることから、その値は動作速度により変化する。図 6.4 に、2 つの光電気融合型 D-FF (前章の試作回路、及び今回新規に設計した回路)について、SPICE で計算した ΔI_p の動作速度依存性を示す。前章の試作回路(図 6.4 中の Conventional IC, ドライバ/ロードのエミッタ面積=10/12 μm^2 , $k=1.2$)では 60 Gbit/s 以上で AC 電流 $d(C_D+C_{PD})V_D/dt$ が増大、 ΔI_p が 0 以下となり式(6.5)を満足しなくなる。今回新規に設計した回路(図 6.4 中の New IC)では、60 Gbit/s 以上においても ΔI_p が式(6.5)を満たすよう、ロード RTD とドライバ RTD のエミッタ比 k を以前の回路の 1.2 から 2 へ増大させた。ここでドライバ/ロード RTD のエミッタ面積はそれぞれ、6/12 μm^2 とした。その結果 ΔI_p は 100 Gbit/s においても 0 を切らず式(6.5)を満足している。

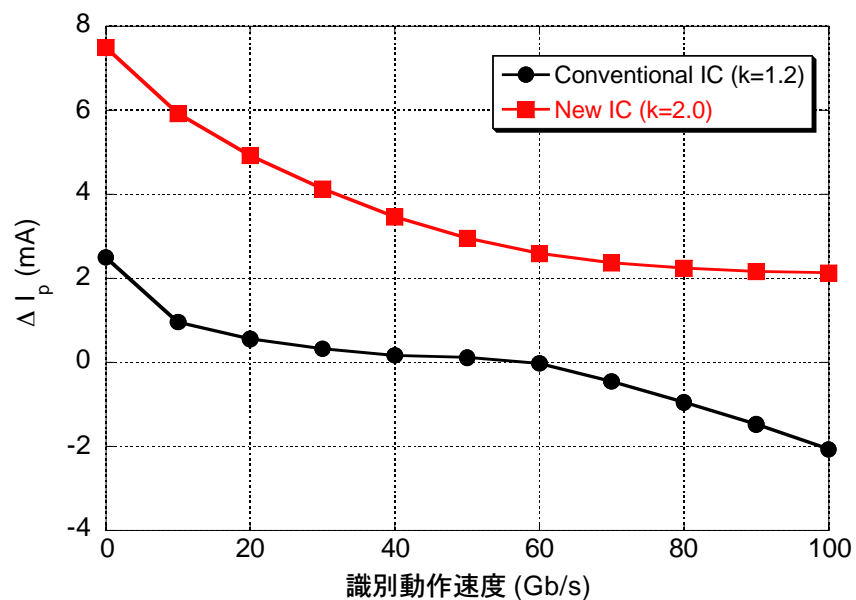


図 6.4: ΔI_p の識別動作速度依存性 (シミュレーション)

6.3: 実験

6.3.1. 回路作製

今回新たに設計した D-FF は、前章と同じく RTD と UTC-PD をモノリシック集積するプロセスにより作製された。図 6.5 に今回試作した D-FF のチップ写真を示す。チップ面積は 0.43 mm x 0.37 mm である。今回得られた RTD, UTC-PD の諸パラメータを表 6.1 にまとめてある。これらの値は前章の D-FF 中の RTD, UTC-PD のそれとほぼ同一である。

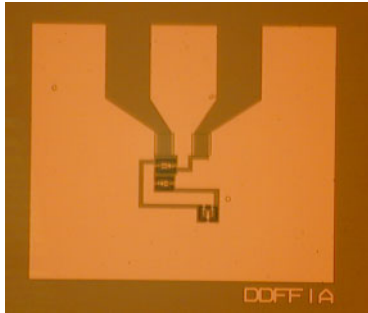


図6.5 試作DFFチップ写真

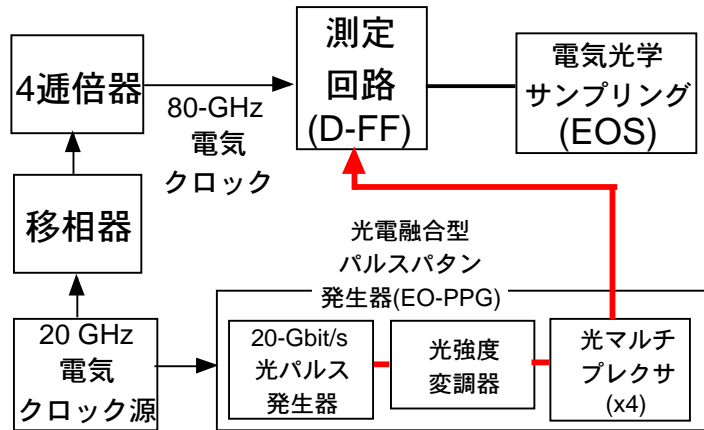


図6.6 80Gbit/s識別動作測定系

RTD		UTC-PD	
パラメータ	値	パラメータ	値
V_p	350 mV	C_{PD}	$0.91 \times \text{size}(\mu\text{m}^2) \text{ fF}$
V_v	700 mV	dark resistance	$>1 \text{ M}\Omega$
I_{DP}	$1.25 \times \text{size}(\mu\text{m}^2) \text{ mA}$	sensitivity	0.26 A/W
I_{DV}	$0.12 \times \text{size}(\mu\text{m}^2) \text{ mA}$	3-dB bandwidth	80 GHz
R_{Db}	$4530 / \text{size}(\mu\text{m}^2) \Omega$		
C_D	$6.77 \times \text{size}(\mu\text{m}^2) \text{ fF}$		

表 6.1: 作製した RTD と UTC-PD のデバイスパラメータ

6.3.2. 測定系

図 6.6 に 80 Gbit/s 識別動作確認のための測定系を示す。クロック源の最大出力周波数が 80GHz であることから、識別動作では 80Gbit/s が本測定系の上限速度となる。試作した D-FF はオンウェファで測定した。入出力信号の観測には前章同様、電気光学サンプリング法(EOS)を用いた。80 GHz のクロック信号は 20 GHz を 4 逓倍することで発生させ、入力が導波管となっている高周波プローブを介して D-FF に印加した。なお D-FF の位相余裕を測定する目的から、4 逓倍器の直前に移相器を接続してある。クロック信号の振幅は 1Vp-p, オフセット電圧は+0.5 V である。80 Gbit/s の光データ信号についても前章同様、光電融合型パルスパターン発生器(EO-PPG)により生成した。ここで、パルスパターンとして"10110100"(1:光照射, 0:光無照射)の繰り返しパターンを用いた。光データ信号はパルス幅約 5 ps の RZ 信号であり、ウェファ

裏面から照射した。光データ信号の観測は D-FF のクロック端子を接地した上で、回路の出力端子において行った。

6.3.2. 測定結果

図 6.7 に本 DFF の 80 Gbit/s 識別動作波形を示す。各ビット"1"でピーク値が異なっている"10110100"の入力パターンが反転・識別再生されて"01001011"として出力されている。このときの回路の消費電力は 7.68 mW であった。この値は前章の 40 Gbit/s 識別動作時とほぼ同じ (7.00 mW) 値である。平均光電流から見積もったピーク光電流は 4.65 mA であった。この値は 0 Gbit/s での ΔI_p (7.2 mA, 図 6.4 の New IC)、すなわちロード RTD とドライバ RTD のピーク電流差よりも小さいが、80 Gbit/s での ΔI_p よりも十分大きな値である。このことから AC 電流を考慮に入れた ΔI_p は、超高速動作のためならず本 D-FF が正常動作するための最小光電流を見積もるにも重要であることがわかる。

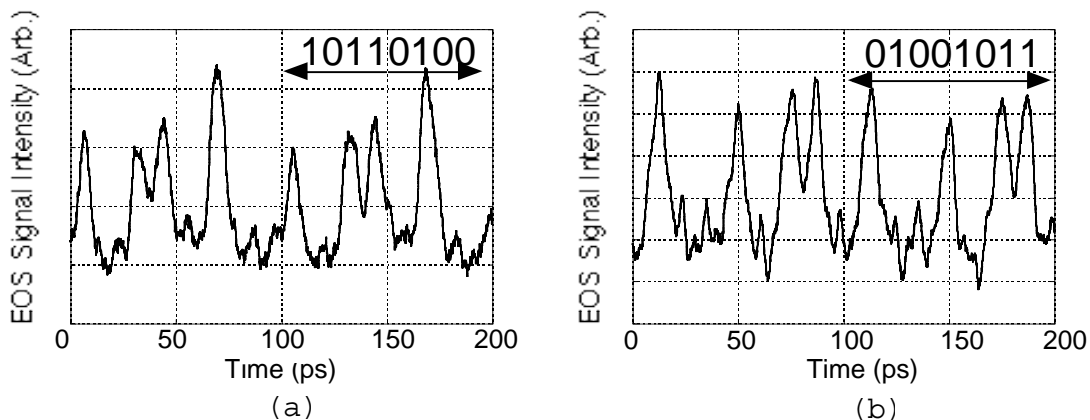


図 6.7: 試作した D-FF の 80Gbit/s 識別動作波形
(a) 80Gbit/s 入力, (b)80Gbit/s 出力

本 D-FF のリタイミング機能を確認する目的から、クロック信号の位相を変化させたときの D-FF 出力波形の変化を観測した(図 6.8)。クロック信号の位相が遅れると出力波形は崩れ、360 度遅れたところで再び正常な D-FF 動作を行っていることがわかる。このことから、本 D-FF の動作が入力信号のすり抜けではなく、リタイミング機能を伴った識別動作であることがわかる。図 6.8 から、本 D-FF の 80 Gbit/s での位相余裕は 60 度以下であると推測される。

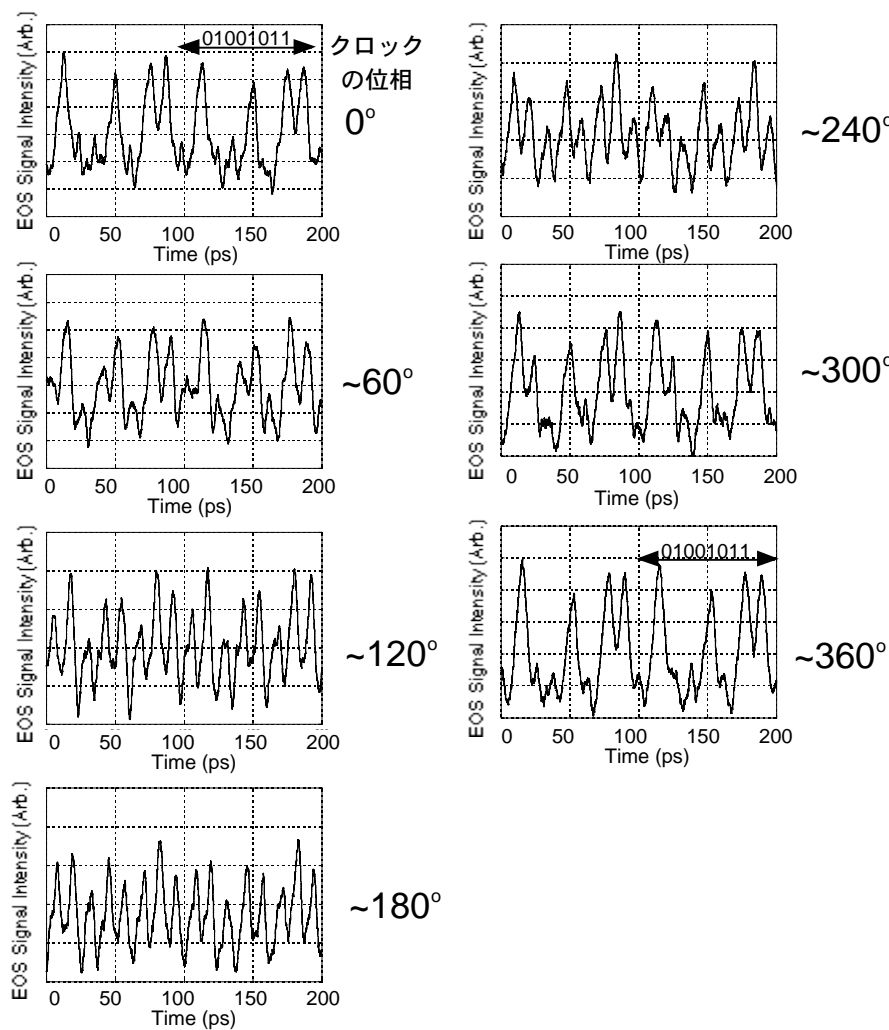


図 6.8: 試作した D-FF の入力クロック位相変化に伴う出力波形の変化

6.4: RTD と UTC-PD による D-FF の動作速度限界見積もり

AC 電流を考慮に入れた回路設計手法により 80 Gbit/s の識別動作を得ることが出来た。しかしながら使用した測定系の上限が 80 Gbit/s であり、今なお、今回試作した D-FF の識別動作の速度限界は明らかではない。そこで本節では、動作速度を律速する 3 つの要因 (RTD と UTC-PD の容量成分を流れる AC 電流、D-FF のスイッチング時間遅延時間、UTC-PD の帯域) について議論し、その議論を基に動作速度限界を見積もる。

6.4.1. RTD と UTC-PD の容量成分を流れる AC 電流による速度限界

RTD と UTC-PD の容量成分を流れる AC 電流は、6.2 節で述べたように、RTD のピーク電流と UTC-PD の光電流に関する動作原理に影響を及ぼし、前回試作した(前

章の) D-FF において支配的な動作速度律速要因であった。ここでは、この AC 電流による速度限界を解析的に定式化する。D-FF の等価回路として図 6.9(a)のものを仮定する。また、定式化に必要な各種変数を以下のように定義する。

k : ドライバ RTD のエミッタ面積に対するロード RTD のエミッタ面積の比

V_{clock} : クロック信号の電圧

V_L : ロード RTD に加えられているバイアス電圧

V_D : ドライバ RTD に加えられているバイアス電圧

V_P : ドライバ RTD, ロード RTD のピーク電圧

I_{DP} : ドライバ RTD のピーク電流

C_D : ドライバ RTD の容量

C_{PD} : UTC-PD の容量

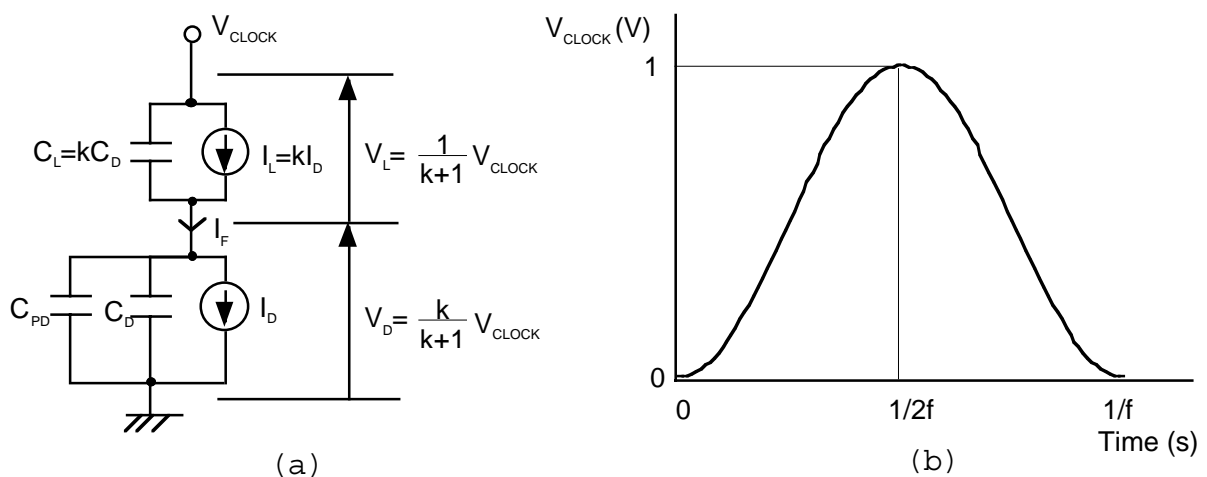


図 6.9: AC 電流による速度限界定式化のための図 (a)等価回路 (b)クロック波形

更に定式化のために、以下の条件を仮定する。

(a) 2 つの RTD それぞれに対するバイアス電圧 V_L, V_D は、それらのサイズに反比例する。すなわち $V_L = V_{clock} \times I / (k+1)$ 、 $V_D = V_{clock} \times k / (k+1)$ となる。

(b) クロック信号の電圧 V_{clock} は、図 6.9(b)に示されているように、振幅 1V、オフセット +0.5V の正弦波である。よって

$$V_{clock} = 0.5 \sin(2\pi ft - \frac{\pi}{2}) + 0.5 \quad (6.6)$$

と表される。ここで、 f はクロックの周波数である。

(c) 本 D-FF の動作原理である式(6.5)すなわち $0 < \Delta I_p < I_{photo}$ は、ドライバ RTD に加えられているバイアス電圧 V_D が RTD のピーク電圧 V_p に等しくなった時間地点において守られてなければならない。

これらの仮定に基づき、 $V_D = V_p$ となる時間地点での $\Delta I_p = (k-1) I_{DP} + k \frac{dC_D V_L}{dt} - \frac{d(C_D + C_{PD}) V_D}{dt}$ を計算する。 $V_D = V_p$ となる時間地点 t_0 は以下の式で与えられる。

$$t_0 = \frac{1}{2\pi f} \sin^{-1} \left(\frac{k+1}{0.5k} V_p - 1 \right) + \frac{1}{4f} \quad (6.7)$$

時間地点 t_0 での V_D と V_L の時間微分は、以下の通り。

$$\frac{dV_D}{dt} \Big|_{t=t_0} = \frac{k\pi f}{k+1} \cos \left\{ \sin^{-1} \left(\frac{k+1}{0.5k} V_p - 1 \right) \right\} \quad (6.8)$$

$$\frac{dV_L}{dt} \Big|_{t=t_0} = \frac{\pi f}{k+1} \cos \left\{ \sin^{-1} \left(\frac{k+1}{0.5k} V_p - 1 \right) \right\} \quad (6.9)$$

式(6.7)-(6.9)を用いると、時間地点 t_0 での ΔI_p は、

$$\Delta I_p = (k-1) I_{DP} - C_{PD} \frac{k\pi f}{k+1} \cos \left\{ \sin^{-1} \left(\frac{k+1}{0.5k} V_p - 1 \right) \right\} \quad (6.10)$$

となる。速度限界 f_1^{limit} は $\Delta I_p = 0$ となるクロック周波数であり、式(6.10)より以下のよう
に与えられる。

$$f_1^{limit} = \frac{(k+1)(k-1) I_{DP}}{k\pi \cos \left\{ \sin^{-1} \left(\frac{k+1}{0.5k} V_p - 1 \right) \right\} \cdot C_{PD}} \quad (6.11)$$

6.4.2.D-FF スイッチング時間による速度限界

各種デジタル回路においてスイッチング遅延時間は回路速度を律速する要因の 1 つである。本節では、本 D-FF でのローレベルからハイレベルへのスイッチング時間を解析的に導出、このスイッチング時間による速度限界を定式化する。

等価回路は本節でも前節と同様に図 6.9(a)のものとする。また図 6.9(a)中の電流源は RTD の電流-電圧特性を表現し、ここでは図 6.10(a)に示したように、RTD の電流-電圧特性を直線的に模した電圧制御型電流源として近似する。定式化のため、前節の変数に加えて、以下の変数を定義する。

V_v : ドライバ RTD とロード RTD のバレー電圧

I_{DV} : ドライバ RTD のバレー電流

R_{Db} : ドライバ RTD のバレー電圧以降 ($V > V_v$) の抵抗値

V_H : D-FF のハイレベルの電圧値

またクロック信号の電圧振幅は V_v+V_p に等しいと仮定する。この V_v+V_p は今回試作した D-FF 中の RTD では $1.05V(V_v=700mV, V_p=350mV)$ であり、前節で仮定したクロック信号の振幅 $1V$ と近い値であることから妥当な仮定と言える。

以上の仮定を基に、本 D-FF のローレベル $0V$ からハイレベル V_H へのスイッチング時間を導出する。スイッチング時間は出力電圧の領域を 1) 0 から V_p 、2) V_p から V_H の 2 つに分けて導出する。

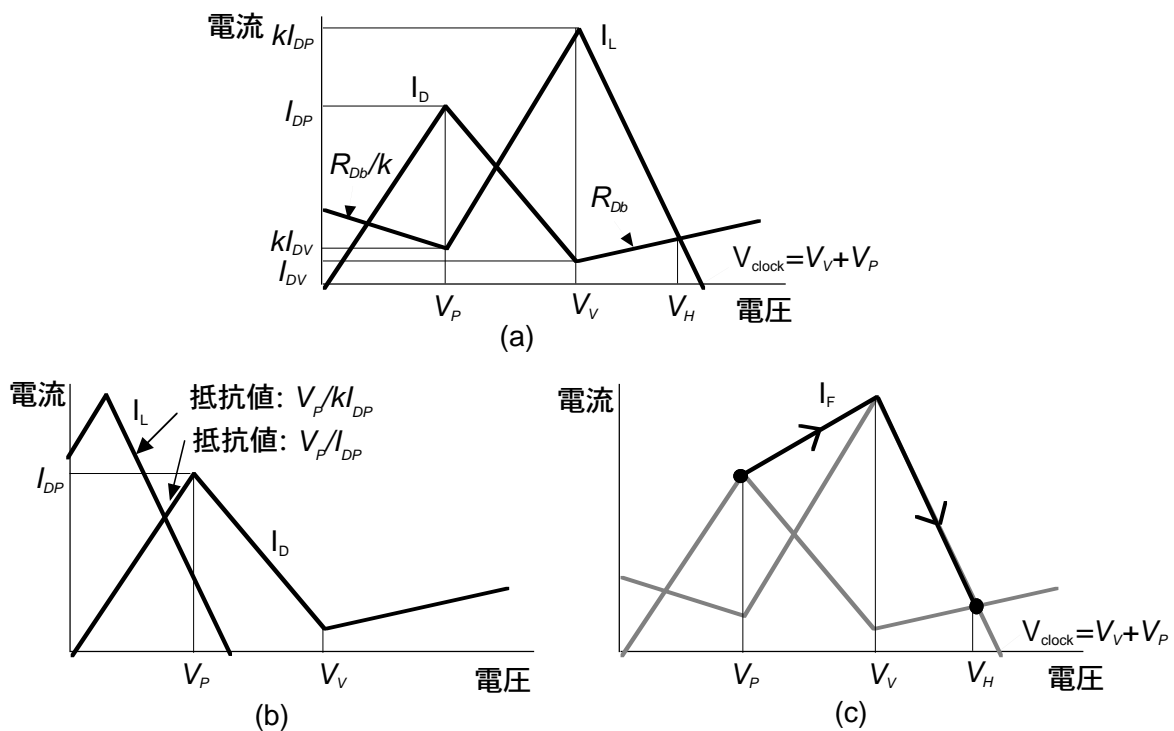


図 6.10: スwitchング時間遅延による速度限界定式化のための図
 (a) 近似した RTD の電流-電圧特性, (b) 単安定状態,
 (c) ドライバ RTD へ流れ込む電流 I_F の電圧に対する変動

1) 0 から V_p までのスイッチング時間

出力電圧が 0 から V_p までのスイッチング時間は、D-FF クロック入力端子から D-FF 出力端子までの伝達関数を用いて計算する。出力電圧が 0 から V_p までの間、D-FF は図 6.10(b) に示したような、ドライバ RTD・ロード RTD の電流-電圧特性の交点が唯一な状態（単安定状態）に有る。この状態ではドライバ RTD・ロード RTD 共に正の抵抗値を有しており、それらの値は V_p/I_{DP} (ドライバ RTD), V_p/kI_{DP} (ロード RTD) と表すことができる。以上から、D-FF クロック入力端子から D-FF 出力端子までの伝達関数は、

$$A(s) = \frac{kV_p(I_{DP} + sC_D V_p)}{(k+1)V_p I_{DP} + sV_p^2 \{(k+1)C_D + C_{PD}\}} \quad (6.12)$$

と表される。ここで Ashar の方法[6.1]を用いて、0 から V_p までのスイッチング時間 t_1 は以下の様に表される。

$$\tau_1 = \frac{-\frac{dA(s)}{ds}}{A(s)} \Big|_{s=0} = \frac{1}{k+1} C_{PD} \frac{V_{DP}}{I_{DP}} \quad (6.13)$$

2) V_p から V_H までのスイッチング時間

出力電圧が V_p から V_H までのスイッチング時間は、ドライバ RTD の容量 C_D と UTC-PD の容量 C_{PD} の 10%-90%充電時間として計算する。これは、Diamond らによる計算方法[6.2]と同一である。ここで出力電圧が V_p から V_H までの間、ドライバ RTD に流れ込む電流 I_F は、図 6.10(c)のように、出力電圧と共に変化すると仮定する。

以上の仮定から、ドライバ RTD の容量 C_D と UTC-PD の容量 C_{PD} の 10%-90%充電時間、すなわち V_p から V_H までのスイッチング時間 t_2 は以下の式で表される。

$$\tau_2 = \int_{V_p+0.1(V_H-V_p)}^{V_H-0.1(V_H-V_p)} \frac{C_D + C_{PD}}{I_F(V) - I_D(V)} dV \quad (6.14)$$

ここで、 I_F と I_D は電圧 V の関数であり、図 6.10(a)と(c)から以下のように表される。

$$\begin{aligned} I_F(V) &= \frac{(k-1)I_{DP}}{V_V - V_p} (V - V_p) + I_{DP} \quad (\text{for } V_p \leq V \leq V_V) \\ &= -\frac{kI_{DP}}{V_p} (V - V_p - V_V) \quad (\text{for } V_V \leq V \leq V_H) \end{aligned} \quad (6.15)$$

$$\begin{aligned} I_D(V) &= -\frac{I_{DP} - I_{DV}}{V_V - V_p} (V - V_p) + I_{DP} \quad (\text{for } V_p \leq V \leq V_V) \\ &= -\frac{1}{R_{Db}} (V - V_V) + I_{DV} \quad (\text{for } V_V \leq V \leq V_H) \end{aligned} \quad (6.16)$$

V_H は式(6.15)と(6.16)で表される線分の交点であり、以下のように計算される。

$$V_H = V_V + \frac{kR_{Db}I_{DP} - R_{Db}I_{DV}}{V_p + kR_{Db}I_{DP}} V_p \quad (6.17)$$

式(6.14)-(6.17)から、 t_2 は以下のようになる。

$$\tau_2 = \frac{C_D + C_{PD}}{\frac{(k-1)I_{DP}}{V_V - V_p} + \frac{I_{DP} - I_{DV}}{V_V - V_p}} \cdot \log \frac{10(V_V - V_p)}{V_V - \frac{R_{Db}I_{DV} + V_p}{V_p + kR_{Db}I_{DP}} V_p} + \frac{C_D + C_{PD}}{k\frac{I_{DP}}{V_p} + \frac{1}{R_{Db}}} \cdot \log \frac{10(kI_{DP} - I_{DV})}{(V_V - \frac{R_{Db}I_{DV} + V_p}{V_p + kR_{Db}I_{DP}} V_p) \cdot (k\frac{I_{DP}}{V_p} + \frac{1}{R_{Db}})} \quad (6.18)$$

以上、導出した t_1 と t_2 の和 t_1+t_2 が本 D-FF のローレベルからハイレベルのスイッチ

ング遅延時間となる。またハイレベルからローレベルへのスイッチング時間も t_1+t_2 に等しいと仮定すれば、スイッチング時間による限界速度 f_2^{limit} は t_1+t_2 の 2 倍の逆数で表され、以下のようになる。

$$\begin{aligned}
 \frac{f_2^{\text{limit}}}{2} &= \frac{1}{2(\tau_1 + \tau_2)} \\
 &= \frac{1}{2} \cdot \left\{ \frac{1}{k+1} C_{PD} \frac{V_{DP}}{I_{DP}} + \frac{C_D + C_{PD}}{(k-1)I_{DP} + \frac{I_{DP} - I_{DV}}{V_V - V_P}} \cdot \log \frac{10(V_V - V_P)}{V_V - \frac{R_{Db}I_{DV} + V_P}{V_P + kR_{Db}I_{DP}} V_P} \right. \\
 &\quad \left. + \frac{C_D + C_{PD}}{k \frac{I_{DP}}{V_P} + \frac{1}{R_{Db}}} \cdot \log \frac{10(kI_{DP} - I_{DV})}{(V_V - \frac{R_{Db}I_{DV} + V_P}{V_P + kR_{Db}I_{DP}} V_P) \cdot (k \frac{I_{DP}}{V_P} + \frac{1}{R_{Db}})} \right\}^{-1} \quad (6.19)
 \end{aligned}$$

6.4.3. UTC-PD 帯域による速度限界

本 D-FF において、UTC-PD はドライバ RTD に対する電流変調器として用いられている。よって本 D-FF での UTC-PD の帯域による速度限界とは「入力：光信号、出力：電流信号」とした時の UTC-PD の帯域である。「入力：光信号、出力：電流信号」の帯域は、光→光電流変換時の遅延時間から決定される。しかしながら一般的に測定される PD の帯域は「入力：光信号、出力：電圧信号」とした時の帯域であり、「入力：光信号、出力：電流信号」とした時の帯域について議論する時には混同しないよう注意が必要である。PD の容量と PD に接続された負荷抵抗による CR 時定数から計算される遮断周波数が十分高い場合のみ、測定される「入力：光信号、出力：電圧信号」の帯域は光→光電流変換時の遅延時間のみで決定される。すなわち「入力：光信号、出力：電圧信号」の帯域と「入力：光信号、出力：電流信号」の帯域は同一になる。試作回路作製プロセスと同一のプロセスにより作製した受光面積 $20 \mu\text{m}^2$ の UTC-PD は、 25Ω 負荷下で電気光学サンプリングにより帯域 80 GHz と測定されている[6.3]。電気光学サンプリングは電界強度を計測することから、測定された帯域はやはり「入力：光信号、出力：電圧信号」の帯域であると考えられる。但し測定された UTC-PD の容量値は表 6.1 から 18.2 fF と計算され、その CR 時定数による遮断周波数は約 350 GHz ($=1/(2\pi \times 18.2 \text{ fF} \times 25 \Omega)$)と測定値よりも十分に高い。故に、 $20 \mu\text{m}^2$ UTC-PD の「入力：光信号、出力：電流信号」の帯域も 80 GHz と考えられる。D-FF 中では $24.6 \mu\text{m}^2$ の UTC-PD を用いているが、光/電流変換時の遅延時間はサイズに依存しないので、D-FF 中の UTC-PD の「入力：光信号/出力：電流信号」の帯域も 80 GHz と考えられる。以上から、試作回路での UTC-PD の帯域による識別

動作の速度限界 f_3^{limit} は 80 Gbit/s と考えられる。

6.4.4. 議論

今回試作した D-FF の f_1^{limit} (RTD と UTC-PD の容量成分を流れる AC 電流による速度限界), f_2^{limit} (スイッチング遅延時間による速度限界), f_3^{limit} (UTC-PD 帯域による速度限界) の k (ドライバ RTD のエミッタ面積に対するロード RTD のエミッタ面積の比) 依存性を図 6.11 に示す。なお f_1^{limit} , f_2^{limit} の導出では表 6.1 に示したデバイスパラメータを使用し、ドライバ RTD のサイズと UTC-PD のサイズは試作回路と同じ $6 \mu\text{m}^2$, $24.6 \mu\text{m}^2$ とした。 $k \leq 1.35$ では、RTD と UTC-PD の容量成分を流れる AC 電流により速度限界が決まっている。 $1.35 \leq k \leq 1.6$ では、スイッチング時間が動作速度を制限する。 $k \geq 1.6$ では、UTC-PD の帯域が動作速度を律している。今回の試作回路 ($k=2$) の動作速度限界は UTC-PD の帯域で決まる 80 Gbit/s である。しかしながら帯域 310 GHz、飽和出力 8mA の UTC-PD[6.4]が既に報告されており、このような広帯域な UTC-PD を使用することで D-FF の動作速度限界も増大させることが可能である。この場合、スイッチング遅延時間が速度律速要因になるが、図 6.11 かわかるように k を約 2.1 以上に設定することで 100Gbit/s 以上の識別動作を得ることが可能である。

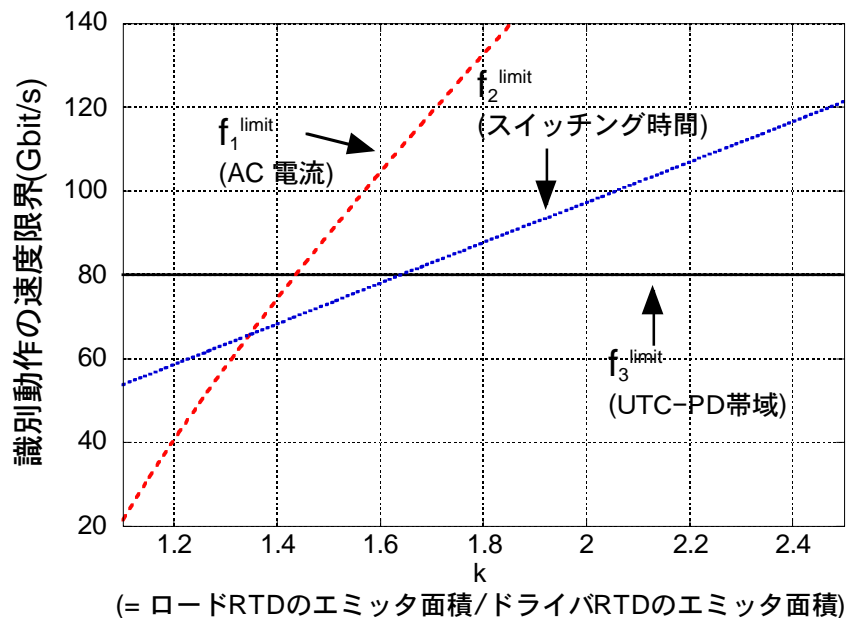


図 6.11: 3 種類の速度限界 f_1^{limit} , f_2^{limit} , f_3^{limit} の k (=ロード RTD のエミッタ面積/ドライバ RTD のエミッタ面積) 依存性

6.5: 結論

RTDとUTC-PDを用いた光電気融合型D-FFの高速化設計手法について述べた。RTDとUTC-PDの容量成分を流れるAC電流を設計に取り込み、RTD対のエミッタ面積比(k)拡大によるD-FF高速化の指針を得た。RTD対のエミッタ面積比kを前章の1.2から2.0へ拡大したD-FFを前章と同じプロセスで試作、80 Gbit/sの識別動作を得ることに成功した。80 Gbit/sの識別動作は電気フリップフロップとして最高速のものである¹。更に本D-FFの識別動作の速度限界について、3つの速度律速要因、1)RTDとUTC-PDの容量成分を流れるAC電流、2)スイッチング遅延時間、3)UTC-PDの帯域を解析することで議論した。使用したUTC-PDの帯域により試作D-FFの動作速度限界は80Gbit/sと見込まれるが、より高速なUTC-PDを使用することで本D-FFは100 Gbit/s以上の識別動作が可能であることを示した。

第6章の参考文献

- [6.1] K. G. Ashar, “The method of estimating delay in switching circuits and figure of merit of a switching transistor”, IEEE Trans. Electron Devices, Vol. ED-11, pp.497-506 (1964)
- [6.2] S. K. Diamond, E. Özaby, M. J. W. Rodwell, D. M. Bloom, Y. C. Pao, and J. S. Harris, “Resonant tunneling diodes for switching application”, Appl. Phys. Lett., Vol. 54, No.2, pp.153-155 (1989)
- [6.3] T. Akeyoshi, N. Shimizu, J. Osaka, M. Yamamoto, T. Ishibashi, K. Sano, K. Murata, and E. Sano, “An optoelectronic logic gate monolithically integrating resonant tunneling diodes and a uni-traveling-carrier photodiode”, Jpn. J. Appl. Phys., Vol. 38, No. 2B, pp.1223-1226 (1999)
- [6.4] H. Ito, T. Furuta, S. Kodama, and T. Ishibashi, “InP/InGaAs uni-travelling-carrier photodiode with 310 GHz bandwidth”, IEE Electron. Lett., Vol.36, No.21, pp.1809-1810 (2000)
- [6.5] T. Suzuki, T. Takahashi, T. Hirose, and M. Takigawa, “A 80-Gbit/s D-type flip-flop circuit using InP HEMT technology”, 2003 IEEE GaAs IC Symposium, pp.165-168 (2003)

¹ 2003年10月には、InP HEMTによるD-FFの80Gbit/s識別動作[6.5]も報告されている。

第 7 章： 結論と将来展望

7.1: 結論

本研究では、高速性および光電変換特性に優れた InP ベースの電子デバイス及び光電変換デバイスを用い、1 チャンネル当たり 40Gbit/s 更には 100Gbit/s 級の超高速・大容量光ファイバ通信システムに適用可能な電気 IC 及び光電融合 IC(OEIC)の検討を行ってきた。以下、章毎に得られた成果をまとめる。

第 2 章では、InP HEMT を用いた 4:1 多重回路(MUX)・1:4 分離回路(DEMUX)について、そのタイミング設計手法について論じた。DC 近傍から 40Gbit/s 級での使用に十分にマージンのある 50Gbit/s までの広範囲で動作を保証するには、データ信号とクロック信号間のスキューを最小で $\pm 7.5\text{ps}$ 以内で制御する必要がある。このタイミング設計手法に基づき試作した InP HEMT による 4:1 MUX IC と 1:4 DMUX IC は、共に設計仕様通り 4Gbit/s から 50Gbit/s でのエラーフリー動作が確認された。このことから論じたタイミング設計手法の有効性が示された。

第 3 章では、40Gbit/s 級 4:1 多重回路(MUX)・1:4 分離回路(DEMUX)の低消費電力回路構成として多相クロック型構成を提案した。多相クロック型構成は TFF で生成される多相クロックを活用することで、論理ゲート数と付随するバッファアンプを削減、大幅な低消費電力化を可能にする。多相クロック型構成による 4:1 MUX・1:4 DEMUX を InP HEMT 及び InP HBT を用いて試作検証した。InP HEMT による多相クロック型構成 4:1 MUX・1:4 DEMUX は、ツリー型構成 4:1 MUX・1:4 DEMUX と同等の 50Gbit/s の動作速度を維持しつつ、ツリー型構成の 1/3 以下の消費電力で動作することが示された。また InP HBT による多相クロック型構成 4:1 MUX・1:4 DEMUX は、ツリー型構成の 1/2 以下の消費電力で、4:1 MUX が 40Gbit/s 動作、1:4 DEMUX は 50Gbit/s 動作を達成した。

第 4 章では、40Gbit/s 級アナログ回路の例として、InP HEMT による 40Gbit/s 級リミッティングアンプの設計及びその評価結果について述べた。単一動作電源・集中定数型を前提条件として、可能な限り帯域が確保される回路構成を検討、容量帰還とインダクタピーキングを併用した差動増幅アンプ回路構成を採用した。試作回路

の利得は 25.4dB, 3dB 帯域 32.1GHz であり、43Gbit/s 入力に対しては 27mV を最小として 20dB 以上の入力ダイナミックレンジ、50Gbit/s 入力に対しては 59mV を最小として 16dB 以上の入力ダイナミックレンジを有していることが確認された。

第 5 章では、RTD と UTC-PD を用いた光電融合型フリップフロップを提案した。提案したフリップフロップは、わずか 2 個の RTD と 1 個の UTC-PD から構成される。UTC-PD を使用する点に特徴があり、高速性に優れた光信号を直接論理処理がすることから超高速動作に適した回路構成である。このコンセプトに基づき正論理型と負論理型の 2 タイプの光電融合型フリップフロップを設計し、それらの動作について回路シミュレーションを用いて解析した。動作速度に関しては、40Gbit/s 識別動作と 80Gbit/s 分離動作が可能であることがシミュレーションで示された。また論理振幅に関して、負論理型が正論理型より大きく確保されることが予測された。更に 40Gbit/s 識別動作のための光電流の閾値（最小入力）についても見積もられた。提案したフリップフロップを実証するべく、RTD と UTC-PD をモノリシック集積するプロセスにより正論理型と負論理型の 2 つの回路を試作した。正論理型・負論理型共に 10mW 以下の消費電力で 40Gbit/s 識別動作が確認された。負論理型については、80Gbit/s 分離動作を 7.75mW の消費電力で確認した。シミュレーションで予測された、論理振幅に関する負論理型の優位性、識別動作のための光電流の閾値も実験的に確認された。

第 6 章では、第 5 章で提案した RTD と UTC-PD による光電気融合型 D-FF の高速化設計手法について述べた。RTD と UTC-PD の容量成分を流れる AC 電流を設計に取り込み、RTD 対のエミッタ面積比拡大による D-FF 高速化の指針を得た。RTD 対のエミッタ面積比を前回(第 5 章)の 1.2 から 2.0 へ拡大した D-FF を前回(第 5 章)と同じプロセスで試作、80 Gbit/s の識別動作を得ることに成功した。80 Gbit/s の識別動作は電気フリップフロップとしては最高速のものである。更に本 D-FF の識別動作の速度限界について、3 つの速度律速要因、RTD と UTC-PD の容量成分を流れる AC 電流、スイッチング遅延時間、UTC-PD の帯域を解析することで議論した。使用した UTC-PD の帯域により試作 D-FF の動作速度限界は 80Gbit/s と見込まれるが、より高速な UTC-PD を使用することで本 D-FF は 100 Gbit/s 以上の識別動作が可能であることを示した。

第 2 章、第 3 章、第 4 章の成果は、40Gbit/s 級光ファイバ通信システムの進展に貢献すると考えられる。特に、第 2 章の成果は 40Gbit/s 級光ファイバ通信システムに必須な多ビット多重・分離 IC の広動作ビットレート化・高歩留まり化、第 3 章の成果は多ビット多重・分離 IC の低消費電力化・高寿命化引いては 40Gbit/s 級光ファイバ通信システム自身の低消費電力化・高寿命化、第 4 章の成果は 40Gbit/s 級光ファイバ通信システム受信器の高感度化・広ダイナミックレンジ化に寄与する。

第 5 章、第 6 章の成果は、40Gbit/s を超えて、将来の 100Gbit/s 級光ファイバ通信システム用 IC 実現に向けての 1 つの方向性を示している。すなわち、光を入力インターフェースとして論理処理は電気で行う光電融合型 IC(OEIC)の有効性である。既存の電子デバイス・光電変換デバイスを融合させることで、100Gbit/s 級の論理処理が可能であることが現実に示された。

7.2: 将来展望

最後に本研究のまとめとして、InP プラットフォーム光通信用超高速 IC・OEIC の将来展望について述べる。

1990 年代後半以降、InP HEMT・InP HBT 等の InP 系電子デバイスを用いた IC は、次世代 40Gbit/s 光ファイバ通信システム用 IC の研究開発を先導してきた[7.1, 7.2]。しかしながら、2000 年前後からは SiGe HBT を用いた IC[7.3, 7.4]、最近では Si CMOS を用いた IC[7.5, 7.6]もが 40Gbit/s 光通信用途として活発に研究開発され始めており、InP 系 IC と競合するようになってきている。このような状況において InP 系 IC が存在感を示すには Si 系 IC との差別化が必須であり、その考えられる方向性として(1)高速化と(2)OEIC 化の 2 点を議論する。

(1) 高速化

図 7.1 は、単体トランジスタの f_T (電流遮断周波数: Current Cutoff Frequency)及び f_{max} (最大発振周波数: Maximum Oscillation Frequency)をトランジスタの種類毎に比較し、その中で最高の値を有していたもの[7.7-7.20]をプロットした図である。単体トランジスタのレベルでは、現在でも InP 系トランジスタが Si 系トランジスタ、GaAs 系トランジスタを上回る速度性能を有していることがわかる。尚、GaAs 系トランジスタの GaAs MM-HEMT (GaAs Metamorphic HEMT: GaAs 格子不整合 HEMT)が InP

系トランジスタに肉迫しているが、これは基板こそ GaAs であるもののチャンネル部の界面構造が InP HEMT そのものであることから、InP 系トランジスタの亜種と考えることもできる。この InP 系トランジスタの高速性を活かし、Si 系 IC を更に上回る高速化を進めることが、InP 系 IC が取るべき方向性の 1 つと考えられる。このような方向性は本研究を含めて検討されつつあり、具体的には 100Gbit/s 周辺の動作をターゲットとしてこの 1~2 年研究が進められている。InP HEMT を用いた IC では、100Gbit/s 動作の多重回路(MUX) [7.21,7.22]や帯域 110GHz 以上の分布定数型増幅器 [7.23]が報告されている。InP HBT による IC では、100Gbit/s 動作の多重回路(MUX)[7.24], 110Gbit/s 多重分離動作を行う論理回路[7.25]及び 150GHz ダイナミック動作の分周器[7.26]が報告されている。しかしながら SiGe HBT を用いることによる Si 系 IC の追い上げも凄まじく、110GHz ダイナミック動作の分周器[7.27]や 108Gbit/s 動作の多重回路(MUX)[7.28]が SiGe HBT ベースで報告されている。このような動向を踏まえ、InP 系 IC には 100Gbit/s 以上の更なる高速化も視野に入れる必要があると考える。

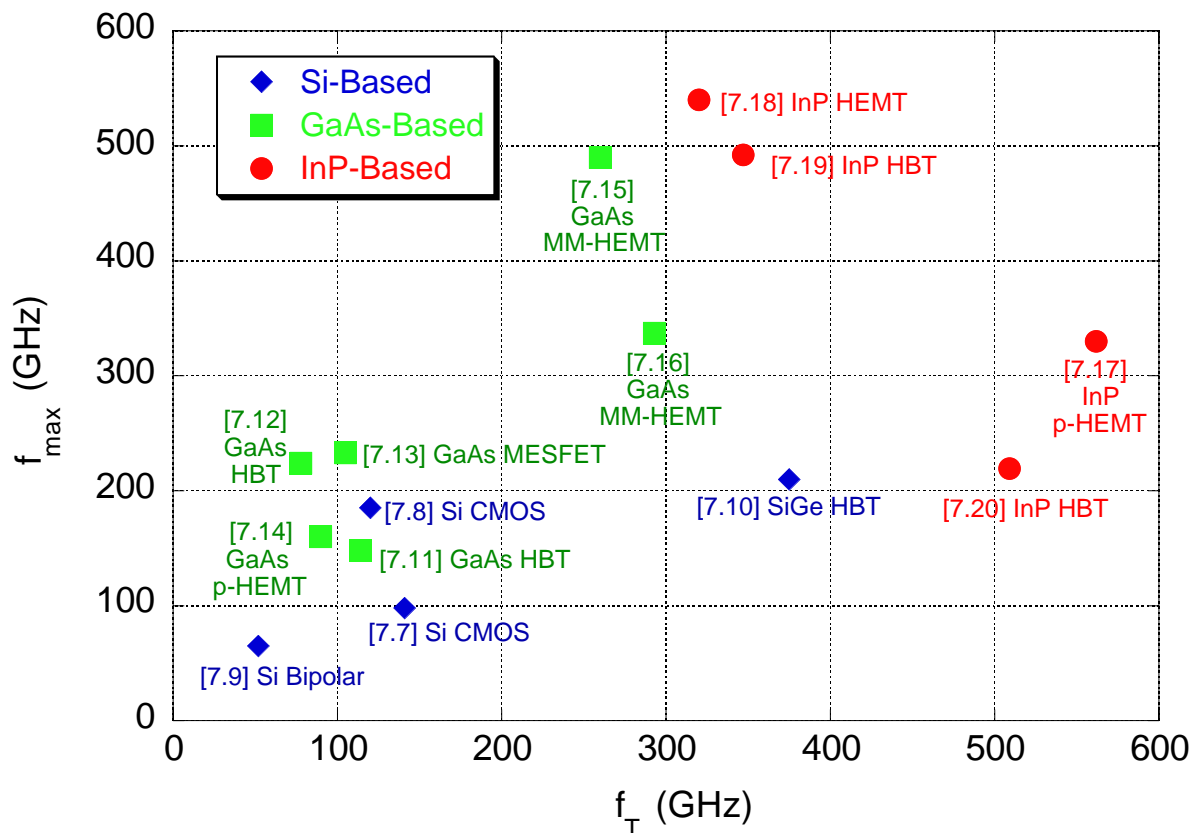


図 7.1: f_T もしくは f_{max} が最高値を有する各種単体トランジスタの f_T - f_{max} プロット

(2) OEIC 化

Si プラットフォームには無く、InP プラットフォームが有する特徴として、高周波特性に優れる InP 系電子デバイスと $1.55\ \mu\text{m}$ 光に対応した InP 系光電変換デバイスをチップレベルで集積可能な点、いわゆる OEIC 化が挙げられる。OEIC では、電子デバイスと光電変換デバイスとの接続距離がハイブリッド IC 構成 (電子デバイスと光電変換デバイスを別チップで構成する形態) よりも各段に短いことから、低雑音化・高感度化はもちろん、両デバイスと接続線路を集中定数素子として扱う回路設計 (集中定数設計) が可能となる。これらの点を活かし、本研究を含めて幾つかの試みが成されている。受信 OEIC では、高感度化を企図した増幅器 OEIC[7.29, 7.30] やデジタル OEIC[7.31]、また前述の集中定数設計を積極的に活用した分周器 OEIC[7.32]等が報告されている。送信 OEIC は受信 OEIC よりも報告数は少ないものの、MQW レーザと HBT を集積した光変調 OEIC[7.33]などが報告されている。また最近では、InP ベースの低電圧駆動 Mach-Zender 型光変調器[7.34]も報告されており、今後 InP 系電子デバイスとの集積化が期待できる。

究極的には、受信 OEIC と送信 OEIC の両者が 1 チップ上に集積される“送受信 OEIC”が、OEIC としての完成形態であろう。この実現に InP プラットフォームは不可欠であり、また OEIC 作製に必要な個々の要素技術、すなわち結晶成長技術・デバイス作製技術・回路設計技術・回路実装技術の更なる進展が必要である。

第 7 章の参考文献

- [7.1] T. Otsuji, Y. Imai, E. Sano, S. Kimura, S. Yamaguchi, M. Yoneyama, T. Enoki, and Y. Umeda, “40-Gb/s IC’s for Future Lightwave Communication Systems”, IEEE J. Solid-State Circuits, vol. 32, no. 9, pp. 1363-1370 (1997)
- [7.2] M. Mokhtari, T. Swahn, R. H. Walden, W. E. Stanchina, M. Kardos, T. Juhola, G. Schuppener, H. Tenhunen, and T. Lewin, “InP-HBT Chip-Set for 40-Gb/s Fiber Optical Communication Systems Operational at 3V”, IEEE J. Solid-State Circuits, vol. 32, no. 9, pp. 1371-1383 (1997)
- [7.3] 白水、増田、大島、荒川、鷺尾, “SiGe HBT を用いた 40Gb/s 光伝送システム用 IC モジュールの開発”, 電気学会 電子デバイス研究会資料 EDD-02-54, pp.49-54 (2002)
- [7.4] G. Freeman, M. Meghelli, Y. Kwark, S. Zier, A. Rylyakov, M. A. Sorna, T. Tanji, O. M. Schreiber, K. Walter, J-S. Rieh, B. Jagannathan, A. Joseph, and S. Subbanna, “40-Gb/s Circuits Built From a 120-GHz f_T SiGe Technology”, IEEE J. Solid-State Circuits, vol. 37, no.

9, pp. 1106-1114 (2002)

[7.5] W. Simbürger, D. Kehrer, M. Tiebout, H-D. Wohlmuth, H. Knapp, M. Wurzer, W. Perndl, M. Rest, C. Kienmayer, R. Thüringer, W. Bakalski, and A. L. Scholtz, “CMOS and SiGe Bipolar Technology for High-Speed Applications”, Proc. 11th European Gallium Arsenide & other Compound Semiconductors Application Symposium (GAAS 2003), pp. 297-300 (2003)

[7.6] J. Lee, and B. Razavi, “A 40Gb/s Clock and Data Recovery Circuit in 0.18 μm CMOS Technology”, Tech. Digest of IEEE International Solid-State Circuits Conference 2003 (ISSCC 2003), pp. 242-243 (2003)

[7.7] N. Zamdmer, A. Ray, J-O. Plouchart, L. Wagner, N. fong, K. A. Jenkins, W. Jin, P. Smeys, I. Yang, G. Shahidi, and F. Assaderaghi, “A 0.13- μm Soi CMOS Technology for Low-power Digital and RF Applications”, Tech. Digest of Symposium on VLSI Technology 2001, pp. 85-86 (2001)

[7.8] T. Hirose, Y. Momiyama, M. Kosugi, H. Kano, Y. Watanabe, and T. Sugii, “A 185GHz f_{max} SOI DTMOS with A New Metallic Overlay-gate for Low-power RF Applications”, Tech. Dig. of International Electron Devices Meeting (IEDM) 2001, pp. 943-945 (2001)

[7.9] J. Böck, H. Knapp, K. Aufinger, M. Wurzer, S. Boguth, R. Schreiter, T. f. Meister, M. Rest, M. Ohnemus, and L. Treitinger, “12 ps Implanted Base Silicon Bipolar Technology”, Tech. Dig. of International Electron Devices Meeting (IEDM) 1999, pp. 553-556 (1999)

[7.10] J-S. Rieh, B. Jagannathan, H. Chen, K. Schonenberg, S-J. Jeng, M. Khater, D. Ahlgren, G. Freeman, and S. Subbanna, “Performance and Design Considerations for High Speed SiGe HBTs of $f_T/f_{\text{max}}=375 \text{ GHz}/210 \text{ GHz}$ ”, Proc. of International Conference on Indium Phosphide and Related Materials 2003 (IPRM 2003), pp. 374-377 (2003)

[7.11] Y. Matsuoka, S. Yamahata, S. Yamaguchi, K. Murata, E. Sano, and T. Ishibashi, “IC-Oriented Self-Aligned High-Performance AlGaAs/GaAs Ballistic Collection Transistors and Their Applications to High-Speed ICs”, IEICE Transactions on Electronics, vol. E76-C, no. 9, pp. 1392-1401 (1993)

[7.12] H. Shimawaki, Y. Amamiya, N. Furuhashi, and K. Honjo, “High- f_{max} AlGaAs/InGaAs and AlGaAs/GaAs HBT's with p^+/p Regrown Base Contacts”, IEEE Trans. on Electron Devices, vol. 42, no. 10, pp. 1735-1744 (1995)

[7.13] M. Tokumitsu, K. Nishimura, M. Hirano, and K. Yamasaki, “A 0.1 μm Au/WsiN Gate GaAs MESFET with New BP-LDD Structure and Its Applications”, IEICE Transactions on Electronics, vol. E78-C, no. 9, pp. 1189-194 (1995)

[7.14] S. Kudszus, W. H. Haydl, A. Tessmann, W. Bronner, and M. Schlechtweg, “Push-Push Oscillators for 94 and 104 GHz Applications Using Standard Pseudomorphic GaAs HEMTs”,

- Tech. Digest of Tech. Digest of 2001 IEEE MTT-S International Microwave Symposium, pp. 1571-1574 (2001)
- [7.15] S. Bollaert, Y. Cordier, M. Zaknour, T. Parenty, H. Happy, S. Lepilliet, and A. Cappy, “ f_{\max} of 490 GHz Metamorphic $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ HEMTs on GaAs Substrate”, IEE Electron. Lett., vol. 38, no. 8, pp. 389-391 (2002)
- [7.16] A. Leuther, A. Tessmann, M. Dammann, Werner Reinert, M. Schlechtweg, M. Mikulla, M. Walther, and G. Weimann, “70 nm Low-noise Metamorphic HEMT Technology on 4 Inch GaAs Wafers”, Proc. of International Conference on Indium Phosphide and Related Materials 2003 (IPRM 2003), pp. 215-218 (2003)
- [7.17] Y. Yamashita, A. Endoh, K. Shinohara, K. Hikosaka, T. Matsui, S. Hiyamizu, and T. Mimura, “Pseudomorphic $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ HEMTs With an Ultrahigh f_T of 562 GHz”, IEEE Electron Device Lett., vol. 23, no.10, pp.573- 575 (2002)
- [7.18] T. Suemitsu, H. Yokoyama, T. Ishii, T. Enoki, G. Meneghesso, and E. Zanoni, “30-nm Two-Step Recess Gate InP-Based InAlAs/InGaAs HEMTs”, IEEE Electron Device Lett., vol. 23, no.10, pp.573- 575 (2002)
- [7.19] M. Ida, K. Kurishima, K. Ishii, and N. Watanabe, “High-Speed InP/InGaAs DHBTs with a Thin Pseudomorphic Base”, Tech. Digest of IEEE GaAs IC Symposium 2003, pp. 211-2214 (2003)
- [7.20] W. Hafez, J-W. Lai, and M. Feng, “InP/InGaAs SHBTs with 75nm collector and $f_T > 500\text{GHz}$ ”, IEE Electron. Lett., vol. 39, no.20, pp.1475-1476 (2003)
- [7.21] K. Murata, K. Sano, H. Kitabayashi, S. Sugitani, H. Sugahara, and T. Enoki, “100-Gbit/s Logic ICs using 0.1- μm -gate-length InAlAs/InGaAs/InP HEMTs”, Tech. Dig. of International Electron Devices Meeting (IEDM) 2002, pp. 937-939 (2002)
- [7.22] T. Suzuki, Y. Nakasha, T. Sakoda, K. Sawada, T. Takahashi, K. Makiyama, T. Hirose, and M. Takigawa, “A 100-Gbit/s 2:1 Multiplexer in InP HEMT Technology”, Tech. Digest of Tech. Digest of 2003 IEEE MTT-S International Microwave Symposium, vol.2, pp. 1173-1176 (2003)
- [7.23] S. Masuda, T. Takahashi, and K. Joshin, “An Over-110-GHz InP HEMT Flip-Chip Distributed Basedband Amplifier with Inverted Microstrip Line Structure for Optical Transmission System”, IEEE J. Solid-State Circuits, vol. 38, no. 9, pp. 1479-1484 (2003)
- [7.24] K. Murata, T. Enoki, H. Sugahara, and M. Tokumitsu, “ICs for 100 Gbit/s Data Transmission”, Proc. 11th European Gallium Arsenide & other Compound Semiconductors Application Symposium (GAAS 2003), pp. 457-460 (2003)
- [7.25] Y. Suzuki, Y. Amamiya, Z. Yamazaki, S. Wada, H. Uchida, C. Kurioka, S. Tanaka, and

- H. Hida, "110Gb/s Multiplexing and Demultiplexing ICs", IEEE International Solid-State Circuits Conference 2004 (ISSCC 2004), 13.1 (2004)
- [7.26] S. Tsunashima, K. Murata, M. Ida, K. Kurishima, T. Kosugi, T. Enoki, and H. Sugahara, "A 150-GHz dynamic frequency divider using InP/InGaAs DHBTs", Tech. Digest of IEEE GaAs IC Symposium 2003, pp. 284-287 (2003)
- [7.27] H. Knapp, M. Wurzer, T. F. Meister, K. Aufinger, J. Böck, S. Boguth, and H. Schäfer, "86 GHz Static and 110 GHz Dynamic Frequency Dividers in SiGe Bipolar Technology", Tech. Digest of Tech. Digest of 2003 IEEE MTT-S International Microwave Symposium, vol.2, pp. 1067-1070 (2003)
- [7.28] M. Meghelli, "A 108Gb/s 4:1 Multiplexer in 0.13 μm SiGe-Bipolar Technology", IEEE International Solid-State Circuits Conference 2004 (ISSCC 2004), 13.3 (2004)
- [7.29] H-G. Bach, A. Beling, G. G. Mekonnen, and W. Schlaak, "Design and Fabrication of 60-Gb/s InP-based Monolithic Photoreceiver OEICs and Modules", IEEE J. Selected Topics in Quantum Electron. , vol. 8, no. 6, pp. 1445-1450 (2002)
- [7.30] D. Caruth, S. C. Shen, D. Chan, M. Feng, and J. Schutt-Aine, "A 40 Gb/s Integrated Differential PIN+TIA with DC Offset Control Using InP SHBT Technology", Tech. Digest of 2002 GaAs IC Symposium, pp. 59-62 (2002)
- [7.31] K. Murata, H. Kitabayashi, N. Shimizu, S. Kimura, T. Furuta, N. Watanabe, and E. Sano, "A 40-Gbit/s Monolithic Digital OEIC Module Composed of Uni-Traveling-Carrier Photodiode and InP HEMT Decision Circuit", Tech. Digest of 2000 MTT-S International Microwave Symposium, vol.1, pp. 345-348 (2000)
- [7.32] K. Sano, K. Murata, H. Matsuzaki, H. Kitabayashi, T. Akeyoshi, H. Ito, T. Enoki, and H. Sugahara, "75-GHz Optical Clock Divide-by-Two OEIC using InP HEMTs and Uni-Traveling-Carrier Photodiode", 2003 International Conference on Solid State Devices and Materials (SSDM), G-7-4, pp.902-903 (2003)
- [7.33] U. Eriksson, P. Evaldsson, B. Stalnacke, and B. Willen, "1.55 μm Multiple Quantum Well Laser and Heterojunction Bipolar Transistor Fabricated from the Same Structure Utilizing Zinc Fabrication", Optoelectronic Integrated Circuits, Proc. SPIE vol. 3006, pp. 145-152 (1997)
- [7.34] K. Tsuzuki, T. Ishibashi, T. Ito, S. Oku, Y. Shibata, R. Iga, Y. Kondo and Y. Tohmori, "40 Gbit/s n-i-n InP Mach-Zender Modulator with a π voltage of 2.2 V", IEE Electron. Lett., vol. 39, no.20 pp. 1464-1466 (2003)

謝辞

本論文をまとめるにあたり、早稲田大学理工学部電気・情報生命工学科 尾崎肇教授には終始懇切なご指導と暖かい励ましを賜りました。ここに謹んで御礼申し上げます。

また、早稲田大学理工学部電気・情報生命工学科 堀越佳治教授、早稲田大学理工学部電気・情報生命工学科 川原田洋教授、早稲田大学理工学部電気・情報生命工学科 宗田孝之教授には、本論文の内容について貴重なご議論とご教示を賜りました。ここに厚く御礼申し上げます。

本研究は、著者が 1996 年から 2003 年にかけて、日本電信電話株式会社(NTT) システムエレクトロニクス研究所、未来ねっと研究所、フォトニクス研究所において行ったものであり、多くの方々にご指導とご協力を頂きました。

本研究の機会を与えて下さいました、フォトニクス研究所テラビットデバイス研究部 村口正弘研究部長、フォトニクス研究所テラビットデバイス研究部 鳥羽弘研究部長 (現 NTT エレクトロニクス通信システム事業部長)、フォトニクス研究所テラビットデバイス研究部 石井康信研究部長 (現 ヨコオ)、未来ねっと研究所フォトニクストランスポートネットワーク研究部 佐藤健一研究部長 (現 名古屋大学教授)、未来ねっと研究所テラビットシステム研究部 小林郁太郎研究部長 (現 東京大学教授)、システムエレクトロニクス研究所高速回路研究部 吉村寛研究部長(現 NTT エレクトロニクス取締役)に深く御礼申し上げます。

また本研究を進めるにあたり、ご指導・ご鞭撻を頂きました、フォトニクス研究所テラビットデバイス研究部 菅原裕彦グループリーダー、フォトニクス研究所テラビットデバイス研究部 佐野栄一グループリーダー (現 北海道大学教授)、フォトニクス研究所テラビットデバイス研究部 榎木孝知グループリーダーに深謝します。

また入社当初の研究指導を行って頂き、それ以後も本研究全般につきまして継続的にご助言頂きました村田浩一主幹研究員には格別の御礼を申し上げたく存じます。

本研究を遂行するにあたり、回路設計・評価技術、デバイスプロセス技術に関し多くの方のご尽力・ご協力を頂きました。

回路設計・評価技術でご助言いただきました、尾辻泰一主幹研究員 (現 九州工業大学教授)、永妻忠夫グループリーダー、柴田随道グループリーダー(現 NTT 先端技術総合研究所)、菊池博行主幹研究員 (現 NTT エレクトロニクス)、楳田洋太郎主任研究

員、木村俊二主任研究員、石井清主任研究員（現 NTT 情報流通基盤総合研究所）、平田道広主任研究員、福山裕之研究主任、楯原浩一研究主任、綱島聡社員(現 NTT-ME)、富山裕之氏（NTT-AT）にお礼を申し上げます。

InP HEMT デバイスプロセス技術に関し IC 試作に尽力頂きました、山根康朗主幹研究員、杉谷末広主任研究員、北林博人主任研究員(現 NTT 東日本)、松崎秀昭研究主任、また InP HBT デバイスプロセス技術に関し IC 試作に尽力頂きました山幡章司主任研究員（現 国際電気通信基礎技術研究所）、栗島賢二主任研究員、井田実主任研究員（現 NTT 情報流通基盤総合研究所）、更に InP RTD, UTC-PD デバイスプロセス技術に関し IC 試作に尽力頂きました山本眞史グループリーダー（現 北海道大学教授）、石橋忠夫グループリーダー(現 NTT エレクトロニクス)、明吉智幸主幹研究員(現 NTT 先端技術総合研究所)、清水直文主任研究員に御礼申し上げます。

また光通信システムの見地から本研究にご助言いただいた、宮本裕グループリーダー、桑原昭一郎社員に御礼申し上げます。

最後に、筆者を常に支えてくれた妻・由紀に心より感謝します。

本研究に関する業績

・ 本論文

1. K. Sano, K. Murata, T. Otsuji, T. Akeyoshi, N. Shimizu, M. Yamamoto, T. Ishibashi, and E. Sano, "Ultra-Fast Optoelectronic Decision Circuit Using Resonant Tunneling Diodes and Uni-Traveling-Carrier Photodiode", *IEICE Transactions on Electronics*, Vol. E82-C, No. 9, pp. 1638-1646 (1999)
2. K. Sano, K. Murata, T. Otsuji, T. Akeyoshi, N. Shimizu, and E. Sano, "An 80-Gb/s Optoelectronic Delayed Flip-Flop IC Using Resonant Tunneling Diodes and Uni-Traveling-Carrier Photodiode", *IEEE Journal of Solid-State Circuits*, Vol. 36, No. 2, pp. 281-289 (2001)
3. K. Sano, K. Murata, S. Sugitani, H. Sugahara, and T. Enoki, "50-Gbit/s 4-b Multiplexer / Demultiplexer Chip Set using InP HEMTs", *IEEE Journal of Solid-State Circuits*, Vol. 38, No. 9, pp. 1504-1511 (2003)
4. K. Sano, K. Murata, H. Kitabayashi, S. Sugitani, H. Sugahara, and T. Enoki, "50-Gbit/s InP HEMT 4:1 Multiplexer / 1:4 Demultiplexer Chip Set with a Multiphase Clock Architecture", *IEEE Transactions on Microwave Theory and Techniques*, Vol. 51, No.12, pp. 2548-2554 (2003)

・ レター

1. K. Sano, K. Murata, T. Akeyoshi, N. Shimizu, T. Otsuji, M. Yamamoto, T. Ishibashi, and E. Sano, "Ultra-fast Optoelectronic Circuit using Resonant Tunneling Diodes and Uni-Travelling-Carrier Photodiode", *IEE Electronics Letters*, Vol. 34, No.2, pp. 215-216 (1998)
2. K. Sano, K. Murata, T. Otsuji, T. Akeyoshi, N. Shimizu, and E. Sano, "80 Gbit/s Optoelectronic Delayed Flip-Flop Circuit using Resonant Tunneling Diodes and Uni-Travelling-Carrier Photodiode", *IEE Electronics Letters*, Vol. 35, No. 16, pp. 1376-1377 (1999)
3. K. Sano, K. Murata, and Y. Yamane, "50-Gbit/s Demultiplexer IC Module using InAlAs/InGaAs/InP HEMTs", *IEICE Trans. Electron.*, Vol. E83-C, No. 11, pp. 1788-1790 (2000)
4. K. Sano, M. Hirata, K. Murata, S. Yamahata, M. Ida, K. Kurishima, T. Enoki, and H. Sugahara, "Low-power 50-Gbit/s InP HBT 1:4 Demultiplexer IC with Multiphase Clock Architecture", *IEE Electronics Letters*, Vol. 39, No. 18, pp. 1332-1334 (2003)

・ 国際会議

1. K. Sano, K. Murata, T. Otsuji, T. Akeyoshi, N. Shimizu, M. Yamamoto, T. Ishibashi, and E. Sano, “Ultrafast Optoelectronic Time-division Demultiplexer IC Using Resonant Tunneling Diodes and a Uni-traveling-Carrier Photodiode”, International Conference on Lasers and Electro-Optics (CLEO), CFB1, pp. 499-500 (1998)
2. K. Sano, K. Murata, T. Otsuji, T. Akeyoshi, N. Shimizu, M. Yamamoto, T. Ishibashi, and E. Sano, “Monolithic Digital Optoelectronic ICs towards 100 Gbit/s”, International Conference on Ultra-fast Electronics and Optoelectronics (UEO), UWB1-1, pp. 22-24 (2001) [Invited]
3. K. Sano, K. Murata, S. Sugitani, H. Sugahara, and T. Enoki, ”50-Gbit/s 4-bit Multiplexer/Demultiplexer Chip-set using InP HEMTs”, 2002 IEEE GaAs IC Symposium, I.2, pp. 207-210 (2002)
4. K. Sano, K. Murata, S. Sugitani, H. Sugahara, and T. Enoki, ” 1.7-W 50-Gbit/s InP HEMT 4:1 Multiplexer IC with a Multi-phase Clock Architecture”, 2002 IEEE GaAs IC Symposium, LN.4, pp. 159-162 (2002)
5. K. Sano, K. Murata, S. Sugitani, H. Sugahara, and T. Enoki, ”Data Limiting-Amplifier, Data Distributor, and Clock Distributor ICs for 40-Gbit/s-class Optical Communication Systems using InP HEMTs”, 2002 International Conference on Solid State Devices and Materials (SSDM), E-4-2, pp.296-297 (2002)
6. K. Sano, K. Murata, H. Kitabayashi, S. Sugitani, H. Sugahara, and T. Enoki, ”1.4-W 50-Gbit/s InP HEMT 1:4 Demultiplexer IC with a Multi-phase Clock Architecture”, 2003 IEEE MTT-S International Microwave Symposium, WE5D-3, pp.1181-1184 (2003)
7. K. Sano, K. Murata, H. Fukuyama, S. Tsunashima, K. Kurihsima, H. Matsuzaki, T. Enoki, H. Sugahara, and M. Muraguchi “InP-based Optical System ICs Operating at 40 Gbit/s and Beyond”, 2004 IEEE RFIC Symposium, TU3A-1, pp. 313-316 (2004) [Invited]

・ 国内学会、研究会等

1. 佐野公一, 村田浩一, 佐野栄一, 清水直文, 明吉智幸, 山本眞史, 石橋忠夫, “共鳴トンネルダイオードと単一走行キャリアフォトダイオードを用いた光電気融合回路”, 電子情報通信学会 第 3 回マイクロ波フォトンクス研究会, MWP98-2, pp. 7- 12 (1998)
2. 佐野公一, 村田浩一, 明吉智幸, 清水直文, 尾辻泰一, 佐野栄一, “共鳴トンネルダイオードと単一走行キャリアフォトダイオードを用いた 80Gbit/s 光電気融合

- DEMUX IC”, 1998 年電子情報通信学会 ソサエティ大会, C-10-12, 論文集 2 pp. 59 (1998)
3. 佐野公一, 村田浩一, 明吉智幸, 佐野栄一, “共鳴トンネルダイオードと単一走行キャリアフォトダイオードを用いた超高速光電気融合識別回路構成の検討” 1999 年電子情報通信学会 全国大会, C-10-15, 論文集 2 pp. 87 (1999)
 4. 佐野公一, 村田浩一, 尾辻泰一, 明吉智幸, 清水直文, 佐野栄一, “共鳴トンネルダイオードと単一走行キャリアフォトダイオードを用いた 80Gbit/s 光電気融合 D-FF IC”, 1999 年電子情報通信学会 ソサエティ大会, C-10-25, 論文集 2 pp. 62 (1999)
 5. 佐野公一, 村田浩一, 尾辻泰一, 明吉智幸, 清水直文, 佐野栄一, “共鳴トンネルダイオードと単一走行キャリアフォトダイオードを用いた 80Gbit/s 光電気融合 D フリップフロップ回路”, 電子情報通信学会 電子デバイス研究会, ED99-264, pp.35-40 (2000)
 6. 佐野公一, 村田浩一, 山根康朗, “InAlAs/InGaAs/InP HEMT による 50-Gbit/s 1:2 デマルチプレクサモジュール”, 2000 年電子情報通信学会 ソサエティ大会, C-10-15, 論文集 2 pp. 67 (2000)
 7. 佐野公一, 村田浩一, 菅原裕彦, 榎木孝知, “InP プラットフォーム超高速 IC / OEIC”, 2002 年電子情報通信学会 全国大会, SC-4-7, 論文集 1 pp. 455-456 (2002) [招待講演]
 8. 佐野公一, 村田浩一, 杉谷末広, 菅原裕彦, 榎木孝知, “多相クロックアーキテクチャによる 1.7 W 50 Gbit/s InP HEMT 4:1 マルチプレクサ IC”, 電子情報通信学会 電子デバイス研究会, ED2002-259, pp.25-30 (2003)
 9. 佐野公一, 村田浩一, 北林博人, 杉谷末広, 菅原裕彦, 榎木孝知, “50 Gbit/s InP HEMT 差動出力リミッティングアンプ IC”, 2003 年電子情報通信学会 全国大会, C-10-7, 論文集 2 pp. 56 (2003)
 10. 佐野公一, 村田浩一, 北林博人, 杉谷末広, 菅原裕彦, 榎木孝知, “多相クロック構成による 50Gbit/s InP HEMT 4:1 マルチプレクサ / 1:4 デマルチプレクサ IC”, 2003 年電子情報通信学会 ソサエティ大会, C-10-3, 論文集 2 pp. 54 (2003)
 11. 佐野公一, “多相クロックアーキテクチャ回路設計技術”, 電気学会 超高速デバイス・回路調査専門委員会講演, 於: 法政大学小金井キャンパス, 2003 年 11 月 20 日

・特許

1. 佐野公一, 村田浩一, 尾辻泰一, “識別回路”, 特願平 9-208308, (2003 年 8 月 15 日)

特許成立)

2. 佐野公一, 村田浩一, “識別回路”, 特願平 11-140938, (2003 年 10 月 2 日特許成立)

・賞罰

1. 電子情報通信学会 1999 年度 学術奨励賞

“共鳴トンネルダイオードと単一走行キャリアフォトダイオードを用いた超高速光電気融合識別回路構成の検討”, ”共鳴トンネルダイオードと単一走行キャリアフォトダイオードを用いた 80Gbit/s 光電気融合 D-FF IC”

2. International Conference on Solid-State Devices and Materials (SSDM) 2002 Young Researcher Award

“Data Limiting-Amplifier, Data Distributor, and Clock Distributor ICs for 40-Gbit/s-class Optical Communication Systems using InP HEMTs “