

博士論文審査報告書

論 文 題 目

InP プラットフォーム
光通信用超高速 IC・OEIC の研究

申 請 者

佐野 公一

氏 名

専攻・研究指導
(課程内のみ)

2004 年 10 月

近年、ADSL、第3世代携帯電話など、ブロードバンド通信の急速な普及に対応すべく、光ファイバ通信システムの高速・大容量化が望まれている。光通信システムにおいて、信号の多重、分離、再生、識別等、信号処理を行うのは電気集積回路(IC)であり、電気ICの高速化が高速・大容量の光ファイバ通信システム実現の鍵を握っている。2004年現在、SiバイポーラトランジスタやGaAs MESFET等により、10Gbit/s光通信システム用ICが実用に供されており、次世代基幹伝送回線用として40Gbit/s光通信システムが検討されている。このような背景において本研究は、次世代40Gbit/s電気多重方式光ファイバ通信システム、さらには次次世代100Gbit/s級電気多重方式光ファイバ通信システムに適用可能な電気ICおよび光電気融合IC(OEIC:Opto-Electronic IC)を、InPをプラットフォーム基板とする電子デバイス、光電変換デバイスを用いて実現したものである。

本論文は7章からなり、以下に章ごとに概要を述べ、評価を加える。

第1章「序論」では、まず研究の背景を述べ、本研究の目的とそれを達成するために解決しなければならない課題を明確にしている。

第2章「40Gbit/s級多ビット多重回路・分離回路のタイミング設計手法とInP HEMTを用いた実証」では、40Gbit/s級の光通信システムで使用される多ビットの多重回路(Multiplexer: MUX)および分離回路(Demultiplexer: DEMUX)のクロック信号とデータ信号間のタイミング設計手法を提案している。そして、その設計手法に基づいて、InP HEMTによる4:1 MUX ICと1:4 DEMUX ICを例として設計・試作し、その動作性能を評価している。その結果、両IC共に設計仕様通り4Gbit/sから50Gbit/sまで連続的にエラーフリー動作することが確認された。この広範囲な速度領域で動作する4:1 MUX / 1:4 DEMUX ICの従来例は、SiGe HBT(Hetero-Bipolar Transistor)による2例(IBM社とMultilink社)のみで、これらの報告例にしてもタイミング設計手法は明確ではない。本研究は、タイミング設計手法を明確にした上で、設計仕様通りの動作確認が得られていることから、その技術的価値が高いと評価される。

第3章「40Gbit/s級多ビット多重回路・分離回路の低消費電力構成法とInP HEMT、InP HBTを用いた実証」では、多ビットMUX / DEMUXの低消費電力化が可能となる新しい回路構成を考案し、その有効性を試作回路により実証している。従来、40Gbit/s級の多ビットMUX / DEMUXは、複数の2:1の多重部分と1:2の分離部分を反復的に配置して構成(ツリー構成)するのが一般的であるが、反復構造により論理ゲート数が増え、消費電力が増大する傾向にある。システム全体の低消費電力化のみならず、発熱による回路自身の寿命・信頼性劣化を抑制する観点から、回路の低消費電力化が望まれる。本研究で考案された新しい回路構成とは、トグル・フリップフロップ(Toggle Flip-Flop: TFF)で発生する多相クロックを活用する多相クロック型

構成 (Multi-Phase Clock Architecture: MPC 型) である。この構成により、前章と同じく 4:1 MUX IC および 1:4 DEMUX IC を InP HEMT を用いて試作し、40Gbit/s 級に対して十分余裕をもつ 50Gbit/s 動作を、従来型ツリー構成の 1/3 以下の消費電力である 1.71W (4:1 MUX) および 1.42W (1:4 DMUX) で実現している。また、HEMT の代わりに InP HBT を用いて同様の検討を行い、4:1 MUX は 40Gbit/s、1:4 DMUX は 50Gbit/s 動作でいずれも 1.17W と、従来ツリー型構成の 1/2 以下の消費電力による動作を実現している。このように、大幅な低消費電力化を可能にする新しい回路アーキテクチャが、動作原理が全く異なる 2 種類のトランジスタを用いて実証されたことから、その汎用性は高いと認められる。さらに、本回路アーキテクチャは、Si 系トランジスタへの展開も十分考えられ、この成果は大きな可能性をはらんでいると評価できる。

第 4 章「InP HEMT を用いた 40Gbit/s 級リミッティングアンプの設計手法と評価」では、40Gbit/s 級光通信システムに必要なアナログ回路のひとつである、リミッティングアンプについて、InP HEMT を用いた回路の設計手法を検討している。小信号 AC 解析によるシミュレーションにより、最大の利得・帯域幅が見込まれる回路構成は容量帰還・インダクタピーキング併用型であると判断し、これによるリミッティングアンプを試作した。試作回路の利得・帯域幅積として 598GHz (25.4dB、32.1GHz) が得られている。これは同じ用途をめざした Lucent 社の InP HBT リミッティングアンプの 504GHz (22dB、40GHz) を大きく上回るものである。さらに、43Gbit/s 入力に対して 27mV を最小入力感度として 20dB 以上のダイナミックレンジ、50Gbit/s 入力に対しては 59mV を最小入力感度として 16dB 以上の入力ダイナミックレンジを有していることを確認している。これらの性能から本 IC は 40Gbit/s 光通信システムに適用可能であると考えられる。

第 5 章「InP RTD、InP UTC-PD を用いた光電気融合型フリップフロップの構成法」では、光通信システムに用いられる回路のなかで、高速化が最も困難なものの 1 つである遅延フリップフロップ回路 (Delayed Flip-Flop: D-FF) について、40Gbit/s を超え、100Gbit/s 級で動作可能な D-FF として、InP ベースの共鳴トンネルダイオード (Resonant Tunneling Diode: RTD) と単一走行キャリアフォトダイオード (Uni-Traveling-Carrier Photodiode: UTC-PD) を用いた光電気融合型 D-FF の提案およびその動作性能の実証を行っている。従来の D-FF は、回路中にフィードバック・パスがあることが高速化を妨げる一因であるが、RTD はフィードバック・パスの無いフリップフロップ機能を提供し、UTC-PD は広帯域な光入力インターフェースを提供するので、D-FF の複数の速度律速要因を同時に克服できる。本研究ではまず回路シミュレーションにより、提案する光電気融合型 D-FF の動作検証を行い、わずか 10mW の消費電力で、40Gbit/s の識別動作および 80Gbit/s の分離動作を実証している。この 80Gbit/s の分離動作は、本研究の発表当時(1998

年)において電気 IC の分離動作の最高速度を示すものであり、電気 IC 超高速化へのアプローチとして、「光電気融合」が有効であることを示した点で意義がある。

第 6 章「InP RTD、InP UTC-PD を用いた光電気融合型フリップフロップの高速化設計手法の実証」では、第 5 章で提案した、RTD と UTC-PD を用いた D-FF について、40Gbit/s の識別動作と 80Gbit/s の分離動作を実証したものの、そのクロック周波数は 40Gbit/s に留まっていることに注目し、将来の 100Gbit/s 級光ファイバ通信システムでは、D-FF は最大で 100Gbit/s のクロック周波数に対して動作する必要があることを指摘し、RTD および UTC-PD による光電気融合型 D-FF の高速化設計手法の提案とその実証を行っている。その結果、この設計手法に基づき試作した光電気融合型 D-FF は、測定系の上限の 80Gbit/s において識別動作(データ入力 80Gbit/s、クロック入力 80GHz)することを確認している。このことから、解析的に求めた高速化設計手法の妥当性が実験的に検証されたことになる。この 80Gbit/s 識別動作は、発表当時(1999 年)電気 IC の動作速度として世界最高であり、従来回路構成によるトランジスタを用いたフリップフロップで 80Gbit/s の識別動作が初めて報告されたのが 2003 年であることから、本研究の先進性が認められる。

第 7 章「結論と将来展望」では、本研究の成果をまとめ、InP プラットフォーム光通信用超高速 IC・OEIC の将来展望について、Si 系 IC を視野に置きながら述べている。

以上のように本論文は、近年の情報通信の進展に伴う通信量の急増に対応すべく、高速・大容量光通信システムのさらなる高速化に欠かすことのできない電気 IC の高速化をめざし、高速性および光電変換特性に優れた InP ベースの電子デバイスおよび光電変換デバイスを用いて、伝送速度 40Gbit/s さらには 100Gbit/s 級の超高速・大容量光通信システムに適用可能な世界最高速級の電気 IC および光電融合 IC を多面的に研究し、実現した成果をまとめたもので、情報通信工学、電子工学、半導体工学分野の発展に寄与するところが大きい。よって、本論文は博士(工学)の学位論文として価値あるものと認める。

2004 年 7 月

審査員	(主査) 早稲田大学教授	工学博士(早稲田大学)	尾崎 肇
	早稲田大学教授	工学博士(東北大学)	堀越 佳治
	早稲田大学教授	工学博士(早稲田大学)	川原田 洋
	早稲田大学教授	工学博士(早稲田大学)	宗田 孝之