

2004 年度 修士論文

IPP に基づく論理回路の  
消費電力見積り手法に関する研究

2005 年 2 月 2 日 (水) 提出

指導：深澤 良彰 教授

早稲田大学大学院 理工学研究科 情報・ネットワーク専攻

学籍番号：3603U065-6

酒井 智史

# 目次

<b>1</b>	<b>はじめに</b>	<b>1</b>
<b>2</b>	<b>本研究の特徴</b>	<b>3</b>
2.1	従来の研究	3
2.1.1	秋田らが提案した消費電力見積り手法	3
2.1.2	上田らが提案した消費電力見積り手法	6
2.1.3	室山らが提案した低消費電力算術演算回路設計手法	8
2.2	本手法と従来手法の違い	10
<b>3</b>	<b>IPPに基づく消費電力の見積り手法</b>	<b>12</b>
3.1	IPPの定義	12
3.2	論理ゲートのモデル化	13
3.3	論理ゲートの消費電力の見積り	16
3.4	入力端子の最適割り当てによる低消費電力化	17
<b>4</b>	<b>本手法の適用例</b>	<b>19</b>
4.1	インバータゲート	19
4.1.1	インバータゲートのモデル化	19
4.1.2	インバータゲートの消費電力の見積り	21
4.2	複数ゲートから構成される回路	22
4.2.1	複数ゲートから構成される回路のモデル化	22
4.2.2	複数ゲートから構成される回路の消費電力の見積り	24
4.3	RS フリップフロップ	24
4.3.1	RS フリップフロップのモデル化	24
4.3.2	定常状態における状態遷移	26
4.3.3	RS フリップフロップの確率モデル	28
4.3.4	RS フリップフロップの消費電力の見積り	34
<b>5</b>	<b>本手法の評価</b>	<b>35</b>
5.1	実験	35
5.2	考察	35
<b>6</b>	<b>おわりに</b>	<b>37</b>

## 1 はじめに

近年の微細加工技術の急速な発達，微細化傾向の激化によって，現在の LSI 設計では 1 つのチップ上に大規模かつ複雑な回路を実現できることが可能になった．それに伴い，携帯電話や無線 LAN などの広帯域無線通信システムの市場が大幅に拡大し，MOSFET に対するニーズが一段と高まっている．国際半導体ロードマップ (ITRS) の予想によれば，2005 年には SOC のチップ面積の 70% をメモリーが占めると言われ，今後さらにメモリーの低消費電力化，高集積化が要求されるようになる．これらのニーズに対応するため，製品の設計期間の短縮や高性能化，低コスト化，低電力化を同時に満たす設計手法の開発がよりいっそう求められている．特に消費電力に関しては，多様な携帯機器に求められる要求を完全に満足させることは困難である．消費電力の問題は非常に重要性が高く，様々なレベルでの低消費電力化手法が提案されている [1, 2]．また同時に，これらの手法を用いて，低消費電力回路を設計するにあたって，回路内で消費される電力や，回路内を流れる電流を正確に評価する必要性があり，数多くの消費電力見積り手法が提案されてきた [1, 3]．回路内で消費される電力を正確に評価するためには，SPICE などの回路シミュレータを用いる必要がある．しかしながら，対象回路が大規模かつ複雑になるにつれ，莫大な計算時間を必要としてしまう．そのため，高精度かつ高速な消費電力見積り手法への要求が高まっている．

CMOS で構成される論理回路の消費電力は，次の 3 種類の消費電力の和として考えることができる．

1. リーク電流による消費電力
2. 貫通電力による消費電力
3. 負荷容量を充放電するための電力

CMOS 論理回路では，動作時の消費電力の大部分は個々のノードの負荷容量の充放電で費やされる．全ノード容量を  $C$ ，電源電圧を  $V_{dd}$ ，信号振幅を  $V_s$ ，平均的信号周波数を  $\bar{f}$  とすると，負荷容量を充放電するための電力  $P_{at}$  は，式 (1) で表される．

$$P_{at} = CV_{dd}V_s\bar{f} \quad (1)$$

この式 (1) を評価するにあたり，信号遷移確率に基づく手法 [1]，信号値遷移確率に基づく手法 [2] 等が提案されている．信号遷移確率に基づく手法では，ゲートの入力  $x$ ， $y$  の信号遷移確率をそれぞれ独立なものとして定義し，消費電力の期待値を求めている．また，入力信号  $(s_x, s_y)$  を，入力  $(i_x, i_y)$  に割り当てた場合と入力  $(i_y, i_x)$  に割り当てた場合とで消費電力に差があることから，入力信号の最適な割り当てによって低消費電力化を実現している．信号値遷移確率に基づく手法では，CMOS 論理回路の平均消費電力の評価問題を，ゲート出力の信号値遷移確率の評価問題として捉えている．外部入力の信号値遷移確率が既知であると仮定し，回路内部の信号線

の信号値遷移確率を求めている。以上挙げた 2 つの手法はどちらも各入力を独立なものとして計算している。

そこで、本稿では、IPP(*Input Patterns Pair*)[3] を用い、連続する入力信号値のペアの確率に基づいて式 (1) を評価し、消費電力の期待値を導出する手法を提案する。従来手法とは違い、入力の制約を厳しくすることにより、より正確な消費電力の見積りが可能になると考えられる。

本論文の構成は、まず 2 章で秋田らが提案した信号遷移確率を用いた消費電力見積り手法 [1]、上田らが提案した信号値遷移確率を用いた消費電力見積り手法 [3]、及び室山らが提案した IPP を用いた低電力算術演算回路の設計手法 [2] を紹介する。その上で、本手法との比較を行い問題点を挙げ、解決策となる本手法の特徴を述べる。3 章では本手法による消費電力の見積り手順を説明し、4 章ではインバータゲート、複数ゲートから構成される回路、RS フリップフロップに本手法を適用した例を紹介する。5 章では実験・考察によって本手法の評価をしその有効性を示す。

## 2 本研究の特徴

本章では，従来行われてきた関連研究を紹介し，従来手法と本稿で提案する手法との違いを説明する．その上で従来手法の問題点を明確にし，本手法による解決策を述べる．

### 2.1 従来の研究

従来研究として，確率的消費電力見積り手法，および入力信号パターンを用いた低電力回路設計手法を紹介する．

#### 2.1.1 秋田らが提案した消費電力見積り手法

CMOS 組合せ論理ゲートの入力端子は，論理的には対称であってもトポロジー上は非対称な場合が多い．信号遷移確率に基づく消費電力の見積り手法では，入力信号が確率的に遷移すると仮定し，その変化の確率パラメータで各信号線の特徴づけたうえで，組合せ論理回路の基本的な要素である 2 入力 CMOS NAND ゲートに限りてモデル化を行い，入力に対する消費電力の期待値の理論式を導いている．

2 入力 CMOS NAND ゲートを図 1 に示す．ここで， $x$ ， $y$  は入力， $z$  は出力， $C_x$ ， $C_y$  はそれぞれ出力容量，内部容量である．充放電による消費電力は，この 2 つの容量がそれぞれ充電，放電を繰り返すことで発生する．

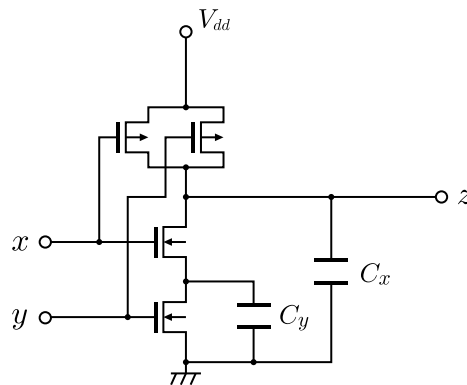


図 1: 2 入力 CMOS NAND ゲート

NAND ゲートに与える入力は，クロックに同期して 0 と 1 の間を確率的に遷移すると仮定する．その遷移確率パラメータを入力ごとに設定することで，入力の平均的特性を表現する．ある入力信号  $v$  について信号遷移確率を次のように定義する．

- 入力  $v$  が 0 から 0 へと遷移する確率： $\alpha_v$
- 入力  $v$  が 0 から 1 へと遷移する確率： $(1 - \alpha_v)$

- 入力  $v$  が 1 から 1 へと遷移する確率 :  $\beta_v$
- 入力  $v$  が 1 から 0 へと遷移する確率 :  $(1 - \beta_v)$

NAND ゲートの入力  $x, y$  の信号遷移確率をそれぞれ  $(\alpha_x, \beta_x), (\alpha_y, \beta_y)$  として, 確率的な入力遷移を表す状態遷移図を図 2 に示す.

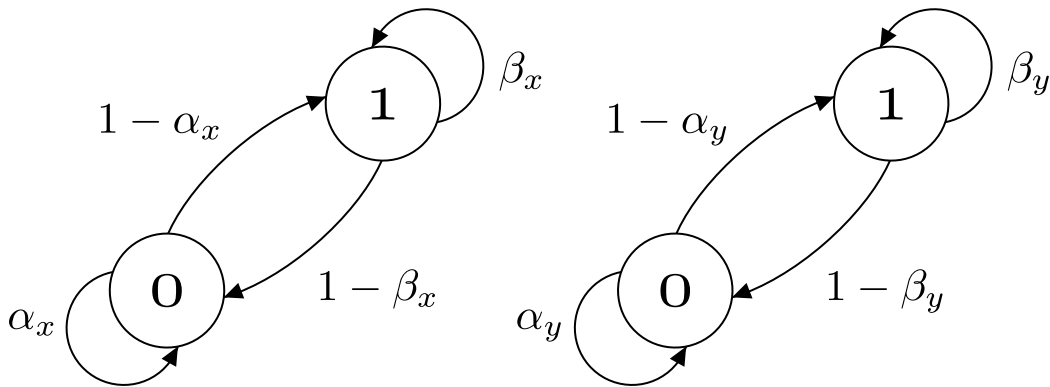


図 2: 信号遷移確率に基づく遷移

$n$  回目の遷移の直前に, 状態 0, 状態 1 にいる確率をそれぞれ  $P_n, (1 - P_n)$  とすると,  $P_{n+1}$  は式 (2) で与えられる.

$$P_{n+1} = \alpha P_n + (1 - \beta)(1 - P_n) \tag{2}$$

この漸化式より, ある時点で状態 0, 状態 1 にいる確率  $P_0, P_1$  は, 式 (3) となる.

$$P_0 = \frac{1 - \beta}{2 - \alpha - \beta} \quad P_1 = \frac{1 - \alpha}{2 - \alpha - \beta} \tag{3}$$

NAND ゲートの充放電状態は入力の組合せによってのみ決まる. 入力の組合せについて積空間における状態遷移を考える. NAND ゲートの入力  $x, y$  の変化が互いに独立であると仮定すると, 状態遷移図は図 3 となり, 遷移確率は表 1 のようになる.

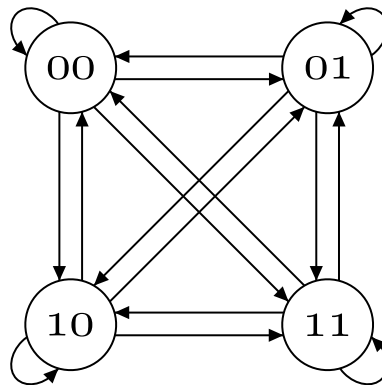


図 3: 2 入力の状態遷移図

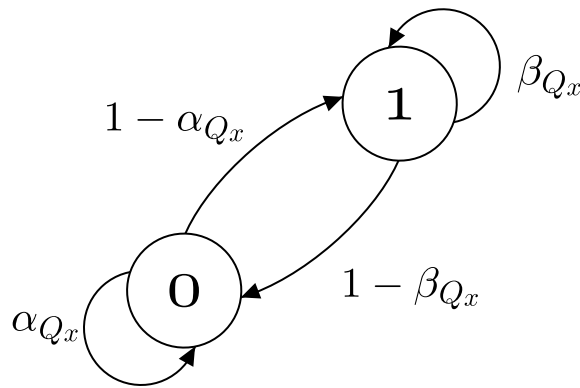
表 1: 2 入力の場合の遷移確率

		現状態			
		00	01	10	11
次状態	00	$\alpha_x \cdot \alpha_y$	$\alpha_x \cdot (1 - \beta_y)$	$(1 - \beta_x) \cdot \alpha_y$	$(1 - \beta_x) \cdot (1 - \beta_y)$
	01	$\alpha_x \cdot (1 - \alpha_y)$	$\alpha_x \cdot \beta_y$	$(1 - \beta_x) \cdot (1 - \alpha_y)$	$(1 - \beta_x) \cdot \beta_y$
	10	$(1 - \alpha_x) \cdot \alpha_y$	$(1 - \alpha_x) \cdot (1 - \beta_y)$	$\beta_x \cdot \alpha_y$	$\beta_x \cdot (1 - \beta_y)$
	11	$(1 - \alpha_x) \cdot (1 - \alpha_y)$	$(1 - \alpha_x) \cdot \beta_y$	$\beta_x \cdot (1 - \alpha_y)$	$\beta_x \cdot \beta_y$

よって、ある時点に各々の状態にいる確率  $P_{00}$ ,  $P_{01}$ ,  $P_{10}$ ,  $P_{11}$  は次の式 (4) のように表される。

$$\left. \begin{aligned} P_{00} &= (1 - \beta_x)(1 - \beta_y) / (2 - \alpha_x - \beta_x)(2 - \alpha_y - \beta_y) \\ P_{01} &= (1 - \alpha_x)(1 - \beta_y) / (2 - \alpha_x - \beta_x)(2 - \alpha_y - \beta_y) \\ P_{10} &= (1 - \beta_x)(1 - \alpha_y) / (2 - \alpha_x - \beta_x)(2 - \alpha_y - \beta_y) \\ P_{11} &= (1 - \alpha_x)(1 - \alpha_y) / (2 - \alpha_x - \beta_x)(2 - \alpha_y - \beta_y) \end{aligned} \right\} \quad (4)$$

出力容量  $C_x$  に充電される電荷を  $Q_x$  とし、充電された状態である場合を 1、電荷が 0 の状態である場合を 0 として 2 値化する。  $Q_x$  は確率パラメータ  $\alpha_{Q_x}$ ,  $\beta_{Q_x}$  を用いて図 4 のような状態遷移図で表すことができる。

図 4: 電荷  $Q_x$  の状態遷移図

電荷  $Q_x$  は入力が (1, 1) の場合のみ 0 であり、それ以外の入力の場合は 1 となる。よって確率パラメータ  $\alpha_{Q_x}$ ,  $\beta_{Q_x}$  は式 (5) で表される。

$$\left. \begin{aligned} \alpha_{Q_x} &= \beta_x \beta_y \\ \beta_{Q_x} &= \frac{\{P_{00}(\alpha_x + \alpha_y - \alpha_x \alpha_y) + P_{01}(1 - \beta_x + \alpha_x \beta_y) + P_{10}(1 - \beta_x + \beta_x \alpha_y)\}}{P_{00} + P_{01} + P_{10}} \end{aligned} \right\} \quad (5)$$

ある時点で  $Q_x = 0$  である確率  $P_{Q_x=0}$  は式 (3) と同様に求めることができ、式 (6) となる。

$$P_{Q_x=0} = \frac{1 - \beta_{Q_x}}{2 - \alpha_{Q_x} - \beta_{Q_x}} \quad (6)$$

出力容量  $C_x$  では  $Q_x = 0$  の状態から、 $Q_x = 0$  の状態へ遷移するときに充電が起こるため、充電が起こる確率  $\overline{N}_x$  は式 (7) となる。

$$\overline{N}_x = \frac{(1 - \alpha_{Q_x})(1 - \beta_{Q_x})}{2 - \alpha_{Q_x} - \beta_{Q_x}} \quad (7)$$

内部容量  $C_y$  についても同様に充電が起こる確率  $\overline{N}_y$  を求めることができるが、入力が (0, 0) の場合に内部容量  $C_y$  の状態は、充電されている状態と充電されていない状態の 2 つが存在し、これを新たに考慮する必要がある。

### 2.1.2 上田らが提案した消費電力見積り手法

CMOS 論理回路内で消費される平均的な電力はゲートの平均的な動作回数をもとにして見積ることができる。ゲート出力が 0 から 1, 1 から 0 に変化する際に負荷容量に対する充放電電流が発生し、電力が消費される。CMOS ゲート  $g$  に対する平均的な消費電力は式 (8) で近似できることが知られている。

$$P_g = 0.5 \cdot f \cdot V_{dd}^2 \cdot C_g \cdot T_g \quad (8)$$

ここで  $f$  は動作周波数,  $V_{dd}$  は電源電圧,  $C_g$  はゲート  $g$  の負荷容量である。  $T_g$  はゲートの出力値が遷移する確率であり、信号値遷移確率という。

任意の信号線  $X$  の値が  $m$  から  $n$  へと遷移する確率を  $T_X^{m \rightarrow n}$  と表現すると、式 (9) が成立する。ただし、 $m, n$  の値として考えられるのは、それぞれ 0 か 1 の 2 通りである。

$$T_X^{0 \rightarrow 0} + T_X^{0 \rightarrow 1} + T_X^{1 \rightarrow 0} + T_X^{1 \rightarrow 1} = 1 \quad (9)$$

信号線  $X$  の信号値遷移確率とは、ある時刻  $t$  での  $X$  の値と時刻  $t + 1$  での  $X$  の値が異なる確率である。信号線  $X$  の信号値遷移確率を  $T_X$  とすると、式 (10) で表すことができる。

$$T_X = T_X^{0 \rightarrow 1} + T_X^{1 \rightarrow 0} \quad (10)$$

また信号値  $X$  の値が 1 になる確率を信号値確率  $S_X$  とすると、式 (11) で表すことができる。

$$S_X = T_X^{0 \rightarrow 1} + T_X^{1 \rightarrow 1} \quad (11)$$

ゲート  $g$  の出力値の信号値遷移確率は式 (12) で求めることができる。

$$T_g = \lim_{k \rightarrow \infty} \frac{n_g(k)}{k} \quad (12)$$



$n_g(k)$  は回路を起動させてから外部入力を  $k$  回印加するまでの間にゲート  $g$  の出力値が 0 から 1, または 1 から 0 に遷移した回数である. 回路の動作条件が一定であるとし,  $f$ ,  $V_{dd}$  は一定と仮定すると, 式 (8) より回路全体での平均消費電力  $P_{all}$  は式 (13) で近似できる.

$$P_{all} = 0.5 \cdot f \cdot V_{dd}^2 \cdot \sum(C_g \cdot T_g) \tag{13}$$

さらに, ゲートの負荷容量はそのファンアウト数  $N_g$  に比例すると仮定し, その比例定数を  $A$  とすると, 式 (13) は式 (14) に変形できる.

$$P_{all} = 0.5 \cdot f \cdot V_{dd}^2 \cdot A \cdot \sum(N_g \cdot T_g) \tag{14}$$

ここで,  $\sum(N_g \cdot T_g)$  をパワーファクタ PF と定義し, これを平均消費電力を見積る尺度として用いる.

組合せ論理回路の信号値遷移確率の評価として, 入力  $X_1, \dots, X_n$  を持つ AND ゲートを例にとる. 計算の容易性, 大規模回路への適応を考え, ゲートの入力線は互いに独立であると仮定する. 外部入力  $X_k (1 \leq k \leq n)$  に対する,  $T_{X_k}^{0 \rightarrow 0}$ ,  $T_{X_k}^{0 \rightarrow 1}$ ,  $T_{X_k}^{1 \rightarrow 0}$ ,  $T_{X_k}^{1 \rightarrow 1}$  はすでに与えられているものとする. 出力  $Y$  に対する  $T_Y^{0 \rightarrow 1}$  は式 (15) によって評価される.

$$T_Y^{0 \rightarrow 1} = \sum_{i=1}^n \left( \left( \prod_{j=1}^{i-1} T_{X_j}^{1 \rightarrow 1} \right) \cdot T_{X_i}^{0 \rightarrow 1} \cdot \left( \prod_{k=i+1}^n S_{X_k} \right) \right) \tag{15}$$

さらに  $T_Y^{1 \rightarrow 0}$  についても同様に評価することで, 出力  $Y$  の信号値遷移確率を導出することができる.

順序回路における組合せ回路部分の信号値遷移確率を計算するためには, フリップフロップの信号値遷移確率を知ることが必要である. 各フリップフロップに初期信号値遷移確率を与え, これを用いて内部信号値遷移確率を計算する. このとき, フリップフロップの入力となっている信号線の信号値遷移確率も計算し, この値を新しいフリップフロップの信号値遷移確率として更新し, これを用いて再び内部信号線の信号値遷移確率を計算する. 評価の手順を図 5 に示す.

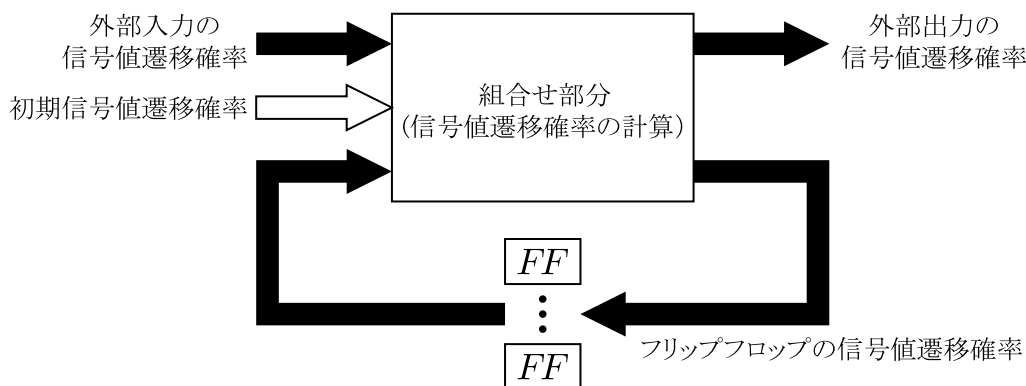


図 5: 順序回路における信号値遷移確率の導出

これらの処理を一定回数繰り返すことにより定常状態における信号値遷移確率を評価する。このとき、すべてのフリップフロップにおいて新たに計算された信号値遷移確率が前回使用した信号値遷移確率にすべて等しければ処理を終了する。

### 2.1.3 室山らが提案した低消費電力算術演算回路設計手法

算術演算回路はマイクロプロセッサをはじめ様々な LSI の重要な構成要素である。そのため、算術演算回路を構成するセルの選択は極めて重要である。算術演算回路を構成する各セルの入力信号パターンを考慮することにより、回路構造の異なる複数のセルの中から、最も適したセルを選択し、セルの入力端子の配線を決定することで算術演算回路の消費電力を削減することができる。特定の論理関数を実現する基本セルを多数使用して設計を行う論理回路に対して、使用される状況に応じてセルの回路構成を決定することが、遅延や電力および面積の削減に有効である。

ある基本セルの入力端子において、入力信号のパターンを連続した入力信号値のペアとして IPP(*Input Patterns Pair*) と定義する。IPP の集合はその特徴により分類できる。1 つは偏りのない IPP の集合である。偏りのない IPP の集合とは対象とする回路の全入力端子に全通りの IPP を与えた場合に IPP の集合に含まれる入力パターンの発生確率が等しい IPP の集合のことである。2 つめは偏りのある IPP の集合である。回路の全入力端子に全通りの IPP を与えたときに偏りのない IPP の集合以外の IPP の集合とする。例として乗算器を構成する 1 ビット全加算器 FA セルを考える。FA セルには、偏りのない IPP の集合の場合に低消費電力となるセルと、偏りのある IPP の集合の場合に低消費電力となるセルが存在する。IPP の集合の特徴を利用して同じ論理を実現するセルを使い分けることで電力を削減する。

FA セルを表す標準積和型の論理関数を式 (16) に示す。被加数を  $A$ 、加数を  $B$ 、下位桁上げを  $C_{in}$  とする。 $S$  は和出力、 $C_{out}$  は桁上げ出力である。

$$\left. \begin{aligned} S &= \bar{A}\bar{B}C_{in} + \bar{A}B\bar{C}_{in} + ABC_{in} + A\bar{B}\bar{C}_{in} \\ C_{out} &= AB + BC_{in} + C_{in}A \end{aligned} \right\} \quad (16)$$

偏りのない IPP の集合の場合に低消費電力なセルを  $FA_u$  とし、回路構造を図 6 に示す。

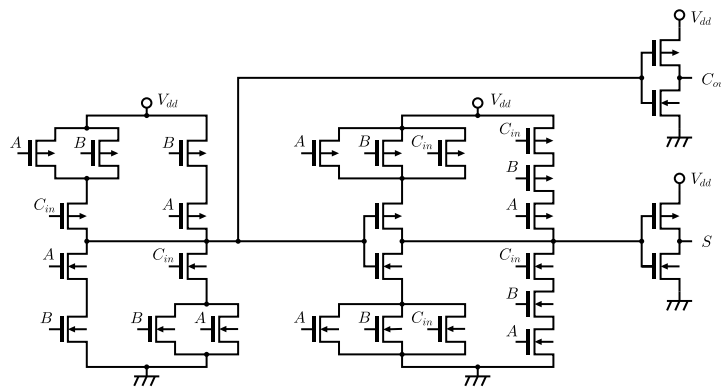


図 6:  $FA_u$  の回路図

$FA_u$  は  $A$ ,  $B$ ,  $C_{in}$  に対して対称性のある構造となっている。  $FA_u$  は式 (16) を次式 (17) に変形し、この式 (17) を基に回路を構成している。

$$\left. \begin{aligned} S &= ABC_{in} + (A + B + C_{in})\bar{C}_{out} \\ C_{out} &= AB + C_{in}(A + B) \end{aligned} \right\} \quad (17)$$

一方、偏りのある IPP の集合の場合に低消費電力なセルを  $FA_b$  とする。  $FA_b$  の回路構造を図 7 に示す。  $FA_b$  は  $A$ ,  $B$ ,  $C_{in}$  に対して非対称な構造をとっていることがわかる。

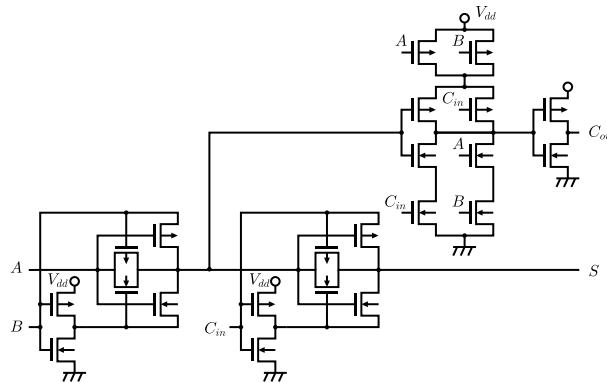


図 7:  $FA_b$  の回路図

$FA_b$  は式 (16) を次式 (18) に変形し、この式 (18) を基にして回路を構成していることがわかる。  $FA_b$  はトランジスタ数最小の実用的な 2 入力 XOR を利用して構成されている。

$$\left. \begin{aligned} S &= A \oplus B \oplus C_{in} \\ C_{out} &= AB + C_{in}(A \oplus B) \end{aligned} \right\} \quad (18)$$

FA セルを用いて算術演算回路を設計する場合、回路内の各 FA セルごとにも与えられる入力列のペアから IPP の発生確率を算出し、発生確率に偏りがなければ  $FA_u$  を、偏りがある場合には  $FA_b$  を用いることで低消費電力化が実現できる。

また FA セルでは 3 つの入力端子をつなぎ替えることによって電力の削減を実現することもできる。式 (16) より論理関数  $S$  と  $C_{out}$  は、ともに対称関数であるため、FA セルの入力端子  $A$ ,  $B$ ,  $C_{in}$  に接続される 3 つの信号線は交換が可能である。接続によっては、消費電力の値が異なる場合がある。3 つの入力端子ならば入力端子への割り当ては 6 通り考えることができる。その中から最も消費電力を小さくする割り当てを行うことで低消費電力化を実現する。入力端子のつなぎ替えによって電力が削減される例を図 8 に示す。SPICE を用いたシミュレーションの結果、信号線のつなぎ替えによって出力信号のスイッチング回数は変化しないが、セル内部のスイッチング回数が削減されることにより、低消費電力化が可能になることを実証した。特に回路構造的に対称性の低い  $FA_b$  は、対称性の強い  $FA_u$  に比べて入力端子のつなぎ替えによる消費電力の差が大きい。

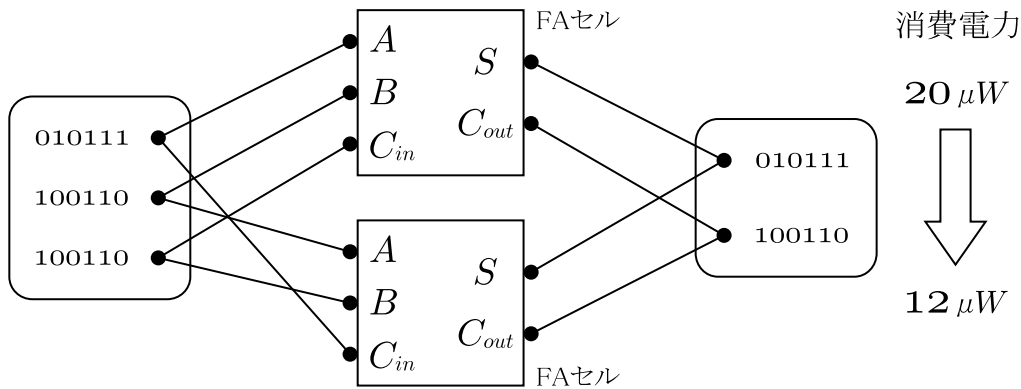


図 8: 入力端子のつなぎ替え

## 2.2 本手法と従来手法の違い

消費電力の見積り手法を前節で 2 つ紹介した。1 つは秋田らによる信号遷移確率に基づいた手法であり、もう 1 つは上田らによる信号値遷移確率に基づいた手法である。本研究では、室山らが提案した手法で評価の対象となった入力信号値のペアである IPP の発生確率に基づく消費電力の見積り手法を提案する。この 3 つの手法の違いを明確にするために、消費電力を見積るにあたって評価の対象となる、信号遷移確率、信号値遷移確率、IPP の発生確率の違いを整理する。

### 信号遷移確率

入力  $x$  の信号遷移確率は  $(\alpha_x, \beta_x)$  として表すことができる。

現状態が 0 であるとき、 $\alpha_x$  の確率で次状態が 0 になる。現状態が 0 であるとき、次状態が 1 になる確率は  $1 - \alpha_x$  である。

また現状態が 1 であるとき、 $\beta_x$  の確率で次状態が 1 になる。現状態が 1 であるとき、次状態が 0 になる確率は  $1 - \beta_x$  である。

入力  $y$  についても同様に信号遷移確率  $(\alpha_y, \beta_y)$  を定義する。ただし、入力  $x$  と  $y$  は互いに独立である。

### 信号値遷移確率

入力  $x$  の信号値遷移確率  $T_x$  とは、ある時刻  $t$  での入力  $x$  の値と時刻  $t + 1$  での入力  $x$  の値が異なる確率である。

ある時刻  $t$  での入力  $x$  の値  $x_t$  が時刻  $t + 1$  で  $x_{t+1}$  へと遷移する確率を  $T_x^{x_t \rightarrow x_{t+1}}$  とすると、信号値遷移確率  $T_x$  は  $T_x = T_x^{0 \rightarrow 1} + T_x^{1 \rightarrow 0}$  で与えられる。

ある時点で入力  $x$  の値が  $sig$  である確率を状態確率  $P_{x=sig}$  とすると、信号遷移確率  $(\alpha_x, \beta_x)$  を用いて、 $T_x^{0 \rightarrow 1} = P_{x=0} \cdot (1 - \alpha_x)$ 、 $T_x^{1 \rightarrow 0} = P_{x=1} \cdot (1 - \beta_x)$  と表すことができる。

入力  $y$  に関しても同様に信号値遷移確率  $T_y$  を定義することができる。ただし、入力  $x$  と  $y$  は互いに独立である。

### IPP の発生確率

入力  $x, y$  の連続する信号パターンを IPP と定義する。つまり、ある時刻  $t$  での入力信号値  $(x_t, y_t)$  と時刻  $t + 1$  での入力信号値  $(x_{t+1}, y_{t+1})$  のペアが IPP である。2 入力の場合、16 通りの IPP が存在する。

IPP の発生確率とは、ある時刻  $t$  での入力信号値  $(x_t, y_t)$  が時刻  $t + 1$  で  $(x_{t+1}, y_{t+1})$  へ遷移する確率である。IPP の発生確率を  $P_{x_t y_t \rightarrow x_{t+1} y_{t+1}}$  と表現する。

従来手法の問題点は、ゲートに与える入力をすべて互いに独立なものとして扱っている点にある。一般にゲートに与えられる入力は必ずしも互いに独立とは限らない。この問題を解決するために、入力の組合せの確率的遷移を考慮に入れる必要がある。本手法ではこの問題を連続する入力信号値のパターンを扱うことで対処している。同じ信号遷移確率、同じ信号値遷移確率である入力にも関わらず、消費電力に違いが現れる例を図 9 に示す。この例では 2 入力の AND 回路に 2 通りの入力  $(x, y_1)$ ,  $(x, y_2)$  を与えている。入力  $y_1, y_2$  の信号遷移確率、信号値遷移確率はともに等しい。しかし、(a) の出力  $z_1$  はクロックに同期して 0, 1 を繰り返し、その度に負荷容量の充放電による消費電力が発生している。一方、(b) の出力  $z_2$  は常に 0 であり、負荷容量の充放電による消費電力は発生しない。信号遷移確率に基づく手法と信号値遷移確率に基づく手法では、入力  $(x, y_1)$ ,  $(x, y_2)$  から求められる消費電力の予測値は同じ値になる。

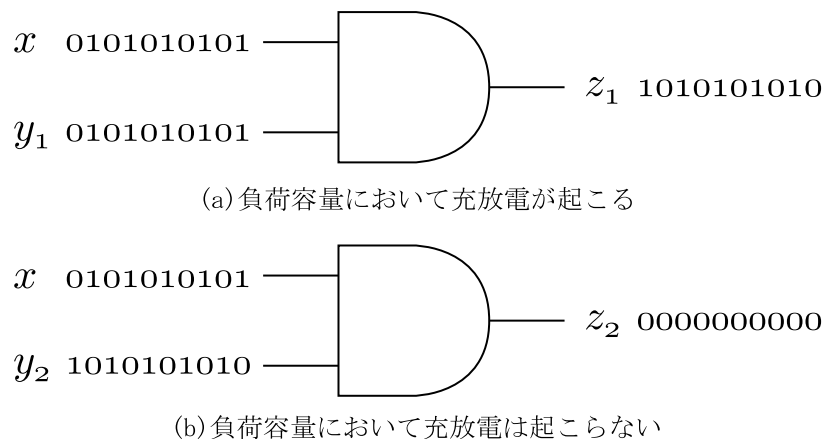


図 9: 消費電力の見積りに誤差が発生する例

IPP では図 9 に挙げた 2 通りの入力の組合せを区別して考えることができる。本手法では IPP を用いて入力の制約を厳しく評価している。これによって、より正確に消費電力を見積ることが可能になると考えられる。

### 3 IPP に基づく消費電力の見積り手法

本章では，連続する入力信号値のペア IPP に基づいて CMOS 論理回路の負荷容量充放電による消費電力の期待値を見積る手法を提案する．IPP の発生確率に基づき CMOS 論理回路の確率モデル化を行う．また，CMOS 論理回路では論理的に対称なゲート入力であっても回路構造的には非対称であることが多いことから，入力のつなぎ替えにより消費電力を低減できることが知られている．このことに着目し，IPP を用いてゲート入力の最適な割り当てを行う手法を提案する．本手法の適用対象として，論理回路の基本的な構成要素である 2 入力 CMOS NAND ゲートを用いる．

#### 3.1 IPP の定義

2 入力 CMOS NAND ゲートの入力  $(x, y)$  の組合せは 4 通りが考えられる．表 2 に NAND ゲートの真理値表を示す．

表 2: 2 入力 NAND ゲートの真理値表

入力		出力
$x$	$y$	$z$
0	0	1
0	1	1
1	0	1
1	1	0

2 入力 NAND ゲートに対する時刻  $t$  での入力信号値  $(x_t, y_t)$  と時刻  $t+1$  での入力信号値  $(x_{t+1}, y_{t+1})$  のペアを 2 入力ゲートに対する IPP と定義する．それぞれの時刻での入力信号値の組合せは 4 通り，よって IPP は  $4^2 = 16$  通りの組合せが存在する．表 3 に 2 入力ゲートの IPP の組合せを示す．

表 3: 2 入力ゲートに対する IPP の組合せ

IPP : $(x_t, y_t) \rightarrow (x_{t+1}, y_{t+1})$			
$(0, 0) \rightarrow (0, 0)$	$(0, 1) \rightarrow (0, 0)$	$(1, 0) \rightarrow (0, 0)$	$(1, 1) \rightarrow (0, 0)$
$(0, 0) \rightarrow (0, 1)$	$(0, 1) \rightarrow (0, 1)$	$(1, 0) \rightarrow (0, 1)$	$(1, 1) \rightarrow (0, 1)$
$(0, 0) \rightarrow (1, 0)$	$(0, 1) \rightarrow (1, 0)$	$(1, 0) \rightarrow (1, 0)$	$(1, 1) \rightarrow (1, 0)$
$(0, 0) \rightarrow (1, 1)$	$(0, 1) \rightarrow (1, 1)$	$(1, 0) \rightarrow (1, 1)$	$(1, 1) \rightarrow (1, 1)$

それぞれの IPP が発生する確率を  $P_{mn \rightarrow m'n'}$  と表現する. ただし,  $m, n, m', n'$  はそれぞれ 0 か 1 のどちらかの値である.  $P_{mn \rightarrow m'n'}$  は次式 (19) で求めることができる.

$$P_{mn \rightarrow m'n'} = \lim_{k \rightarrow \infty} \frac{N_{mn \rightarrow m'n'}(k)}{k} \quad (19)$$

$N_{mn \rightarrow m'n'}(k)$  はゲートを起動させてから入力を  $k$  回印加するまでの間にゲートの入力信号値  $(x, y)$  が  $(m, n)$  から  $(m', n')$  に遷移した回数である.

### 3.2 論理ゲートのモデル化

論理回路の基本的な構成要素である 2 入力 NAND ゲートのゲートモデルを図 10 に示す. ここで  $x, y$  はゲートに与えられる入力,  $z$  はゲートの出力である.

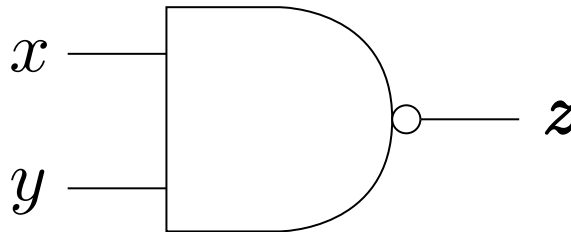


図 10: 2 入力 NAND のゲートモデル

これをトランジスタモデルおよびスイッチモデルで図示したものが図 11 である. ここで  $C_x$  は NAND ゲートの出力容量 (外部容量),  $C_y$  は拡散容量等の内部ノード容量 (内部容量),  $V_{dd}$  は電源電圧である.

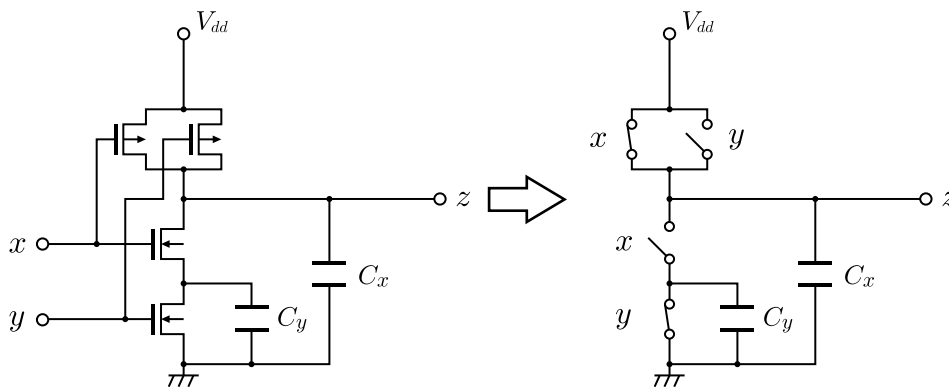


図 11: 2 入力 NAND のトランジスタモデルおよびスイッチモデル

入力  $(x, y)$  が与えられたときの状態を  $S_{xy}$  とすると, 入力の組合せによって  $S_{00}, S_{01}, S_{10}, S_{11}$  の 4 つの状態が存在し, 状態遷移図は図 12 のようになる. 状態は入力  $(x, y)$  が与えられると遷移する.

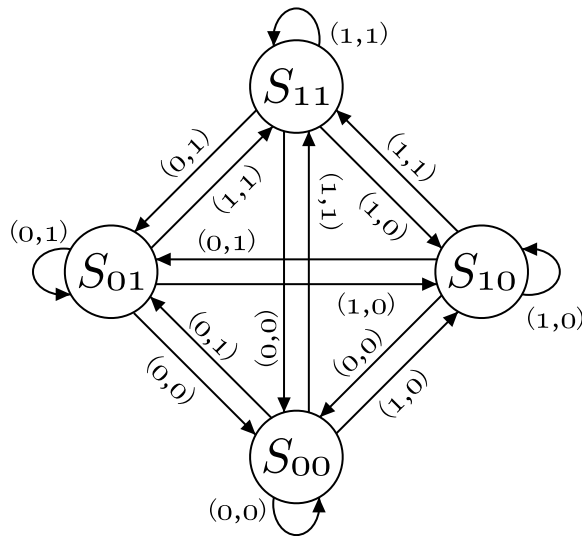


図 12: 状態遷移図

入力  $(x, y)$  の 4 通りの組合せに対し，外部容量  $C_x$ ，内部容量  $C_y$  の各容量では電荷が充電されている場合と電荷が放電されている場合とに 2 値化することができる．電荷が充電されている場合を 1，電荷が放電されている場合を 0 とすると，状態  $S_{xy}$  に対応する各容量の状態は次のような関係がある．

- 状態  $S_{00}$  ならば，外部容量  $C_x$  の状態は 1，内部容量  $C_y$  の状態は 0 または 1
- 状態  $S_{01}$  ならば，外部容量  $C_x$  の状態は 1，内部容量  $C_y$  の状態は 0
- 状態  $S_{10}$  ならば，外部容量  $C_x$  の状態は 1，内部容量  $C_y$  の状態は 1
- 状態  $S_{11}$  ならば，外部容量  $C_x$  の状態は 0，内部容量  $C_y$  の状態は 0

現状態が  $S_{00}$  であるとき，内部容量  $C_y$  は 0 または 1 のどちらかの値になる．このときの状態を浮遊状態と定義する．図 13 はスイッチモデルにおける浮遊状態を表す．

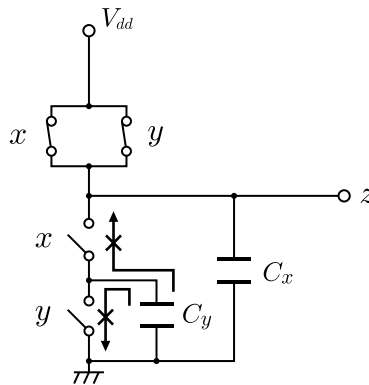


図 13: スイッチモデルにおける浮遊状態



図 13 から分かるように、状態  $S_{00}$  であるとき、内部容量  $C_y$  は電源電圧  $V_{dd}$  から GND から接続されていない状態になる。そのため、内部容量  $C_y$  の状態は前状態の  $C_y$  の状態が保持される。そこで状態  $S_{00}$  において、内部容量  $C_y$  が充電されている場合と放電されている場合を区別し、それぞれ状態  $S_{00(1)}$  と  $S_{00(0)}$  に分けて考える。浮遊状態を考慮した状態遷移図を図 14 に示す。状態は入力  $(x, y)$  が与えられると遷移する。

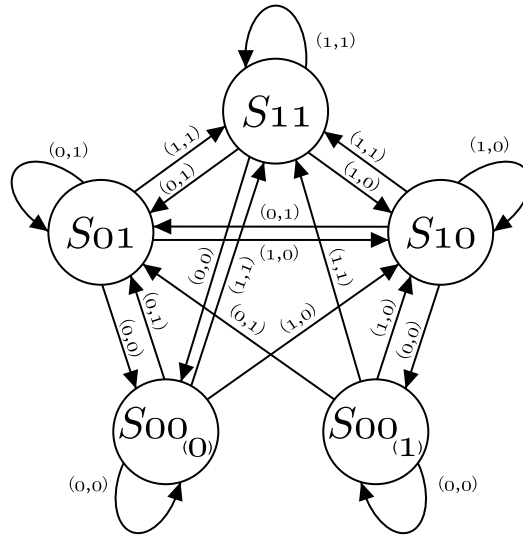


図 14: 浮遊状態を考慮した状態遷移図

ある時点で状態  $S$  にいる確率を  $P_S$  で表すとすると、 $P_{S_{00(1)}}$ ,  $P_{S_{00(0)}}$  は排反なので式 (20) が成立する。

$$P_{S_{00}} = P_{S_{00(1)}} + P_{S_{00(0)}} \tag{20}$$

$n$  回遷移を繰り返し現状態が  $S_{00(0)}$  であるならば、前状態として考えられるのは  $S_{11}$ ,  $S_{01}$ ,  $S_{00(0)}$  の 3 通りである。さらに前状態  $S_{00(0)}$  に関して、前々状態は  $S_{11}$ ,  $S_{01}$ ,  $S_{00(0)}$  の 3 通りがあり、状態  $S_{00(0)}$  に関して再帰的であることがわかる。ここでは前状態  $S_{00(0)}$  を無視して考えることで近似を施す。より正確な見積りを行うには、前状態の  $S_{00(0)}$  を考慮に入れることで可能になるが、いくつ前の  $S_{00(0)}$  まで考慮するかを決める必要がある。

状態  $S_{00(1)}$  についても同様に考えることができる。現状態が  $S_{00(1)}$  であるならば、前状態として考えられるのは  $S_{10}$ ,  $S_{00(1)}$  の 2 通りがあり、状態  $S_{00(1)}$  に関して再帰的である。ここでは前状態  $S_{00(1)}$  を無視して考えることで近似を施す。

現状態が  $S_{00}$  であるとき、内部容量  $C_y$  の状態が 1 である確率を  $P'_{S_{00(1)}}$ 、内部容量  $C_y$  の状態が 0 である確率を  $P'_{S_{00(0)}}$  として、それぞれの確率を IPP の発生確率  $P_{mn \rightarrow m'n'}$  ( $m, n, m', n' \in 0, 1$ )

を用いて式 (21) で近似する.

$$\left. \begin{aligned} P'_{S_{00(1)}} &= \frac{P_{10 \rightarrow 00}}{P_{11 \rightarrow 00} + P_{10 \rightarrow 00} + P_{01 \rightarrow 00}} \\ P'_{S_{00(0)}} &= \frac{P_{11 \rightarrow 00} + P_{01 \rightarrow 00}}{P_{11 \rightarrow 00} + P_{10 \rightarrow 00} + P_{01 \rightarrow 00}} \end{aligned} \right\} \quad (21)$$

よってある時点で状態  $S_{00(1)}$ ,  $S_{00(0)}$  である確率  $P_{S_{00(1)}}$ ,  $P_{S_{00(0)}}$  は式 (22) となる.

$$\left. \begin{aligned} P_{S_{00(1)}} &= P'_{S_{00(1)}} \cdot P_{S_{00}} = \frac{P_{10 \rightarrow 00}}{P_{11 \rightarrow 00} + P_{10 \rightarrow 00} + P_{01 \rightarrow 00}} P_{S_{00}} \\ P_{S_{00(0)}} &= P'_{S_{00(0)}} \cdot P_{S_{00}} = \frac{P_{11 \rightarrow 00} + P_{01 \rightarrow 00}}{P_{11 \rightarrow 00} + P_{10 \rightarrow 00} + P_{01 \rightarrow 00}} P_{S_{00}} \end{aligned} \right\} \quad (22)$$

また式 (23) から式 (20) が成立していることが確認できる.

$$P_{S_{00(1)}} + P_{S_{00(0)}} = \left( \frac{P_{10 \rightarrow 00}}{P_{11 \rightarrow 00} + P_{10 \rightarrow 00} + P_{01 \rightarrow 00}} + \frac{P_{11 \rightarrow 00} + P_{01 \rightarrow 00}}{P_{11 \rightarrow 00} + P_{10 \rightarrow 00} + P_{01 \rightarrow 00}} \right) P_{S_{00}} = P_{S_{00}} \quad (23)$$

### 3.3 論理ゲートの消費電力の見積り

NAND ゲートの外部容量, 内部容量にそれぞれ電荷が蓄えられる確率を IPP の発生確率を用いて表すことにする.

#### (1) 外部容量 $C_x$ に電荷が蓄えられる確率

外部容量  $C_x$  は入力  $(x, y)$  が  $(1, 1)$  の場合のみ放電が起こり, 電荷が 0 となる. つまり, 状態  $S_{11}$  から,  $S_{11}$  以外の状態に遷移する場合に充電が起こる. 外部容量  $C_x$  に電荷が蓄えられる確率を  $Q_x$  とすると, その確率は IPP の発生確率を用いて式 (24) で表すことができる.

$$Q_x = P_{11 \rightarrow 00} + P_{11 \rightarrow 01} + P_{11 \rightarrow 10} \quad (24)$$

#### (2) 内部容量 $C_y$ に電荷が蓄えられる確率

内部容量  $C_y$  は状態  $S_{00(0)}$ ,  $S_{01}$ ,  $S_{11}$  から状態  $S_{10}$  と遷移する場合に充電が起こる. 内部容量  $C_y$  に電荷が蓄えられる確率を  $Q_y$  とすると, その確率は IPP の発生確率を用いて式 (25) で表すことができる.

$$Q_y = P'_{S_{00(0)}} P_{00 \rightarrow 10} + P_{01 \rightarrow 10} + P_{11 \rightarrow 10} \quad (25)$$

外部容量  $C_x$  に充電が起こるたびに, 電源電圧  $V_{dd}$  から  $C_x V_{dd}^2$  のエネルギーが供給され, 内部容量  $C_y$  に充電が起こるたびに, 電源電圧  $V_{dd}$  から  $C_y V_{dd}(V_{dd} - V_t)$  のエネルギーが供給される. ただし,  $V_t$  は nMOSFET のしきい電圧である. よって, クロック周波数を  $f$  としたときの消費電力の期待値  $Power$  は式 (26) となる.

$$Power = f \{ Q_x C_x V_{dd}^2 + Q_y C_y V_{dd}(V_{dd} - V_t) \} \quad (26)$$

### 3.4 入力端子の最適割り当てによる低消費電力化

2入力 NAND ゲートは論理的に対称なゲート入力である。しかし、図 11 が示すように、トランジスタレベルでの回路構造は非対称であり、入力端子  $[x, y]$  に入力信号  $(i, j)$  を割り当てた場合と入力信号  $(j, i)$  を割り当てた場合とでは消費電力に違いが生じる可能性がある。そこで低消費電力化という意味での最適な入力端子の割り当て方を与える式を導くことにする。

入力端子  $[x, y]$  に入力信号  $(i, j)$  を割り当てた場合の IPP の発生確率を  $P_{mn \rightarrow m'n'}^{ij}$ 、入力信号  $(j, i)$  を割り当てた場合の IPP の発生確率を  $P_{mn \rightarrow m'n'}^{ji}$  とする。ただし、 $m, n, m', n'$  は 0 か 1 のどちらかの値である。 $P_{mn \rightarrow m'n'}^{ij}$  と  $P_{mn \rightarrow m'n'}^{ji}$  には表 4 のような対応関係がある。

表 4: IPP の発生確率対応表

IPP の発生確率	
$P_{mn \rightarrow m'n'}^{ij}$	$P_{mn \rightarrow m'n'}^{ji}$
$P_{00 \rightarrow 00}^{ij}$	$P_{00 \rightarrow 00}^{ji}$
$P_{00 \rightarrow 01}^{ij}$	$P_{00 \rightarrow 10}^{ji}$
$P_{00 \rightarrow 10}^{ij}$	$P_{00 \rightarrow 01}^{ji}$
$P_{00 \rightarrow 11}^{ij}$	$P_{00 \rightarrow 11}^{ji}$
$P_{01 \rightarrow 00}^{ij}$	$P_{10 \rightarrow 00}^{ji}$
$P_{01 \rightarrow 01}^{ij}$	$P_{10 \rightarrow 10}^{ji}$
$P_{01 \rightarrow 10}^{ij}$	$P_{10 \rightarrow 01}^{ji}$
$P_{01 \rightarrow 11}^{ij}$	$P_{10 \rightarrow 11}^{ji}$
$P_{10 \rightarrow 00}^{ij}$	$P_{01 \rightarrow 00}^{ji}$
$P_{10 \rightarrow 01}^{ij}$	$P_{01 \rightarrow 10}^{ji}$
$P_{10 \rightarrow 10}^{ij}$	$P_{01 \rightarrow 01}^{ji}$
$P_{10 \rightarrow 11}^{ij}$	$P_{01 \rightarrow 11}^{ji}$
$P_{11 \rightarrow 00}^{ij}$	$P_{11 \rightarrow 00}^{ji}$
$P_{11 \rightarrow 01}^{ij}$	$P_{11 \rightarrow 10}^{ji}$
$P_{11 \rightarrow 10}^{ij}$	$P_{11 \rightarrow 01}^{ji}$
$P_{11 \rightarrow 11}^{ij}$	$P_{11 \rightarrow 11}^{ji}$

入力端子  $[x, y]$  に入力信号  $(i, j)$  を割り当てた場合に、外部容量  $C_x$ 、内部容量  $C_y$  に電荷が蓄えられる確率をそれぞれ  $Q_x^{ij}$ 、 $Q_y^{ij}$  とすると、式 (24) と式 (25) より式 (27) で表すことができる。

$$\left. \begin{aligned} Q_x^{ij} &= P_{11 \rightarrow 00}^{ij} + P_{11 \rightarrow 01}^{ij} + P_{11 \rightarrow 10}^{ij} \\ Q_y^{ij} &= P_{S_{00(0)}^{ij}} P_{00 \rightarrow 10}^{ij} + P_{01 \rightarrow 10}^{ij} + P_{11 \rightarrow 10}^{ij} \end{aligned} \right\} \quad (27)$$

$P'_{S_{00(0)}ij}$  は入力信号  $(i, j)$  が  $(0, 0)$  であるとき、内部容量  $C_y$  に蓄えられている電荷が 0 である確率であり、式 (21) より次式 (28) で与えられる。

$$P'_{S_{00(0)}ij} = \frac{P_{11 \rightarrow 00}^{ij} + P_{01 \rightarrow 00}^{ij}}{P_{11 \rightarrow 00}^{ij} + P_{10 \rightarrow 00}^{ij} + P_{01 \rightarrow 00}^{ij}} \quad (28)$$

同様に入力端子  $[x, y]$  に入力信号  $(j, i)$  を割り当てた場合に、外部容量  $C_x$ 、内部容量  $C_y$  に電荷が蓄えられる確率をそれぞれ  $Q_x^{ji}$ 、 $Q_y^{ji}$  とすると、式 (29) で表すことができる。

$$\left. \begin{aligned} Q_x^{ji} &= P_{11 \rightarrow 00}^{ji} + P_{11 \rightarrow 01}^{ji} + P_{11 \rightarrow 10}^{ji} \\ Q_y^{ji} &= P'_{S_{00(0)}ji} P_{00 \rightarrow 10}^{ji} + P_{01 \rightarrow 10}^{ji} + P_{11 \rightarrow 10}^{ji} \end{aligned} \right\} \quad (29)$$

$P'_{S_{00(0)}ji}$  は入力信号  $(j, i)$  が  $(0, 0)$  であるとき、内部容量  $C_y$  に蓄えられている電荷が 0 である確率であり、次式 (30) で与えられる。

$$P'_{S_{00(0)}ji} = \frac{P_{11 \rightarrow 00}^{ji} + P_{01 \rightarrow 00}^{ji}}{P_{11 \rightarrow 00}^{ji} + P_{10 \rightarrow 00}^{ji} + P_{01 \rightarrow 00}^{ji}} \quad (30)$$

ここで、表 4 をもとに入力信号  $(i, j)$  の IPP の発生確率を用いて式 (29) と式 (30) を変形すると、式 (31) と式 (32) が得られる。

$$\left. \begin{aligned} Q_x^{ji} &= P_{11 \rightarrow 00}^{ij} + P_{11 \rightarrow 10}^{ij} + P_{11 \rightarrow 01}^{ij} \\ Q_y^{ji} &= P'_{S_{00(0)}ij} P_{00 \rightarrow 01}^{ij} + P_{10 \rightarrow 01}^{ij} + P_{11 \rightarrow 01}^{ij} \end{aligned} \right\} \quad (31)$$

$$P'_{S_{00(0)}ji} = \frac{P_{11 \rightarrow 00}^{ij} + P_{10 \rightarrow 00}^{ij}}{P_{11 \rightarrow 00}^{ij} + P_{01 \rightarrow 00}^{ij} + P_{10 \rightarrow 00}^{ij}} \quad (32)$$

式 (27)、式 (28) と式 (31)、式 (32) とを比較すると、 $Q_x^{ij} = Q_x^{ji}$  であるため、入力を入れ替えても外部容量  $C_x$  では充放電による消費電力の大きさに差が表れないことがわかる。よって、消費電力の大きさに差が表れるのは内部容量  $C_y$  の充放電頻度が異なるためである。つまり、内部容量  $C_y$  において充電が起こる確率を比較することで入力信号の最適な割り当てを与えることができる。最適な割り当てを与えるための判別式  $D$  を式 (33) のように定義する。

$$D = Q_y^{ij} - Q_y^{ji} \quad (33)$$

$D < 0$  ならば入力端子  $[x, y]$  に入力信号  $(i, j)$  を割り当てると消費電力は低減し、 $D > 0$  ならば入力端子  $[x, y]$  に入力信号  $(j, i)$  を割り当てると消費電力は低減する。

## 4 本手法の適用例

本稿で提案した IPP に基づく消費電力見積り手法は，NAND ゲート以外の論理素子にも適用することができ，複数ゲートからなる回路にも応用することができる．以下では，基本論理素子であるインバータゲート，さらに 2 入力 NAND ゲートとインバータゲートの接続による複数ゲートから構成される回路，加えて順序回路として SR フリップフロップについて IPP の発生確率モデルによって消費電力を導出する．

### 4.1 インバータゲート

#### 4.1.1 インバータゲートのモデル化

最も基本的な CMOS 論理回路は，入力信号を反転して出力するインバータゲートである．インバータゲートのゲートモデルを図 15 に，トランジスタモデルを図 16 に示す． $x$  は入力， $z$  は出力であり， $V_{dd}$  は電源電圧， $C_L$  は出力容量である．

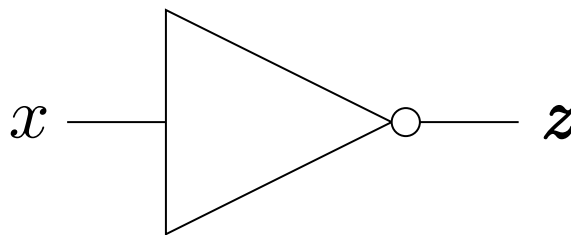


図 15: インバータのゲートモデル

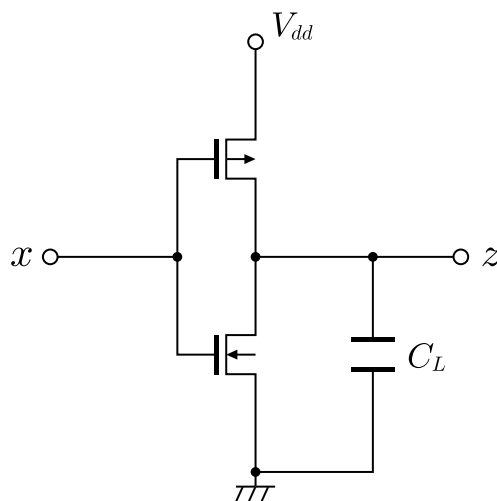


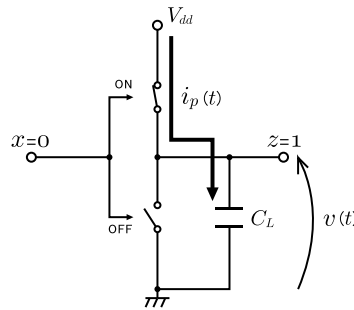
図 16: インバータのトランジスタモデル

インバータゲートの真理値表は表 5 である．

表 5: インバータゲートの真理値表

入力	出力
$x$	$y$
0	1
1	0

インバータゲートをスイッチモデル化して考えると、入力  $x$  が 1 から 0 へ遷移するとき、電源電圧  $V_{dd}$  から出力容量  $C_L$  にエネルギーが供給され充電が起こる (図 17).

図 17: 出力容量  $C_L$  の充電

充電時に pMOSFET に流れる電流を  $i_p(t)$ 、出力電圧を  $v(t)$  とすると、充電時に消費されるエネルギー  $E_c$  は次式 (34) で与えられる.

$$\begin{aligned}
 E_c &= \int_0^{\infty} i_p(t)[V_{dd} - v(t)]dt \\
 &= V_{dd} \int_0^{\infty} i_p(t)dt - \int_0^{\infty} i_p(t)v(t)dt
 \end{aligned} \tag{34}$$

式 (34) の第 1 項は電源電圧から供給されるエネルギー、第 2 項は出力容量  $C_L$  に蓄積されるエネルギーである。いま、充電時に流れる電流  $i_p(t)$  と出力容量  $C_L$  に蓄えられる電荷量に関して次式 (35) が成り立っている。

$$i_p(t)dt = C_L dv(t) \tag{35}$$

式 (34) と式 (35) から、式 (36) を導き出すことができる。

$$\begin{aligned}
 E_c &= C_L V_{dd} \int_0^{V_{dd}} dv(t) - C_L \int_0^{V_{dd}} v(t)dv(t) \\
 &= C_L V_{dd}^2 - \frac{C_L V_{dd}^2}{2}
 \end{aligned} \tag{36}$$

つまり，電源電圧からは  $C_L V_{dd}^2$  のエネルギーが供給され，半分を pMOSFET が消費し，残りの半分が出力容量  $C_L$  に蓄積される。

入力  $x$  が 0 から 1 へ遷移するとき，出力容量  $C_L$  では放電が起こり，蓄積されたエネルギーを消費する (図 18)。

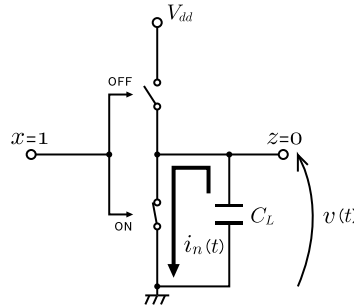


図 18: 出力容量  $C_L$  の放電

放電時に nMOSFET に流れる電流を  $i_n(t)$ ，出力電圧を  $v(t)$  とすると，消費されるエネルギー  $E_d$  は式 (37) で表すことができる。

$$E_d = \int_0^{\infty} i_n(t)[0 - v(t)]dt \quad (37)$$

いま，放電時に流れる電流  $i_n(t)$  と出力容量  $C_L$  に蓄えられる電荷量に関して次式 (38) が成り立っている。

$$i_n(t)dt = C_L dv(t) \quad (38)$$

式 (37) と式 (38) から，式 (39) を導き出すことができる。

$$\begin{aligned} E_d &= C_L \int_0^{V_{dd}} v(t)dv(t) \\ &= \frac{C_L V_{dd}^2}{2} \end{aligned} \quad (39)$$

つまり，出力容量  $C_L$  に蓄積されたエネルギーと等しいことがわかる。よって 1 回の充放電で消費されるエネルギーは  $C_L V_{dd}^2$  である。

#### 4.1.2 インバータゲートの消費電力の見積り

インバータゲートは 1 入力であるため，4 通りの IPP が存在する。ある時刻  $t$  での入力の値が  $x_t$  のとき，1 入力に対する IPP の発生確率を  $P_{x_t \rightarrow x_{t+1}}$  で定義する。これを用いて，出力容量  $C_L$  に電荷が蓄えられる確率  $Q_{inv}$  は式 (40) で与えられる。

$$Q_{inv} = P_{1 \rightarrow 0} \quad (40)$$

クロック周波数  $f$  を用いると、インバータの消費電力の期待値  $Power_{inv}$  は式 (41) となる.

$$Power_{inv} = fQ_{inv}C_LV_{dd}^2 \quad (41)$$

## 4.2 複数ゲートから構成される回路

本手法の適用例として、複数ゲートから構成される回路についての消費電力見積り手法を検討する. 2 入力 NAND ゲートとインバータゲートから構成される回路の消費電力の見積りを行う.

### 4.2.1 複数ゲートから構成される回路のモデル化

2 入力 NAND ゲートとインバータゲートを図 19 のように接続する.  $x$ ,  $y$  は入力,  $z$  は最終的な出力である.

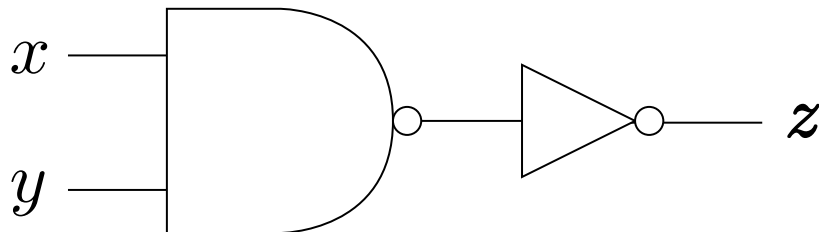


図 19: 複数ゲートから構成される回路のゲートモデル

NAND ゲートとインバータゲートによって構成された回路のトランジスタモデルを図 20 に示す.  $w$  は NAND ゲートの出力線,  $C_x$ ,  $C_y$  はそれぞれ NAND ゲートの出力容量, 内部容量である.  $C_L$  はインバータゲートの出力容量であり,  $V_{dd}$  は電源電圧である.

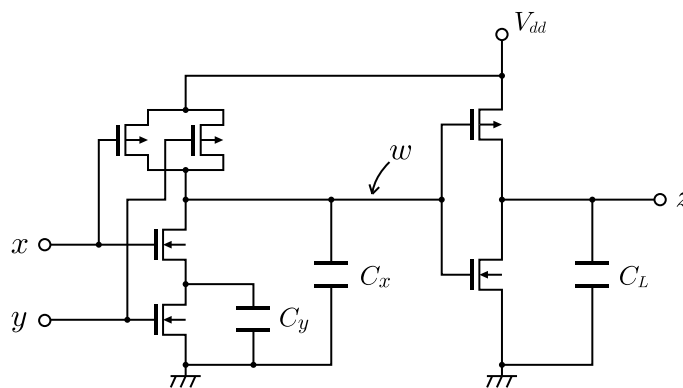


図 20: 複数ゲートから構成される回路のトランジスタモデル



真理値表を表 6 に示す.

表 6: 複数ゲートから構成される回路の真理値表

入力		出力	
$x$	$y$	$w$	$z$
0	0	1	0
0	1	1	0
1	0	1	0
1	1	0	1

### (1) NAND ゲート部の確率モデル

2 入力 NAND ゲートに対する IPP の組合せは 16 通り存在する. ある時刻  $t$  における 2 入力 NAND ゲートに対する入力  $(x_t, y_t)$  から時刻  $t + 1$  での入力  $(x_{t+1}, y_{t+1})$  への IPP が発生する確率を  $P_{x_t y_t \rightarrow x_{t+1} y_{t+1}}$  と表現すると, 2 入力 NAND ゲートの外部容量  $C_x$ , 内部容量  $C_y$  に電荷が蓄えられる確率  $Q_x^{nand}$ ,  $Q_y^{nand}$  は式 (42) で与えられる.

$$\left. \begin{aligned} Q_x^{nand} &= P_{11 \rightarrow 00} + P_{11 \rightarrow 01} + P_{11 \rightarrow 10} \\ Q_y^{nand} &= P'_{S_{00(0)}} P_{00 \rightarrow 10} + P_{01 \rightarrow 10} + P_{11 \rightarrow 10} \end{aligned} \right\} \quad (42)$$

ただし, ある時点で入力  $(x, y)$  が  $(0, 0)$  であるとき, 内部容量  $C_y$  の電荷が 0 である確率  $P'_{S_{00(0)}}$  を式 (43) とする.

$$P'_{S_{00(0)}} = \frac{P_{11 \rightarrow 00} + P_{01 \rightarrow 00}}{P_{11 \rightarrow 00} + P_{01 \rightarrow 00} + P_{10 \rightarrow 00}} \quad (43)$$

### (2) インバータゲート部の確率モデル

電源電圧  $V_{dd}$  によるインバータゲートの出力容量  $C_L$  の充電は, 出力  $z$  が 0 から 1 に遷移する場合に起こる. インバータゲートの入力である NAND ゲートの出力線  $w$  の信号パターンを IPP を用いて表し, ある時刻  $t$  での出力線  $w$  の値  $w_t$  から時刻  $t + 1$  での値  $w_{t+1}$  への IPP の発生確率を  $P_{w_t \rightarrow w_{t+1}}^w$  と定義する. 式 (40) より, インバータゲートの出力容量  $C_L$  に充電が起こる確率  $Q_{C_L}^{inv}$  は出力線  $w$  の IPP の発生確率を用いて式 (44) と表すことができる.

$$Q_{C_L}^{inv} = P_{1 \rightarrow 0}^w \quad (44)$$

表 6 の真理値表より, 出力線  $w$  の値が 1 から 0 へと変化するのには次の遷移が起こる場合である.

- 入力  $(x, y)$  が  $(0, 0)$  から  $(1, 1)$  へ遷移する場合

- 入力  $(x, y)$  が  $(0, 1)$  から  $(1, 1)$  へ遷移する場合
- 入力  $(x, y)$  が  $(1, 0)$  から  $(1, 1)$  へ遷移する場合

よって、式 (44) は入力  $(x, y)$  の IPP の発生確率を用いて式 (45) となる。

$$Q_{C_L}^{inv} = P_{1 \rightarrow 0}^w = P_{00 \rightarrow 11} + P_{01 \rightarrow 11} + P_{10 \rightarrow 11} \quad (45)$$

#### 4.2.2 複数ゲートから構成される回路の消費電力の見積り

NAND ゲートでは一回充電が起きる度に、外部容量  $C_x$  では  $C_x V_{dd}^2$ 、内部容量では  $C_y V_{dd}(V_{dd} - V_t)$  のエネルギーが電源電圧  $V_{dd}$  から供給される。(ただし、 $V_t$  は nMOSFET のしきい電圧である。) インバータゲートでは  $C_L V_{dd}^2$  のエネルギーが供給される。よって、回路全体の消費電力の期待値  $Power_{nor}$  は、クロック周波数を  $f$  として式 (46) である。

$$Power_{nor} = f \{ Q_x^{nand} C_x V_{dd}^2 + Q_y^{nand} C_y V_{dd} (V_{dd} - V_t) + Q_{C_L}^{inv} C_L V_{dd}^2 \} \quad (46)$$

### 4.3 RS フリップフロップ

フリップフロップとは論理回路における基本的な素子で、入力があるまで現在の状態を保持し、入力があった時点でその状態が変化するという素子である。これは一つの状態を表現できるということで、1bit の記憶容量を持つことに等しい。実際、半導体メモリの一種である SRAM はこのフリップフロップ素子を応用したもので作られている。そのフリップフロップの中でも最も基本的な回路が RS フリップフロップである。

#### 4.3.1 RS フリップフロップのモデル化

RS フリップフロップは 2 つの NAND ゲート  $A, B$  を図 21 のようにクロスに接続した構造をとる。RS フリップフロップでは、

- セット (set) 入力端子  $\bar{S}$
- リセット (reset) 入力端子  $\bar{R}$
- 出力端子  $Q$
- 反転出力端子  $\bar{Q}$

をもっている。RS フリップフロップをモデル化するにあたって、各 NAND ゲートからなる回路として扱うこともできるが、2 つの入力間の相関が極めて強いため、フリップフロップ自体を独立した要素としてモデル化を行うことにする。

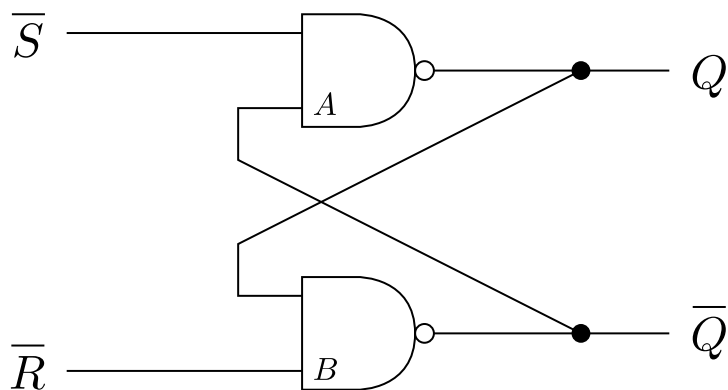


図 21: RS フリップフロップのゲートモデル

RS フリップフロップの真理値表を表 7 に示す。

表 7: RS フリップフロップ真理値表

入力				出力	
$\overline{S}$	$\overline{R}$	$Q_{n-1}$	$\overline{Q}_{n-1}$	$Q_n$	$\overline{Q}_n$
0	0	0	0	1	1
0	0	0	1	1	1
0	0	1	0	1	1
0	0	1	1	1	1
0	1	0	0	1	1
0	1	0	1	1	1
0	1	1	0	1	0
0	1	1	1	1	0
1	0	0	0	1	1
1	0	0	1	0	1
1	0	1	0	1	1
1	0	1	1	0	1
1	1	0	0	1	1
1	1	0	1	0	1
1	1	1	0	1	0
1	1	1	1	0	0

ただし、RS フリップフロップに  $n - 1$  回目の入力を与えられたときの出力を  $Q_n$ ,  $\bar{Q}_n$  と表現することにする。RS フリップフロップでは入力  $\bar{S}$  と  $\bar{R}$  を同時に 0 にする事は禁止されている。これは、仮に入力  $\bar{S}$  と  $\bar{R}$  を同時に 0 となることを許した場合、入力  $(\bar{S}, \bar{R})$  が  $(0, 0)$  から  $(1, 1)$  へと遷移すると表 7 の真理値表からもわかるように、状態  $(Q, \bar{Q})$  は  $(0, 0)$  と  $(1, 1)$  を次の入力を与えられるまで繰り返し変化することになり、定常状態にならない。回路動作には問題はないが、メモリ素子として矛盾が生じるため、入力  $\bar{S}$  と  $\bar{R}$  を同時に 0 にする事は禁止されている。このことを踏まえた上で、さらに表 7 の真理値表から、定常状態を考慮した場合の真理値表を得ることができる。表 8 に示す。

表 8: 定常状態における真理値表

入力				出力	
$\bar{S}$	$\bar{R}$	$Q_{n-1}$	$\bar{Q}_{n-1}$	$Q_n$	$\bar{Q}_n$
0	1	1	0	1	0
1	0	0	1	0	1
1	1	0	1	0	1
1	1	1	0	1	0

#### 4.3.2 定常状態における状態遷移

RS フリップフロップの入力  $(\bar{S}, \bar{R})$  だけを考えれば、定常状態における状態遷移図は図 22 になる。入力  $(\bar{S}, \bar{R})$  が与えられたときの状態を  $S_{\bar{S}\bar{R}}$  としている。

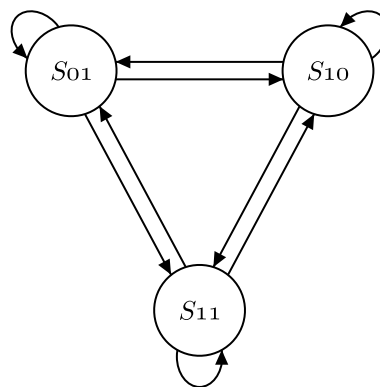


図 22: 入力状態に対する状態遷移図

しかし、表 8 の真理値表から入力  $(\bar{S}, \bar{R})$  が  $(1, 1)$  のとき、出力  $(Q, \bar{Q})$  の組合せが  $(1, 0)$ ,  $(0, 1)$  の 2 通りが存在する。そこで、この 2 つの状態を区別し、入力  $(\bar{S}, \bar{R})$  を与えて出力  $(Q, \bar{Q})$  が得

られた状態を  $S_{\bar{S}\bar{R}:Q\bar{Q}}$  と表現することにする. この結果得られる状態遷移図を図 23 に示す.

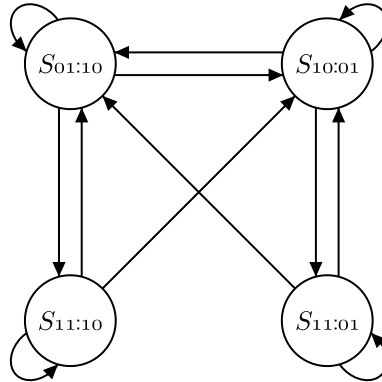


図 23: 出力状態を考慮にいれた状態遷移図

ある時点で状態  $S$  にいる確率を  $P_S$  で表すとすると,  $P_{S_{11:10}}$ ,  $P_{S_{11:01}}$  は排反なので式 (47) が成立する.

$$P_{S_{11}} = P_{S_{11:10}} + P_{S_{11:01}} \quad (47)$$

$n$  回遷移を繰り返し現状態が  $S_{11:10}$  であるならば, 前状態として考えられるのは  $S_{01:10}$ ,  $S_{11:10}$  の 2 通りである. さらに前状態  $S_{11:10}$  に関して, 前々状態は  $S_{01:10}$ ,  $S_{11:10}$  の 2 通りがあり, 状態  $S_{11:10}$  に関して再帰的であることがわかる. ここでは前状態  $S_{11:10}$  を無視して考えることにする. より正確な見積りを行うには, 前状態の  $S_{11:10}$  を考慮に入れることで可能になるが, いくつ前の  $S_{11:10}$  まで考慮するかを決める必要がある. 状態  $S_{11:01}$  についても同様に考えることができる.

入力  $(\bar{S}_t, \bar{R}_t)$  から  $(\bar{S}_{t+1}, \bar{R}_{t+1})$  への IPP が発生確率を  $P_{\bar{S}_t\bar{R}_t \rightarrow \bar{S}_{t+1}\bar{R}_{t+1}}$  と表現したとき, 現状態が  $S_{11}$  であるとき出力  $(Q, \bar{Q})$  が  $(1, 0)$  である確率  $P'_{S_{11:10}}$ ,  $(0, 1)$  である確率  $P'_{S_{11:01}}$  を式 (48) で近似する.

$$\left. \begin{aligned} P'_{S_{11:10}} &= \frac{P_{01 \rightarrow 11}}{P_{01 \rightarrow 11} + P_{10 \rightarrow 11}} \\ P'_{S_{11:01}} &= \frac{P_{10 \rightarrow 11}}{P_{01 \rightarrow 11} + P_{10 \rightarrow 11}} \end{aligned} \right\} \quad (48)$$

よってある時点で状態  $S_{11:10}$ ,  $S_{11:01}$  である確率  $P_{S_{11:10}}$ ,  $P_{S_{11:01}}$  は式 (49) となる.

$$\left. \begin{aligned} P_{S_{11:10}} &= P'_{S_{11:10}} \cdot P_{S_{11}} = \frac{P_{01 \rightarrow 11}}{P_{01 \rightarrow 11} + P_{10 \rightarrow 11}} P_{S_{11}} \\ P_{S_{11:01}} &= P'_{S_{11:01}} \cdot P_{S_{11}} = \frac{P_{10 \rightarrow 11}}{P_{01 \rightarrow 11} + P_{10 \rightarrow 11}} P_{S_{11}} \end{aligned} \right\} \quad (49)$$

また式 (50) から式 (47) が成立していることが確認できる.

$$P_{S_{11:10}} + P_{S_{11:01}} = \left( \frac{P_{01 \rightarrow 11}}{P_{01 \rightarrow 11} + P_{10 \rightarrow 11}} + \frac{P_{10 \rightarrow 11}}{P_{01 \rightarrow 11} + P_{10 \rightarrow 11}} \right) P_{S_{11}} = P_{S_{11}} \quad (50)$$

## 4.3.3 RS フリップフロップの確率モデル

出力状態を考慮した定常状態間を遷移した場合の、入力状態の組合せ  $(\bar{S}, \bar{R}, Q, \bar{Q})$  の変化と、2つの NAND ゲート  $A$ ,  $B$  に与えられる入力  $(\bar{S}, \bar{Q})$ ,  $(\bar{R}, Q)$  の変化を表 9 に示す。

表 9: ゲート入力の変化 (前半)

定常状態 $S_{\bar{S}\bar{R}:Q\bar{Q}}$ の遷移	入力状態 $(\bar{S}, \bar{R}, Q, \bar{Q})$ の変化	NAND ゲート $A$ の 入力 $(\bar{S}, \bar{Q})$ の変化	NAND ゲート $B$ の 入力 $(\bar{R}, Q)$ の変化
$S_{01:10} \rightarrow S_{01:10}$	(0, 1, 1, 0)	(0, 0)	(1, 1)
	↓	↓	↓
$S_{01:10} \rightarrow S_{10:01}$	(0, 1, 1, 0)	(0, 0)	(1, 1)
	↓	↓	↓
	(1, 0, 1, 0)	(1, 0)	(0, 1)
	↓	↓	↓
	(1, 0, 1, 1)	(1, 1)	(0, 1)
$S_{01:10} \rightarrow S_{11:10}$	↓	↓	↓
	(1, 1, 1, 0)	(1, 0)	(1, 1)
	↓	↓	↓
$S_{10:01} \rightarrow S_{01:10}$	(1, 0, 0, 1)	(1, 1)	(0, 0)
	↓	↓	↓
	(0, 1, 0, 1)	(0, 1)	(1, 0)
	↓	↓	↓
	(0, 1, 1, 1)	(0, 1)	(1, 1)
$S_{10:01} \rightarrow S_{10:01}$	↓	↓	↓
	(0, 1, 1, 0)	(0, 0)	(1, 1)
	↓	↓	↓
$S_{10:01} \rightarrow S_{10:01}$	(1, 0, 0, 1)	(1, 1)	(0, 0)
	↓	↓	↓
$S_{10:01} \rightarrow S_{11:01}$	(1, 0, 0, 1)	(1, 1)	(0, 0)
	↓	↓	↓
$S_{10:01} \rightarrow S_{11:01}$	(1, 1, 0, 1)	(1, 1)	(1, 0)
	↓	↓	↓

表 9: ゲート入力の変化 (後半)

定常状態 $S_{\bar{S}\bar{R}:Q\bar{Q}}$ の遷移	入力状態 $(\bar{S}, \bar{R}, Q, \bar{Q})$ の変化	NAND ゲート $A$ の 入力 $(\bar{S}, \bar{Q})$ の変化	NAND ゲート $B$ の 入力 $(\bar{R}, \bar{Q})$ の変化
$S_{11:10} \rightarrow S_{01:10}$	(1, 1, 1, 0)	(1, 0)	(1, 1)
	↓	↓	↓
$S_{11:10} \rightarrow S_{01:10}$	(0, 1, 1, 0)	(0, 0)	(1, 1)
	↓	↓	↓
$S_{11:10} \rightarrow S_{10:01}$	(1, 1, 1, 0)	(1, 0)	(1, 1)
	↓	↓	↓
	(1, 0, 1, 0)	(1, 0)	(0, 1)
	↓	↓	↓
	(1, 0, 1, 1)	(1, 1)	(0, 1)
$S_{11:10} \rightarrow S_{11:10}$	↓	↓	↓
	(1, 0, 0, 1)	(1, 1)	(0, 0)
	↓	↓	↓
	(1, 1, 1, 0)	(1, 0)	(1, 1)
	↓	↓	↓
$S_{11:01} \rightarrow S_{01:10}$	(1, 1, 1, 0)	(1, 0)	(1, 1)
	↓	↓	↓
	(1, 1, 1, 0)	(1, 0)	(1, 1)
	↓	↓	↓
	(1, 1, 0, 1)	(1, 1)	(1, 0)
$S_{11:01} \rightarrow S_{01:10}$	↓	↓	↓
	(0, 1, 0, 1)	(0, 1)	(1, 0)
	↓	↓	↓
	(0, 1, 1, 1)	(0, 1)	(1, 1)
	↓	↓	↓
$S_{11:01} \rightarrow S_{01:10}$	(0, 1, 1, 0)	(0, 0)	(1, 1)
	↓	↓	↓
	(1, 1, 0, 1)	(1, 1)	(1, 0)
	↓	↓	↓
	(1, 0, 0, 1)	(1, 1)	(0, 0)
$S_{11:01} \rightarrow S_{10:01}$	↓	↓	↓
	(1, 1, 0, 1)	(1, 1)	(1, 0)
	↓	↓	↓
$S_{11:01} \rightarrow S_{11:01}$	(1, 1, 0, 1)	(1, 1)	(1, 0)
	↓	↓	↓
	(1, 1, 0, 1)	(1, 1)	(1, 0)

NAND ゲート  $A$  の外部容量を  $C_{\bar{S}}$ 、内部容量を  $C_{\bar{Q}}$  として、それぞれの容量に充電が起こる確率を求める。定常状態  $S_{01:10}$  であるとき、内部容量  $C_{\bar{Q}}$  は浮遊状態した状態になるため、 $C_{\bar{Q}}$  に電荷が蓄えられている状態と放電されている状態が存在する。そこでこの2つの状態を区別し、それぞれを  $S_{01:10(1)}$  と  $S_{01:10(0)}$  に分けて考える。内部容量  $C_{\bar{Q}}$  の浮遊状態を考慮した状態遷

移図を図 24 に示す。

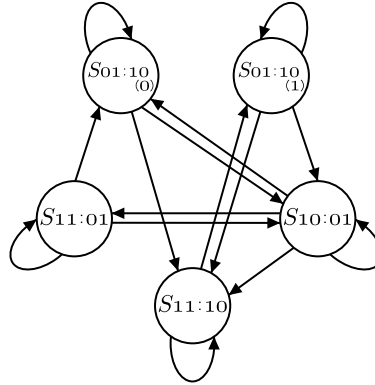


図 24: 内部容量  $C_Q$  の浮遊状態を考慮した状態遷移図

ある時点で状態  $S_{01:10(1)}$  である確率  $P_{S_{01:10(1)}}$  と、ある時点で状態  $S_{01:10(0)}$  である確率  $P_{S_{01:10(0)}}$  は排反であり、式 (47) 同様、式 (51) が成立している。

$$P_{S_{01:10}} = P_{S_{01:10(1)}} + P_{S_{01:10(0)}} \quad (51)$$

ここでも式 (48) と同様の近似を施し、状態が  $S_{01:10}$  であるとき、内部容量  $C_Q$  が充電されている確率  $P'_{S_{01:10(1)}}$ 、内部容量  $C_Q$  の電荷が 0 である確率  $P'_{S_{01:10(0)}}$  を次式 (52) で定義する。

$$\left. \begin{aligned} P'_{S_{01:10(1)}} &= \frac{P'_{S_{11:10}} \cdot P_{11 \rightarrow 01}}{P_{10 \rightarrow 01} + P_{11 \rightarrow 01}} \\ P'_{S_{01:10(0)}} &= \frac{P_{10 \rightarrow 01} + P'_{S_{11:01}} \cdot P_{11 \rightarrow 01}}{P_{10 \rightarrow 01} + P_{11 \rightarrow 01}} \end{aligned} \right\} \quad (52)$$

よってある時点で状態  $S_{01:10(1)}$ 、 $S_{01:10(0)}$  である確率  $P_{S_{01:10(1)}}$ 、 $P_{S_{01:10(0)}}$  は式 (53) となる。

$$\left. \begin{aligned} P_{S_{01:10(1)}} &= P'_{S_{01:10(1)}} \cdot P_{S_{01:10}} = \frac{P'_{S_{11:10}} \cdot P_{11 \rightarrow 01}}{P_{10 \rightarrow 01} + P_{11 \rightarrow 01}} P_{S_{01:10}} \\ P_{S_{01:10(0)}} &= P'_{S_{01:10(0)}} \cdot P_{S_{01:10}} = \frac{P_{10 \rightarrow 01} + P'_{S_{11:01}} \cdot P_{11 \rightarrow 01}}{P_{10 \rightarrow 01} + P_{11 \rightarrow 01}} P_{S_{01:10}} \end{aligned} \right\} \quad (53)$$

式 (54) から式 (51) が成立していることを確認することができる。

$$P_{S_{01:10(1)}} + P_{S_{01:10(0)}} = \left( \frac{P'_{S_{11:10}} \cdot P_{11 \rightarrow 01}}{P_{10 \rightarrow 01} + P_{11 \rightarrow 01}} + \frac{P_{10 \rightarrow 01} + P'_{S_{11:01}} \cdot P_{11 \rightarrow 01}}{P_{10 \rightarrow 01} + P_{11 \rightarrow 01}} \right) P_{S_{01:10}} = P_{S_{01:10}} \quad (54)$$

NAND ゲート A における内部容量  $C_Q$  の浮遊状態を考慮した状態遷移と遷移確率の関係を表 10 に示す。



表 10: 内部容量  $C_{\bar{Q}}$  の浮遊状態を考慮した遷移確率

状態遷移	遷移確率
$S_{01:10(1)} \rightarrow S_{01:10(1)}$	$P'_{S_{01:10(1)}} \cdot P_{01 \rightarrow 01}$
$S_{01:10(0)} \rightarrow S_{01:10(0)}$	$P'_{S_{01:10(0)}} \cdot P_{01 \rightarrow 01}$
$S_{01:10(1)} \rightarrow S_{10:01}$	$P'_{S_{01:10(1)}} \cdot P_{01 \rightarrow 10}$
$S_{01:10(0)} \rightarrow S_{10:01}$	$P'_{S_{01:10(0)}} \cdot P_{01 \rightarrow 10}$
$S_{01:10(1)} \rightarrow S_{11:10}$	$P'_{S_{01:10(1)}} \cdot P_{01 \rightarrow 11}$
$S_{01:10(0)} \rightarrow S_{11:10}$	$P'_{S_{01:10(0)}} \cdot P_{01 \rightarrow 11}$
$S_{10:01} \rightarrow S_{01:10(0)}$	$P_{10 \rightarrow 01}$
$S_{10:01} \rightarrow S_{10:01}$	$P_{10 \rightarrow 10}$
$S_{10:01} \rightarrow S_{11:01}$	$P_{10 \rightarrow 11}$
$S_{11:10} \rightarrow S_{01:10(1)}$	$P'_{S_{11:10}} \cdot P_{11 \rightarrow 01}$
$S_{11:10} \rightarrow S_{10:01}$	$P'_{S_{11:10}} \cdot P_{11 \rightarrow 10}$
$S_{11:10} \rightarrow S_{11:10}$	$P'_{S_{11:10}} \cdot P_{11 \rightarrow 11}$
$S_{11:01} \rightarrow S_{01:10(0)}$	$P'_{S_{11:01}} \cdot P_{11 \rightarrow 01}$
$S_{11:01} \rightarrow S_{10:01}$	$P'_{S_{11:01}} \cdot P_{11 \rightarrow 10}$
$S_{11:01} \rightarrow S_{11:01}$	$P'_{S_{11:01}} \cdot P_{11 \rightarrow 11}$

外部容量  $C_{\bar{S}}$  は NAND ゲート  $A$  の入力  $(\bar{S}, \bar{Q})$  が  $(1, 1)$  の場合のみ放電が起こり電荷は 0 となる。つまり、入力が  $(1, 1)$  から  $(1, 1)$  以外の入力へと遷移するとき、 $C_{\bar{S}}$  に充電が起きる。表 9 より、外部容量  $C_{\bar{S}}$  では、定常状態間を次の遷移が起こるときに電荷が充電される。

- 状態  $S_{10:01}$  から状態  $S_{01:10}$  への遷移
- 状態  $S_{11:01}$  から状態  $S_{01:10}$  への遷移

内部容量  $C_{\bar{Q}}$  では、 $C_{\bar{Q}}$  に蓄えられている電荷が 0 の状態で入力  $(\bar{S}, \bar{Q})$  が  $(1, 0)$  が与えられると充電が起こる。表 9 と状態遷移図 24 より、内部容量  $C_{\bar{Q}}$  では、定常状態間を次の遷移が起こるときに電荷が充電される。

- 状態  $S_{01:10(0)}$  から状態  $S_{10:01}$  への遷移
- 状態  $S_{01:10(0)}$  から状態  $S_{11:10}$  への遷移

よって外部容量  $C_{\bar{S}}$ , 内部容量  $C_{\bar{Q}}$  に電荷が蓄えられる確率  $Q_{\bar{S}}$ ,  $Q_{\bar{Q}}$  は式 (55) となる.

$$\left. \begin{aligned} Q_{\bar{S}} &= P_{10 \rightarrow 01} + P'_{S_{11:01}} \cdot P_{11 \rightarrow 01} \\ Q_{\bar{Q}} &= P'_{S_{01:10(0)}} \cdot P_{01 \rightarrow 10} + P'_{S_{01:10(0)}} \cdot P_{01 \rightarrow 11} \\ &= P'_{S_{01:10(0)}} (P_{01 \rightarrow 10} + P_{01 \rightarrow 11}) \end{aligned} \right\} \quad (55)$$

次に, NAND ゲート  $B$  の外部容量を  $C_{\bar{R}}$ , 内部容量を  $C_Q$  として, それぞれの容量に充電が起こる確率を求める. NAND ゲート  $A$  と同様, 内部容量  $C_Q$  において浮遊状態が存在し, 定常状態  $S_{10:01}$  を,  $C_Q$  に電荷が蓄えられている状態  $S_{10:01(1)}$  と電荷が 0 である状態  $S_{10:01(0)}$  を区別して考える必要がある. 内部容量  $C_Q$  の浮遊状態を考慮した状態遷移図を図 25 に示す.

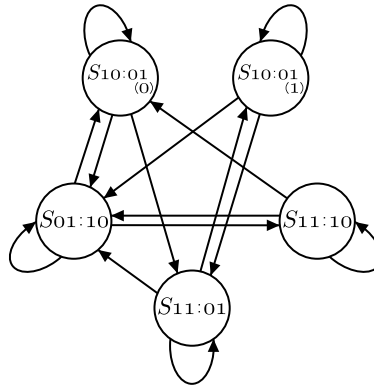


図 25: 内部容量  $C_Q$  の浮遊状態を考慮した状態遷移図

ある時点で状態  $S_{10:01(1)}$  である確率  $P_{S_{10:01(1)}}$  と, ある時点で状態  $S_{10:01(0)}$  である確率  $P_{S_{10:01(0)}}$  は排反であり, 式 (56) が成立している.

$$P_{S_{10:01}} = P_{S_{10:01(1)}} + P_{S_{10:01(0)}} \quad (56)$$

状態  $S_{10:01}$  であるとき, 内部容量  $C_Q$  が充電されている確率  $P'_{S_{10:01(1)}}$ , 内部容量  $C_Q$  の電荷が 0 である確率  $P'_{S_{10:01(0)}}$  を次式 (57) で近似する.

$$\left. \begin{aligned} P'_{S_{10:01(1)}} &= \frac{P'_{S_{11:01}} \cdot P_{11 \rightarrow 10}}{P_{01 \rightarrow 10} + P_{11 \rightarrow 10}} \\ P'_{S_{10:01(0)}} &= \frac{P_{01 \rightarrow 10} + P'_{S_{11:10}} \cdot P_{11 \rightarrow 10}}{P_{01 \rightarrow 10} + P_{11 \rightarrow 10}} \end{aligned} \right\} \quad (57)$$

よってある時点で状態  $S_{10:01(1)}$ ,  $S_{10:01(0)}$  である確率  $P_{S_{10:01(1)}}$ ,  $P_{S_{10:01(0)}}$  は式 (58) となる.

$$\left. \begin{aligned} P_{S_{10:01(1)}} &= P'_{S_{10:01(1)}} \cdot P_{S_{10:01}} = \frac{P'_{S_{11:01}} \cdot P_{11 \rightarrow 10}}{P_{01 \rightarrow 10} + P_{11 \rightarrow 10}} P_{S_{10:01}} \\ P_{S_{10:01(0)}} &= P'_{S_{10:01(0)}} \cdot P_{S_{10:01}} = \frac{P_{01 \rightarrow 10} + P'_{S_{11:10}} \cdot P_{11 \rightarrow 10}}{P_{01 \rightarrow 10} + P_{11 \rightarrow 10}} P_{S_{10:01}} \end{aligned} \right\} \quad (58)$$

NAND ゲート  $B$  における内部容量  $C_Q$  の浮遊状態を考慮した状態遷移と遷移確率の関係を表 11 に示す。

表 11: 内部容量  $C_Q$  の浮遊状態を考慮した遷移確率

状態遷移	遷移確率
$S_{01:10} \rightarrow S_{01:10}$	$P_{01 \rightarrow 01}$
$S_{01:10} \rightarrow S_{10:01(0)}$	$P_{01 \rightarrow 10}$
$S_{01:10} \rightarrow S_{11:10}$	$P_{01 \rightarrow 11}$
$S_{10:01(1)} \rightarrow S_{01:10}$	$P'_{S_{10:01(1)}} \cdot P_{10 \rightarrow 01}$
$S_{10:01(0)} \rightarrow S_{01:10}$	$P'_{S_{10:01(0)}} \cdot P_{10 \rightarrow 01}$
$S_{10:01(1)} \rightarrow S_{10:01(1)}$	$P'_{S_{10:01(1)}} \cdot P_{10 \rightarrow 10}$
$S_{10:01(0)} \rightarrow S_{10:01(0)}$	$P'_{S_{10:01(0)}} \cdot P_{10 \rightarrow 10}$
$S_{10:01(1)} \rightarrow S_{11:01}$	$P'_{S_{10:01(1)}} \cdot P_{10 \rightarrow 11}$
$S_{10:01(0)} \rightarrow S_{11:01}$	$P'_{S_{10:01(0)}} \cdot P_{10 \rightarrow 11}$
$S_{11:10} \rightarrow S_{01:10}$	$P'_{S_{11:10}} \cdot P_{11 \rightarrow 01}$
$S_{11:10} \rightarrow S_{10:01(0)}$	$P'_{S_{11:10}} \cdot P_{11 \rightarrow 10}$
$S_{11:10} \rightarrow S_{11:10}$	$P'_{S_{11:10}} \cdot P_{11 \rightarrow 11}$
$S_{11:01} \rightarrow S_{01:10}$	$P'_{S_{11:01}} \cdot P_{11 \rightarrow 01}$
$S_{11:01} \rightarrow S_{10:01(1)}$	$P'_{S_{11:01}} \cdot P_{11 \rightarrow 10}$
$S_{11:01} \rightarrow S_{11:10}$	$P'_{S_{11:01}} \cdot P_{11 \rightarrow 11}$

外部容量  $C_{\bar{R}}$  は NAND ゲート  $B$  の入力が  $(1, 1)$  から  $(1, 1)$  以外の入力へと遷移するときに充電が起きる。表 9 より、外部容量  $C_{\bar{R}}$  では、定常状態間を次の遷移が起こるときに電荷が充電される。

- 状態  $S_{01:10}$  から状態  $S_{10:01}$  への遷移
- 状態  $S_{11:10}$  から状態  $S_{10:01}$  への遷移

内部容量  $C_Q$  では、表 9 と図 25 の状態遷移図より定常状態間を次の遷移が起こるときに電荷が充電される。

- 状態  $S_{10:01(0)}$  から状態  $S_{01:10}$  への遷移
- 状態  $S_{10:01(0)}$  から状態  $S_{11:01}$  への遷移

よって外部容量  $C_{\bar{R}}$ , 内部容量  $C_Q$  に電荷が蓄えられる確率  $Q_{\bar{r}}$ ,  $Q_q$  は式 (59) となる.

$$\left. \begin{aligned} Q_{\bar{r}} &= P_{01 \rightarrow 10} + P'_{S_{11:10}} \cdot P_{11 \rightarrow 10} \\ Q_q &= P'_{S_{10:01(0)}} \cdot P_{10 \rightarrow 01} + P'_{S_{10:01(0)}} \cdot P_{10 \rightarrow 11} \\ &= P'_{S_{10:01(0)}} (P_{10 \rightarrow 01} + P_{10 \rightarrow 11}) \end{aligned} \right\} \quad (59)$$

#### 4.3.4 RS フリップフロップの消費電力の見積り

NAND ゲート  $A$ ,  $B$  が同じ値の電源電圧をもち, 同じ性質をもつ MOSFET で構成されていると仮定する. クロック周波数を  $f$ , 電源電圧を  $V_{dd}$ , nMOSFET のしきい電圧を  $V_t$  とすると, RS フリップフロップの消費電力の期待値  $Power_{rs}$  は式 (60) となる.

$$Power_{rs} = f \{ (Q_{\bar{s}} C_{\bar{S}} + Q_{\bar{r}} C_{\bar{R}}) V_{dd}^2 + (Q_q C_Q + Q_{\bar{q}} C_{\bar{Q}}) V_{dd} (V_{dd} - V_t) \} \quad (60)$$

## 5 本手法の評価

本章では，2入力 NAND ゲートを対象として，秋田らによって提案された信号遷移確率に基づく消費電力見積り手法と本手法による精度の比較を行う．その結果をもとに考察を行い，本手法の有効性を示す．

### 5.1 実験

2入力 NAND ゲートにランダムに生成した入力列  $x$ ， $y$  を与え，シミュレーションを行う．比較対象として信号遷移確率に基づく消費電力見積り手法を挙げ，これを従来手法として本手法との比較を行う．与えられた入力列から信号遷移確率と IPP の発生確率を行い，消費電力の予測値を算出する．従来手法による消費電力の予測値と理論値との誤差を式 (61) で求めている．

$$\text{誤差} [\%] = \frac{|\text{予測値} - \text{理論値}|}{\text{理論値}} \times 100 \quad (61)$$

5通りの入力列長に対し，それぞれ 1000 回シミュレーションを繰り返し予測値と理論値との誤差を算出した．この結果から得られる理論値との誤差の平均を表 12に示す．

表 12: 消費電力の予測誤差

入力列長	従来手法 [%]	本手法 [%]
$10^2$	$0.60 \times 10$	$0.18 \times 10$
$10^3$	$0.18 \times 10$	$1.74 \times 10^{-1}$
$10^4$	$5.86 \times 10^{-1}$	$2.56 \times 10^{-2}$
$10^5$	$1.77 \times 10^{-1}$	$6.21 \times 10^{-3}$
$10^6$	$5.67 \times 10^{-2}$	$1.89 \times 10^{-3}$

### 5.2 考察

実験によって得られた結果から考察を行う．

各入力列長ごとに本手法による誤差と従来手法による誤差を比較すると，本手法は従来手法よりも誤差が十分に小さいことを確かめることができる．よって，本手法は従来手法と比べて精度の高い消費電力の見積りが可能であるといえる．これは，本手法では消費電力を見積るための評価として連続する入力信号値を扱っていることに加え，複数の入力を一つのパターンとして捉えているために厳密な消費電力の見積りを可能にしているのである．

ただし、入力列長が十分に長い場合、従来手法、本手法ともに消費電力の見積り誤差は十分に小さい。しかし、入力列長が短い場合では、IPP の発生確率にばらつきが強く生じるため、個々の入力信号の遷移確率に基づいて消費電力の見積りを行う従来手法よりも本手法の方が誤差を小さくすることができる。

IPP を用いて入力の制約を厳しく見積ることにより、消費電力の見積り精度を高くすることが可能になる。実験結果より本手法の有効性を示すことができた。

## 6 おわりに

本稿では，CMOS 論理回路の消費電力を見積る手法として，IPP を用いて連続する入力信号値のペアの確率に基づく消費電力の期待値を算出する手法を提案した．CMOS 論理回路の回路構造を考慮し，論理回路の確率モデルを導くことで確率的な消費電力の見積りが可能になる．

さらに実験により，ランダムに生成した入力信号列の長さを変化させたシミュレーションにより本手法の有効性を評価することができた．本手法は単なる信号遷移確率を用いる従来手法に比べ，IPP を用いて入力の制約を厳しく見積ることにより，消費電力の見積り精度を高くすることが可能であることを示すことができた．

ただし，本手法では，IPP の発生確率に偏りが強く生じている場合に，より精度の高い消費電力の見積りが可能になるため，IPP の発生確率の偏りについてさらに調査する必要がある．また，見積り対象となる論理回路の消費電力見積り式を自動で出力することができれば，高速かつ正確な見積りが可能になる．本手法を実用に移すため，以上のことが今後の課題として挙げられる．

他にも今後の課題として，多入力ゲートへの本手法の適用が考えられる．多入力ゲートでは内部容量が複数存在し，浮遊状態となったときに電荷の再配分が起こる．そのため，コンデンサに蓄えられる電荷の量を 2 値化することができないという問題がある．この問題を解決するためには，適当な近似を施すことで消費電力の見積りを行わなければならない．

本稿では，本手法の適用事例として，インバータゲート，2 入力 NAND ゲートとインバータゲートから構成される回路，RS フリップフロップの消費電力の期待値を算出した．まずは，算出した消費電力の期待値の有効性を評価し，さらに複雑な回路への応用を検討する必要がある．

## 謝辞

本研究を進めるにあたり、数々の助言を頂いた深澤良彰教授に深く感謝致します。また、懇切丁寧な指導をして下さった千葉工業大学の新井浩志助教授に深く感謝致します。そして、多くのご助力を頂いた深澤研究室の先輩方、同輩、及び後輩に、深く感謝致します。



## 参考文献

- [1] 秋田純一, 浅田邦弘: “信号遷移確率に基づく CMOS 論理回路の消費電力低減手法”, 電子情報通信学会技術研究報告, ED, Vol.93, No.216, pp.61-67, Sep.1993.
- [2] 室山真徳, 石原亨, 兵頭章彦, 安浦寛人: “入力信号パターンを考慮した低電力算術演算回路の設計手法”, 情報処理学会論文誌, Vol.42, No.4, pp.1007-1015, Apr.2001.
- [3] 上田祐彰, 樹下行三: “CMOS 論理回路の信号値遷移確率の評価法について”, 電子情報通信学会技術研究報告, FTS, Vol.94, No.314, pp.55-60, Oct.1994.
- [4] 内野琢, 南文裕, 三橋隆: “信号間相関を考慮した確率的消費電力見積方法”, 情報処理学会研究報告, 設計自動化研究会報告, Vol.95, No.72, pp.57-64, Jul.1995.
- [5] 秋田純一, 浅田邦弘: “状態遷移回路の低消費電力化のための状態割当法”, 情報処理学会研究報告, 設計自動化研究会報告, Vol.94, No.54, pp.23-29, Jun.1994.
- [6] 儀間良子, 吉田たけお: “信号遷移関数を用いた組合せ回路の低消費電力化に関する一検討”, 電子情報通信学会技術研究報告, CPSY, Vol.100, No.86, pp.9-16, May.2000.
- [7] 荒木大, 竹村和祥, 斎藤博文: “システムレベルデザイン:7. 低消費電力化設計と消費電力見積り”, 情報処理, Vol.45, No.5, pp.492-499, May.2004.
- [8] 李副烈, 瀧和男, 堀貴代秀, 村田豊: “低消費電力 CMOS セルライブラリの設計と評価”, 情報処理学会論文誌, Vol.40, No.4, pp.1670-1678, Apr.1999.
- [9] 鹿野裕明, 原田知親 “CMOS 論理回路の充放電電流および貫通電流による消費電力の解析”, 電子情報通信学会技術研究報告, FTS, Vol.101, No.477, pp.13-20, Nov.2001.
- [10] 鹿野裕明, 原田知親 “CMOS 論理ゲートの充放電電流および貫通電流による消費電力の定式化とその応用”, 電子情報通信学会技術研究報告, ICD, Vol.101, No.697, pp.57-64, Mar.2002.
- [11] 石原亨, 安浦寛人: “CMOS LSI チップのスイッチレベルにおける電力見積り精度について”, 情報処理学会研究報告, 設計自動化研究会報告, Vol.95, No.54, pp.23-30, May.1995.
- [12] 吉田久人, 村岡道明, 秋濃俊郎: “スイッチレベルシミュレーションの一手法”, 情報処理学会研究報告, 設計自動化研究会報告, Vol.89, No.56, pp.57-64, Nov.1989.
- [13] 木村勉, 山本俊之, 満田千秋, 塩見彰睦, 今井正治, 引地信之: “VHDL を用いた論理回路の消費電力見積り方法の提案～ 32 ビットアダー回路の消費電力についての考察～”, 情報処理学会研究報告, 設計自動化研究会報告, Vol.95, No.54, pp.31-38, May.1995.

- [14] 村松敦: “低消費電力化のための出力変化確率表の生成に関する研究”, 2003 年度早稲田大学情報学科卒業論文
- [15] 弘麻子: “入力パターンの特性に応じた低消費電力化手法に関する研究”, 2003 年度早稲田大学情報学科卒業論文
- [16] 榎本忠儀: “CMOS 集積回路”, 培風館, 1996.