

早稲田大学大学院情報生産システム研究科

博士論文概要

論文題目

大規模 LSI のレイアウト設計検証
に関する研究

申請者
亀井 智紀

情報生産システム工学専攻
ASIC 自動設計研究

2016 年 5 月

本論文は、大規模 の設計自動化システム（ ）の開発に関するもので、特にレイアウト設計および検証ツールに関する研究をまとめたものである。

近年の 設計技術、微細加工技術および製造技術の目覚ましい発展により、システムオンチップ のような の大規模化と複雑化が進み、これに伴って設計や製造上の様々な問題が発生している。たとえば、回路・レイアウト設計の設計期間や人的資源の増大、テスト時間やテスト困難性の増大、マスクパターン形状の不具合による製造歩留り低下などがある。また、大規模化によって設計データ量が増大し、ファイルアクセスに長時間を要することやデータ保存場所の資源の圧迫、さらに設計データを外部の製造委託先に送る際のデータ転送時間の問題も起こっている。特にレイアウト設計工程においては、膨大な量の図形データの処理や とよばれる幾何学的検証が厄介な問題として顕著になってきた。

そこで本研究では、 ツールの視点からレイアウト設計工程での問題点に着目し、その解決手法を提案する。また有効性を確認するために、提案手法を実際の システムに組み込んで実験評価を行った。対象とする問題は大きく分けて、（ ）大規模データの ツールに関する問題および（ ）人手による検証作業に関する問題の 点である。これらの問題の背景と求められる解法の要点は次の通りである。

ツールに関する問題

の大規模・複雑化に伴って、レイアウト設計データである図形の数が増加している。中でも、異なる配線層間を電氣的に接続するビア による図形数の増加が顕著になっている。実際の の設計データでは、すべての図形数に対してビア図形数の占める割合が大半であり、たとえば車載用 の例ではレイアウト図形の がビア図形というものもある。さらに近年、製造容易化設計（ ） や歩留り考慮設計（ ）

の考えが重視され、製造ばらつき対策や信頼性確保の観点からビアを 重に設ける冗長ビア（ ）あるいは が使用されている。これは、回路構造上は新たに並列回路を構成したと等価であり、冗長ビアの数に比例して回路構造がさらに複雑となる。したがって、 ツールを用いて配線幅のチェックを行う際、すべての配線ネットの配線幅をチェックすることになり、膨大な時間を要する。そこで、配線幅チェックの前に冗長ビアを の対象から除外し、処理時間を大幅に減らすことが求められている。また別の問題として、配線のレイアウトにおいて、同一の配線ネット中の一部の配線幅を意図的に細くするテーパリング処理 を行い、必要以上に太い配線による面積の無駄を削減することがある。その細かい配線部分は設計ミスではなく擬似エラーなので、配線幅チェック後のエラーから手動で取り除いている。しかし、テーパリングが多用される電源配線では、 の大規模化に

より電源配線も長大化し、擬似エラーの数も膨大になるので、人手で取り除くことは困難である。そこで真にチェックすべき幹線のみを取り出し、幹線以外の枝線をチェック対象から除外する手法が求められている。

() 人手による検証作業に関する問題

次に ツールにより検証結果が得られた後の問題について考える。ここ数年、設計および検証作業の水平分業が進み、 で検出されたエラー内容を異なる部門の作業員で確認することが多くなった。このため、設計後の 出力結果を標準的な画像ファイル 等の形式で保存している。しかし、これまでの ツールの出力は単にエラー図形の座標データであり、エラー箇所とその原因を理解するためには、この座標データを図形化して元のレイアウトデータに重ねて表示する必要がある。重ね合わせはレイアウトデータを構成する基本要素であるセル単位となるが、 データが大規模になればセル数は増加し、さらにエラー図形の数も増えることから、必然的に作業員の負担も増大する。この問題に対処するためには、エラー図形とレイアウトデータの重ね合わせから画像保存までを自動的に行うと同時に、エラー発生の原因を利用者が容易に把握できるように表示するシステムが必要とされている。

上述の 点の問題に対する解決手法は、これまでの システムには備わっていないか、または同様の機能を果たすために設計者や 作業員の大幅な介入が必要であった。本研究では、解決手法を提案し、 システムに実装して効果を確認した。その結果、構築したシステムは のレイアウト設計検証の効率を大幅に向上できることが示された。

以下、本論文の構成を説明する。

第 章「序論」では、本研究の背景と目的ならびにその意義について述べる。特に の大規模化、微細化が進んだことにより幾何学的検証の工程で起きている問題を具体的に挙げ、本研究の目的を明確にする。

第 章「準備」では本研究における実験環境、使用ツールおよびツールの改修について説明する。第 章以降の提案手法はすべて既存の ツールに実装して実験・評価する。そのために、 () を用いた ツールの改修方法を紹介する。また、研究に使用したレイアウトデータのフォーマットとして、標準形式の一つである () フォーマットを説明する。

第 章「レイアウトデータ削減による の効率化」では レイアウト設計における冗長ビアおよび配線のテーパリングを説明し、これらのレイアウトデータが 上の障害になっていることを述べる。その上で、基本的な解決手法としてそのようなデータを 対象データから削除する方法を提案する。すなわち、冗長ビアについてはレイアウトデータから仮想的に削除し、テーパリ

ングによる設計基準値以下の幅細の配線部分は配線木構造から枝刈りを行う。提案手法を既存のシステムに実装し、実レイアウトデータを用いて実験した結果、大幅な時間短縮効果が得られた。

第 4 章「電源配線幅の高速検証システム」ではレイアウトデータ削減方法を組み込んだ検証のバッチ処理システムの構築について述べている。自体の処理時間の短縮は第 3 章の提案手法で得られるが、対象から削除するレイアウトデータを適切に指示することが必要である。作業者は設計基準書、回路図およびレイアウト図を参照しながら操作するため負担が大きい。また、対象は一般に長時間を要する処理である。そこで、システムの機能の一つである自動照合を用いて、回路設計データとレイアウト設計データとを自動照合し、対象部分の絞り込みを容易にする方式を提案する。この絞り込み結果をシステムにあらかじめ与えることで、作業者の負担減と高速バッチ処理が同時に実現された。

第 5 章「エラー検証作業の支援システム」ではエラー出力結果を自動的にレイアウトデータに重ね合わせた上で画像保存を行うシステムについて述べる。レイアウトデータはセルを基本とした階層構造なので、上位階層から最下位層のエラー図形を視認できるように画像保存する。これにより、作業者はエラー図形のセルから周囲に伸びている配線などのレイアウト結果を含めて確認することができ、エラーの原因把握が容易になる。また大量にエラー図形が出力された場合の対策として、出力画像数をできるだけ少なくなるために、エラー図形を「ある程度のまとまり」でグルーピングして画像保存を行う手法を提案する。グルーピングのアルゴリズムとしては「階層クラスタリング法」および「単リンク拡張法」とよぶ通りの方式を提案し、エラー図形の多寡によって、処理時間と表示精度および設定の容易さの関係からこれら手法を切り替ええるようなシステムを構築した。

第 6 章「結論及び今後の課題」では本研究で得られた成果をまとめ、今後の課題について述べる。