

早稲田大学大学院情報生産システム研究科

博士論文審査結果報告書

論 文 題 目

大規模LSIのレイアウト設計検証
に関する研究

申 請 者
亀井 智紀

情報生産システム工学専攻
ASIC 自動設計研究

2016 年 7 月

近年の LSI 設計・製造技術の目覚ましい発展により、LSI の大規模化と複雑化が進み、これに伴って設計や製造上の様々な問題が発生している。たとえば、回路設計やレイアウト設計の設計期間の長期化や人的資源の増大、テスト時間やテストの複雑さの増大、マスクパターン形状の不具合による製造歩留り低下などがある。また、大規模化によって設計データ量が増大し、処理に長時間を要することやデータ保存用のメモリの確保、さらに設計データを外部の製造委託先に送る際のデータ転送時間の問題もある。特にレイアウト設計工程においては、膨大な量の図形データの処理や DRC(Design Rule Check) とよばれる幾何学的検証が厄介な問題として顕著になってきている。

本論文では EDA (Electronic Design Automation) システムの視点からレイアウト設計工程での問題点に着目し、その解決手法を提案している。また提案手法の有効性を確認するために、実際の商用 EDA システムに組み込んで評価を行っている。対象とする問題は大きく分けて、(1)大規模データの DRC ツールに関する問題と、(2)人手による検証作業に関する問題の 2 点である。これらの問題の背景と求められる解法の要点は次の通りである。

(1)DRC ツールに関する問題

LSI の大規模化と複雑化に伴って、レイアウト設計データである図形の数が急激に増加している。中でも、多層配線プロセスにおいて配線層間を電気的に接続するビア (Via) による図形数の増加が顕著になっている。実際の LSI の設計データでは、全図形数に対するビア図形数の割合は非常に大きい。たとえば車載用 LSI ではレイアウト図形の 99.6% がビア図形という例もある。さらに最近では製造容易化設計や歩留り考慮設計の考えが重視され、製造ばらつき対策や信頼性確保の観点からビアを 2 重に設ける冗長ビアが使用されている。これは回路構造上は新たにビア間の並列回路を追加したことになるので、冗長ビアが増えれば回路規模が増大する。したがって、DRC ツールで検査する対象の図形数が増える。中でも必要な電流を供給するのに十分な幅があるかを検査する配線幅検査では、すべての配線ネットを検査対象とするので膨大な時間を要している。そこで、配線幅検査の前に冗長ビアを検査対象から除外し、処理時間を合理的な時間に抑えることが求められている。また別の問題として、配線のレイアウト設計ではテーパリング (tapering) と称して、配線ネット中の一部の配線幅を意図的に細くし、配線面積の無駄を削減することがある。特に電源配線では配線が枝分かれする度にテーパリングが行なわれる。その細かい配線部分は設計ミスではないが、配線幅検査ではエラーとなるので擬似エラーと呼ばれ、検査後に目視確認されている。しかし、LSI の大規模化により電源配線も長大化し、擬似エラーの数も膨大になって、目視作業が困難になっている。そこで真に検査すべき太い幹線のみを取り出し、幹線以外の枝線を検査対象から除外する手法が求められている。

(2) 人手による検証作業に関する問題

ここ数年、LSI 産業界では設計および検証作業の水平分業が進み、DRC 結果

を異なる部門の作業員で確認することが行なわれている。そこでは DRC 結果を画像ファイルの標準形式 (PNG, JPEG, BMP 等) でほぞんし、共有している。しかし、DRC ツールの出力は単にエラーの存在場所を示す座標データのリストであり、エラー箇所とその原因を確定してレイアウトを修正するためには、この座標データを図形データに置き換えて、元のレイアウトデータに重ねて表示する必要がある。この重ね合わせはレイアウトデータを構成する基本要素であるセルとよぶ単位で行なわれるが、LSI が大規模になればセル数が増加し、さらにエラーの数も一般に増えるので、作業員の負担は一層増大する。この問題に対処するためには、エラー座標データの図形化処理、レイアウトデータとの重ね合わせ処理および画像保存の一連の処理を自動的に行うと同時に、エラー発生の原因を利用者が容易に把握できるように表示するシステムが必要とされている。

上述の 2 点の問題に対処できる機能は従来の EDA システムには備わっていないため、設計者や DRC 作業員に大きな負担となっていた。本論文ではこれらの解決手法を提案し、EDA システムに実装して効果を確認したものである。

本論文は 6 章から構成されている。以下、各章ごとに概要を述べ評価する。

第 1 章「序論」では、本研究の背景と目的ならびにその意義について述べている。特に LSI の大規模化、微細化が進んだことにより幾何学的検証の工程で起こっている問題を具体的に挙げ、本研究の目的と LSI 設計における貢献を明確にしている。

第 2 章「準備」では本研究における実験環境や使用ツールを説明している。また、提案する手法を既存の EDA ツールに実装して実験・評価するために、EDA ツールの改修方法を紹介している。

第 3 章「レイアウトデータ削減による効率的 DRC」では LSI レイアウト設計における冗長ビアおよび配線のテーパリングを説明し、これらのレイアウトデータが DRC 上の障害になっていることを述べている。その上で、基本的な解決手法として、そのようなデータを DRC 対象から除外する方法を提案している。すなわち、冗長ビアについてはレイアウトデータから DRC 前にいったん削除し、テーパリングについてはグラフ理論の 2 連結成分抽出の手法を適用して、配線木構造から細い配線部分の枝刈りを行っている。提案手法を既存の EDA システムに組み込み、ビア数が約 22 万から 96 万の 4 種類の実データを用いて実験した結果、従来比でデータ量は約 1/1000、使用メモリは約 1/20 となっている。DRC 処理時間については従来の約 36 秒から 94 秒の処理時間がいずれのデータでも 1 秒未満で終了している。以上より提案手法はデータ量削減と処理時間の大幅な短縮が得られており、実用的な価値が高い。また、グラフ理論の手法を具体的な問題に適用した点でも興味深い。

第 4 章「電源配線幅の高速検証システム」ではレイアウトデータ削減方法を組み込んだ DRC 検証のバッチ処理システムの構築について述べている。DRC

自体の処理時間の短縮は第 3 章の提案手法で得られているが、DRC 対象から除外する部分を適切に指示することが必要である。たとえば、電源ネットは LSI チップ全域に渡るので、テーパリングの枝刈り対象領域を容易に限定できれば効率がより高くなる。しかし、DRC 作業者が設計検査仕様書と回路図、レイアウト図を参照しながら DRC 対象の選別を行なうことは負担が大きい。そこで、EDA システムの標準機能の一つとして備わっている LVS(Layout Versus Schematic) を用いて DRC 対象部分を限定する方法を提案している。すなわち、回路図を元に検査が必要な配線経路上の 2 点を指定すれば、この配線経路に対応するレイアウト上の経路が LVS の結果から自動抽出され、DRC 対象部分とそれ以外の部分が選別される。これにより作業者の負担減と高速バッチ処理を実現している。評価の結果、従来 1 日から 2 日を要していた DRC 工程を、提案手法では 30 分程度に収めることができている。以上より提案手法は実用的で、設計工程の処理時間の改善に大きく寄与するものである。

第 5 章「DRC 検証作業の支援システム」では DRC の出力結果を自動的にレイアウトデータに重ね合わせた上で画像保存を行うシステムについて提案している。レイアウトデータはセルを基本とした階層構造なので、上位階層から最下位層のエラー図形を視認できるように画像保存する。これにより、作業者はエラー図形のセルに接続している配線や周辺セルのレイアウト結果を含めて確認することができ、エラーの原因把握が容易になる。さらに、出力画像数を削減するために、エラー図形をグルーピングして画像保存を行う手法を提案している。グルーピングの手法としては「階層クラスタリング法」および「単リンク拡張法」とよぶ 2 通りの方式を提案し、エラー図形の数と、処理時間および表示精度の関係を実験的に明らかにしている。実装した EDA システムではこれら 2 手法を DRC 結果に応じて選択でき、DRC 作業者の負担減に非常に有効であり、実用価値は高い。

最後に第 6 章「結論及び今後の課題」では本研究で得られた成果をまとめ、今後の課題を述べている。

以上、本論文では LSI のレイアウト設計検証に関して効率的な手法を提案し、EDA システムとして構築したもので、実用的であり、LSI 設計工程の効率向上への貢献は非常に高いと評価できる。

よって本論文は博士(工学)の価値があるものと認める。

2016 年 6 月 20 日

審査員

主査	早稲田大学 教授	工学博士 (東北大学)	渡邊孝博
	早稲田大学 教授	博士(工学)(大阪大学)	吉村 猛
	早稲田大学 教授	工学博士 (京都大学)	木村晋二