

博士論文審査結果報告書

論 文 題 目

Fast Algorithm and VLSI
Architecture of HEVC Mode
Decision and Reconstruction Loop
Based on Data Reuse and
Reordering

申 請 者

Heming SUN

情報生産システム工学専攻
高位検証技術研究

2017 年 2 月

情報社会の発展に伴い、マルチメディアコンテンツが広く利用されてきた。動画像データはマルチメディアデータの多くの割合を占め、近い将来に超高精細 (UHD) ビデオアプリケーションが普及すれば、更に劇的に増加する見込みである。動画像の蓄積と通信の負担を軽減するために、ビデオ圧縮技術が広く使用されてきた。圧縮することによって、大きな原画像データは、小さなバイナリデータに変換される。復号化により、圧縮されたデータが解凍されて、画像として表示することができる。2013年に標準化された High Efficiency Video Coding (HEVC) は、従来の H.264 / AVC と比べて、圧縮率を 2 倍にする最新のビデオ圧縮規格であり、高い圧縮率を実現するために、多くの新しい符号化手法が導入された。結果として、HEVC の符号化/復号化の計算量が、H.264 と比べて 5.2 / 2.1 倍となったため、画像品質を保ちつつ、計算複雑度の低いアルゴリズムおよびアーキテクチャの開発が望まれている。

動画像符号化では、原画像を予測画像との残差を用いて符号化するため、まず、種々の予測法に対して符号化レートと歪みのコスト (R-D コスト) を最小化する符号化モードを決定し、再構成ループで再構成画像を作成して次の処理へ進む。レートは、原画像と再構成画像からの予測画像との残差を符号化するためのビット数および最良モード情報を表し、残差を空間領域から周波数領域へ離散コサイン変換 (DCT) 後に量子化して削減した符号のビット数で評価する。歪み度は原画像と再構成画像との間の差異を表し、逆量子化と逆 DCT (IDCT) を用いて作成した再構成画像の原画像からの歪みで評価する。モードの決定では、多数のモードの R-D コストを評価する必要がある。DCT と量子化およびその逆の処理が重要な構成要素となっている。HEVC では、H.264 と比較して以下の 2 つの課題がある。(1) HEVC における大きな変換ブロックサイズの採用で、DCT と IDCT の占める割合が大きくなり (イントラエンコーダでは約 53%)、その削減および電力の効率化が重要である。(2) HEVC では H.264 よりも多数のモード (イントラ予測だけで 175 モード) が存在し、モード毎に R-D コストを計算すると膨大な計算量となる。画質を保ちつつ、評価すべきモード数を減らすことが重要である。

本論文では、上記の課題に対し、モード決定と再構成ループに関わる 3 つの研究トピックに取り組み、計算複雑度の少ないアルゴリズムおよびアーキテクチャを提案している。(1) 変換処理に対して計算方式とメモリ構成の最適化により、ハードウェア量を削減したアーキテクチャを提案する。(2) 再構成ループの逆量子化と逆変換処理に対し、乗算器の再利用とゼロ要素のメモリ読み書き操作のスキップにより、ハードウェア量と消費電力を削減するアーキテクチャを提案する。(3) 低計算複雑度コストモデルに基づき、R-D コスト計算を必要とするイントラ処理のモード数を削減する手法を提案する。

論文は以下の 5 つの章で構成されている。各章毎に概要を述べ評価を行う。

第 1 章 Introduction では、動画像符号化の全体の処理について説明し、動画像符号化におけるモード決定と再構成ループの位置付けと、3 つの研究トピックを選択した動機付けを説明する。

第 2 章 An Area-Efficient Transform Architecture Design では、小さなハードウェア量で DCT と IDCT 処理が可能なアーキテクチャを提案している。変換処理は演算処理を必要とする行変換と列変換とからなる。さらに、行変換の結果を格納するための転置バッファ (Transpose Buffer) が必要となる。このとき HEVC の変換ブロックサイズが大きいいため、2 つの問題が存在する。

第 1 の問題は、演算処理部のハードウェアコストが大きくなることである。例えば、32 ピクセルのブロックを変換するには、32 回の乗算と 31 回の加算が 32×32 の出力の各要素の計算に必要となる。第 2 の問題は、転置バッファ部分のハードウェアコストが大きくなることである。32 ピクセルのブロックの行変換の結果を格納するには、100K 以上のゲート数が必要となる。第 1 の問題については、[Shen、IEICE 2013]が、Chen のアルゴリズム[Chen、TCOM 1977]を用い、変換行列の対称性を利用して、同じ係数の計算をまとめることで、乗算および加算の回数を減らす方法を提案している。本論文ではさらに、バタフライ構造の入力を各クロックサイクルで共有することができる再配列されたパラレル・イン・シリアル・アウト (Reordered PISO) 方式を提案している。第 2 の問題を解決するためには、SRAM を用いて、行変換の結果を格納する新たな方法を提案している。[Zhu、ICIP 2013]でも SRAM を用いた方法を提案しているが、最悪のケースで I/O 使用率が 12.5% に過ぎないため、転置バッファの面積消費は依然として大きい。一方、本論文で提案する手法では、転置バッファの操作を、行変換結果の格納位置を並べ替えることで実現する方法を提案している。結果として、演算処理部では、[Shen、IEICE 2013]と比較して 25% のゲート数が削減された。また、転置バッファのハードウェアは、[Zhu、ICIP 2013]と比較し、約 62% の削減が可能となった。提案手法によりメモリ部を含めてハードウェア回路規模を削減している点は学術面、実用面で評価できる。

第 3 章 A Low-Cost System Design for De-quantization and Inverse Transform では、画像の再構成処理における逆量子化と逆変換のシステムのアーキテクチャを提案している。逆量子化では量子化された入力係数をスケールリングパラメータとの乗算で元に戻した結果の保持にバッファ等が用いられ、2 段階で行われる逆変換処理の中間結果の保持に転置バッファが使用される。従来法では、逆量子化で乗算器が多用されること、および逆量子化と逆変換処理の結果の記憶で、多くのゼロ要素が存在するにもかかわらず、通常の数値と同様に扱うことが問題であった。[Tikekar、ICIP 2014]では、逆変換の演算処理部についてのみゼロ要素の処理をスキップしたが、メモリ操作のゼロ要素の処理については行っていない。これらの問題に対して以下の方法を提案している。逆量子化での乗算のハードウェアを減らすために、入力係数をベース部分(Base level)と残りの部分の 2 つに分解する。ベース部分の値は 0, 1, 2, 3 に限られるために、ベース部分とスケールリングパラメータの乗算はルックアップテーブル(Look Up Table, LUT)で置き換える。残りの部分については、 4×4 の処理ブロックにおいて、ゼロでない数は、多くの場合、4 個より多くはないため、1 クロックサイクルで 1 つの 4×4 ブロックを処理するために 4 つの乗算器のみを設ける。ゼロでない数が 4 つ以上ある場合には、出力順序を調整し 4 つの乗算器を異なるクロックサイクルで再度、利用することで対応する。システム内の 2 つのバッファに対し、ゼロ要素のメモリ操作をスキップするために入力係数のデータを再利用し、最初にゼロ要素を検出する制御フローを作成する。検出後、メモリ操作のゼロスキップを実施する。その結果、逆量子化処理に対して、[Tikekar、ICIP 2014]と比較して、本提案はハードウェア量を 77% 削減可能とした。メモリ操作のゼロスキップ法は、メモリ操作をスキップしない方法に比べてメモリ部分の消費電力を 29%~86% 削減することができた。乗算器のハードウェア量の削

減とメモリ部における電力の削減は実用面で評価できる。

第4章 Fast Prediction Unit Depth and Prediction Mode Selection Algorithm for HEVC Intra Prediction では、イントラ予測の予測ユニット (Prediction Unit, PU) の選択と予測モードの選択を高速に行う方法を提案する。HEVC テストモデル (HM) では、PU のサイズが 5 通りあり、その内の $64 \times 64 / 32 \times 32 / 16 \times 16$ の場合の R-D コスト計算を必要とする予測モードの数は 3 で、 $8 \times 8 / 4 \times 4$ の場合の数は 8 である。これらすべての場合で R-D コストを計算すると、計算時間が大きくなるので、多くの研究では、最良の可能性が低いモードの R-D コスト計算をスキップする方法を提案している。[Xiong, ISPACS 2012] は、PU と予測モード選択のための勾配ベースの高速決定アルゴリズムを提案したが、符号化の計算複雑度の削減度合が画像データに依存し、計算時間がかかる。[Zhang, VCIP 2012] も勾配ベースの方法を提案し、計算時間は削減したが、画質の低下を招いている。そこで本論文では新たなコスト計算モデルに基づく方法を提案している。最初に、単純化されたコスト計算に基づいて、高速な前処理を行う。 8×8 のコストを見積もった後、その結果を利用して、より大きな PU のコストを予測する。予測した推定コストに基づいて、5 つの PU サイズのうちの 2 つの隣接するサイズの PU のみを選択し、R-D コスト計算を行う。これにより、HM で採用されている詳細なコスト計算を避けることができる。提案したコスト計算モデルでは大きな変換サイズでの計算はなくなるが、単純化されたコストのため実際の R-D コストとは違いがある。それを軽減するために、 32×32 PU については、ある条件下で R-D コストを計算する補償方式を提案している。この補償法は、特に高解像画像の符号化性能を効果的に改善することができる。HM (バージョン 7.0) と比較して、提案アルゴリズムは、イントラ符号化処理に関して、BD-bitrate は 1.87% の圧縮効率の低下であるが、約 52% の計算時間の削減を達成した。一方、[Xiong, ISPACS 2012] と比較すると、BD-bitrate で 0.62% の低下であるが、符号化時間では平均で 14%、最良で 23% の短縮を実現できている。また、[Zhang, VCIP 2012] と比較すると、BD-bitrate は 3.23% の向上で、符号化時間が平均で 5% の増加となっている。画質劣化を抑えつつ時間短縮に新しい計算モデルを提案したことは学術的に評価できる。

第5章 Conclusion and Future Work では、本論文の結論と将来の課題について述べている。

以上、本論文は HEVC による動画画像圧縮符号化において、モード決定および再構成ループの課題に対する新アルゴリズムと新アーキテクチャを提案し、学術的にも、実用的にも高く評価できる。よって本論文は博士 (工学) の学位論文として価値あるものと認める。

2017 年 1 月 27 日

審査員

主査	早稲田大学教授	工学博士(京都大学)	木村晋二
	早稲田大学教授	博士(工学)(大阪大学)	吉村 猛
	早稲田大学教授	工学博士(東北大学)	渡邊 孝博
	早稲田大学名誉教授	工学博士(早稲田大学)	後藤 敏