

早稲田大学大学院情報生産システム研究科

博士論文審査結果報告書

論 文 題 目

Study on Numerical Integration Algorithms and Time-Step Control Methods in Pseudo-Transient Analysis for Solving Nonlinear DC Circuit Equations

申 請 者

Xiao WU

情報生産システム工学専攻

2017年 7月

集積回路の設計ではコンピュータ援用設計技術が重要な役割を担っている。一連の設計工程における回路設計と検証のフェーズでは電子回路シミュレータが広く用いられている。集積回路の設計に関する要素技術の一つである回路シミュレーションのための数値解析技法を開発・発展させることは重要な課題となっている。電子回路の数値解析技法に関する研究は歴史が長く、回路シミュレータ SPICE の開発と並行して 1970 年代までに多くの要素技術が確立されている。この技術を基に、現在までに多数の SPICE 系回路シミュレータが開発され、実用されている。しかし、現在でも未解決な問題が多く、なかでも大規模回路網の数値解析技法の収束性に関する問題とその実用化に関する問題は特に重要な問題とされてきた。

回路シミュレーションの中で、最も基本的かつ重要で困難な問題は、非線形回路の直流（動作点）解析である。直流解析は回路を記述する非線形代数方程式系に反復法を適用して求解することにより行われる。最も代表的な反復解法である Newton 法は問題の性質が良ければ収束は速いが、多くの場合良い初期近似解を与えないと解へ収束しない。大規模回路網ではそのような初期推量を得ることは実用的に困難である。この非収束問題に対処する手法として、修正 Newton 法、連続 Newton 法、擬似過渡解析法(Pseudo-Transient Analysis: PTA)などが知られている。なかでも、PTA は有力な手法の一つと認識されている。PTA は解くべき非線形抵抗回路に擬似的にリアクタンス素子（キャパシタとインダクタ）を挿入して擬似回路を構成し、過渡解析を実行して定常状態に至ったら、その解を元の抵抗回路の直流解とする手法である。回路方程式レベルでは、元の非線形代数方程式を直接解く代わりに、非線形微分代数方程式の問題に変換して、それに数値積分法を適用して解く手法と解釈される。しかし、このとき挿入した擬似リアクタンスのために回路によっては発振して定常状態に落ち着かないという問題が新たに生じる。

このような PTA の発振問題に対処するために、元の回路に挿入する擬似素子の観点から複合擬似素子を用いる Compound Element PTA(CEPTA)が提案されている。この手法では、擬似素子として、単純なリアクタンス素子の代わりに、時変抵抗とキャパシタ、時変コンダクタンスとインダクタで構成される複合素子を用いる。更に最近、CEPTA に基づく新たな実装法と擬似素子の埋め込み法(Z. Jin, IEICE Trans 2013)が提案されている。一方、業界標準の商用回路シミュレータもその手法を PTA と称しているが、公開されていないので詳細は不明である。また、PTA に用いられる数値積分アルゴリズムの時間刻み幅制御も PTA の収束性能に大きく影響する。これに関して、Newton 反復回数に基づく単純な制御法、更に、方程式の残余(residual)に基づく手法 Switched Evolution / Relaxation (SER) (C. T. Kelley, SIAM J.1998) が知られている。しかし、従来のいずれの手法も大規模回路網に対する非収束問題を完全解決するには至っていない。従って、大規模回路網に対して実現容易でかつ収束性に優れた実用的な数値解析技法の開発が重要な課題となっている。

本論文は、前述の課題に対して実用的な立場から著者がこれまでに行ってきた研究の成果を纏めたものである。本論文の目的は、前述の回路シミュレーションの非収束問題に対して実用的な解決策を与えるために、PTAの非収束問題に対して収束性能を改良する新たな解決手法を開発することにおかれている。即ち、本論文では、従来の研究（擬似素子の観点）とは異なる数値積分法の観点からPTAの発振問題に対処する(1) Damped PTA (DPTA)と(2) DPTAのための時間刻み幅制御法を提案し、回路シミュレータ SPICE に実装して実用大規模回路に適用し、その実用的有効性を検証している。

本論文は5章から構成されている。以下、各章ごとにその内容の概略を述べ、評価を加えることにする。

第1章“Introduction”では、本研究の背景となっている集積回路の設計における回路シミュレーションに対する数値解析技法の重要性と問題点、非線形回路の数値解析技法に関する従来の研究状況と課題について概観すると共に、本研究の位置付けと目的を明確にしている。

第2章“Preliminaries”では、本論文の準備として後章の議論のために、非線形回路の直流解析に用いられる数値解析技法について概観すると共に、本研究に関連する非収束問題に対する従来のPTAの研究結果を要約している。

第3章“A PTA Method Using Numerical Integration Algorithms with Artificial Damping for Solving Nonlinear DC Circuit Equations”では、ダンピング効果を持つ数値積分法を用いるPTA法を提案している。これは従来の擬似素子の観点からのPTAの研究に対して、全く異なる観点（数値積分手法の観点）から発振問題に対処するものである。まず、数値的ダンピング効果の大きな多段数値積分法（ k 段、 $k=1,2,3,\dots$ ）を新たに考案し、それを用いたPTA法としてDPTAを提案している。ここで、 $k=1$ の場合、既存の後退オイラー法に相当する。また、提案数値積分法の性質について考察し、この数値積分法が収束性を持つこと、より大きなダンピング効果を持つことを明らかにしている。提案数値積分法は、段数 k を増すに従って、後退オイラー法よりも格段にダンピング効果が大きくなり、発振現象を低減させる効果がある。次に、前述の提案数値積分法の段数切換法を提案している。提案多段数値積分法をPTAに応用する際に、段数を $k=1$ から漸増し、各時間点のNewton法の収束状況を判断して効果的に段数 k を切り換えるものである。段数 k をスムーズに切り換えることにより、収束性を高める効果がある。

提案手法をSPICE回路シミュレータに実装して、実用大規模アナログ回路に適用している。その結果、提案手法は、多くの実用アナログ回路で従来手法（Z. Jin, IEICE Trans 2013）と比べて収束に至るまでの計算時間を低減している。大規模アナログ回路（1,516 MOSトランジスタ）ではCPU時間で4.79倍高速化している。更に、提案手法を用いることにより、従来手法や業界標準回路シミュレータでは収束困難な大規模アナログ回路（1,516 MOSトラン

ジスタ以上) を含む 62 例の多数のテスト回路全てが収束している。

第 4 章 “An Adaptive Time-Step Control Method in Damped Pseudo-Transient Analysis for Solving Nonlinear DC Circuit Equations” では、前章で提案した DPTA のための効果的な時間刻み幅制御法を提案している。まず、PTA が収束に至るまでの回路の過渡解の過程を探索フェーズと収束フェーズに分けて、時間刻み幅の要求について考察している。これに基づいて、各時間点において擬似素子の電流（または電圧）、過渡解の相対変化、Newton 反復回数を評価して回路の状態を推定し、時間刻み幅を制御する手法を提案している。更に、各時間点で Newton 法が収束しない場合、時間刻み幅を段階的に縮小する手法を提案している。これによって、従来手法のように上限値を設定して時間刻み幅を制限する必要がなくなる。つまり回路の状態に応じてより大きな時間刻み幅を用いることができ、ダンピング効果を大きくすることができる。また、時間刻み幅は PTA で挿入される擬似キャパシタの値に依存する。従来の時間刻み幅制御法は擬似キャパシタの値に敏感であったが、提案手法によりこれを緩和することができる。

提案手法を SPICE 回路シミュレータに実装して、実用大規模アナログ回路に適用し、提案手法の有効性を検証している。その結果、提案手法はテストした 113 例の多数の実用回路全てで収束し、本手法を適用しない DPTA と比較して 0.86~104.82 倍の収束の高速化（効率化）、従来の SER(C. T. Kelley, SIAM J.1998) と比較して 1.22~76.3 倍の高速化（効率化）を得ている。

更に、従来は収束可否が敏感に変化して取り得る範囲が狭かった擬似キャパシタの値は、提案手法を用いることでその範囲が 2 桁から 6 桁拡大し、robust 性も向上している。

第 5 章 “Conclusions” では、本論文の研究成果を総括している。

以上が本研究の成果で、これを要約すると、本研究は、集積回路の設計、検証に関する重要課題である回路シミュレーションのための数値解析技法の非収束問題に対して、擬似過渡解析法の収束性能を改良する手法を提案し、回路シミュレータ SPICE に実装して実用大規模回路に適用し、実用的有効性を検証したものである。これらの成果は、集積回路設計に対して新たな方法論を与え、集積回路設計検証技術の発展に貢献したものである。よって本論文は博士（工学）の学位論文として価値あるものと認める。

2017年6月26日

審査員

主査	早稲田大学教授	博士(情報学)(京都大学)	篠原尋史
	早稲田大学教授	博士(学術)(神戸大学)	吉増敏彦
	早稲田大学教授	工学博士 (東北大学)	渡邊孝博
	早稲田大学名誉教授	博士(工学)(早稲田大学)	井上靖秋