

博士論文審査結果報告書

論 文 題 目

Decoding Motion Vector based on
Block Merging and Motion
Compensation with Distance-biased
Cache for Energy-efficient VLSI
Architectures of HEVC

申 請 者

Shihao WANG

情報生産システム工学専攻
最適化技術研究

2017 年 7 月

これまで 4K / 8K 超高精細テレビ (UHDTV) は次世代テレビといわれてきたが、いよいよその普及が始まろうとしている。そして、近い将来、これら 4K/8K のビデオアプリケーションが本格的に普及すれば、データ通信量が大幅に増加することは明白である。そこで動画像の蓄積と通信の負担を軽減するため HEVC (High Efficiency Video Coding) とよばれる新しいビデオ符号化規格が 2013 年に標準化された。HEVC は、従来の H.264 規格と比較して、同じビデオ品質に対して約 2 倍の圧縮能力を実現している。しかし、その一方、計算量の増加を伴っており、リアルタイム HEVC デコーダシステムの実装が一つの課題となっている。HEVC デコーダシステムの VLSI による実装では、復号(デコード)処理の高速化とともに、低消費電力化のための回路アーキテクチャが重要となっている。

HEVC は伝送効率化のため、画像をそのまま送るのではなく、過去の映像をもとに次の映像を予測し実際の画像との差分のみを送信する方式を継承している。そのため、デコーダ側での「動きベクトルの復号処理 (Parameter Decoder、以下 PDec と記述)」と「動き補償 (Motion Compensation、以下 MC と記述)」は、デコーダ全体の約 49% の計算量と約 60% のメモリ帯域幅を占めている。従って、リアルタイム復号処理のための VLSI アーキテクチャ設計において、これらの処理の効率化が重要となる。しかし、HEVC では扱うデータ量が増えただけでなく PDec と MC の双方に対して新しい機能が採用されたことから、演算量がさらに増大している。例えば、HEVC では符号化ユニットの数およびサイズの最大値が増加したことにより、PDec の処理で対象となるブロックの種類が H.264 の 7 個からその 3 倍以上の 24 個に増加している。また、MC では、1/4 サンプル精度の動き補償で用いる補間器のタップ数が増加したことさらに多くのメモリ帯域幅および演算量が必要となっている。そのため、PDec および MC の双方でこれらの新しい HEVC 機能を処理するためのエネルギー効率の良い VLSI アーキテクチャが望まれている。

そこで本論文では、データ再利用の観点から、PDec と MC のそれぞれに対してメモリアクセスと演算量の双方を削減し低消費電力化を実現した VLSI アーキテクチャを提案している。具体的には、H.264 の PDec の処理では、種々なサイズのブロックを同一サイズのサブブロックに分割して処理しハードウェア量を削減していたが、無駄な計算を繰り返し実行する可能性があった。そこで、本研究では、ハードウェア量の増加を抑えつつ、計算結果の再利用により無駄な計算をなくし、消費電力を削減する手法を提案している。また MC ではその処理の特性からデータ再利用の可能性が予測できることを発見し、データ再利用の可能性に応じてキャッシュメモリのサイズを調整することにより、単純なダイレクトマップ方式と同等の制御でキャッシュのヒット率を向上させ、消費電力を削減する手法を提案している。

以下に各章毎の概要を述べ、評価を加えることとする。

第 1 章[Introduction]では、HEVC デコーダの PDec(Parameter Decoder) と MC(Motion Compensation) の処理の背景と新しく追加された機能、そしてこれらの新機能による VLSI 設計の課題について説明している。また、研究目標について述べ、それに取り組む上での統一的な視点について議論している。一方、過去の論文で発表された最先端 VLSI アーキテクチャについてまとめている。

第 2 章[Block Merging based Unified HEVC Parameter Decoder Design]では、ブロックマージ手法による PDec の低消費電力 VLSI アーキテクチャを提案している。このブロックマージと称する手法の基本的な考え方は、従来の研究で見逃されていたブロック間のデータの再利用を実現し、計算複雑度を下げることによりエネルギー効率を向上させることである。PDec の基本的な処理は各ブロックの動きベクトルの復号であるが、これをハードウェアで実現する場合、ブロックサイズ毎にモジュールを設計する必要がある。そこで従来の H.264 方式では、様々なサイズのブロックを小さな 1 種類の共通ブロックの集合に分割し、この共通ブロック毎の処理を繰り返していた。この方式は、ハードウェア量は削減できるものの、同じ動きベクトル(Motion Vector、以下 MV と記述) の値を繰り返し計算する無駄が生じる。この無駄は H.264 では許容範囲であったが HEVC ではブロックの種類が 7 種類から 24 種類になり、さらに最大ブロックサイズが 32x32 から 64x64 に増大したため無駄な計算量の割合が最大 95.5%にも達し、非現実的となる。そこで本研究では 24 種類のサイズのブロックを適切に組み合わせることでサイズの種類を 4 種類に削減するブロックマージ手法を提案している。これにより、MV の値の無駄な計算の削除とハードウェア量の削減を可能としている。その他、本研究では、動きベクトルだけでなく境界強度も復号する統一アーキテクチャを提案している。これにより両方でメモリを共有することを可能とし、2つの復号処理間でのデータ再利用化を高めている。また、PU(Prediction Unit) ベース符号化方式の導入により DRAM 帯域幅を 30~90%削減している。さらに、回路規模に関しては、上述のブロックマージ手法に加え、インデックス・マッピング方式を提案し、既存の手法(J.Zhou, IEICE Trans. Fund. 2011)に比べ論理ゲート数を約 36%削減している。ブロックマージ手法など PDec に関する提案手法は世界初の HEVC の 7680x4320 @ 60fps リアルタイムビデオデコーダに組み込まれ、その実現に貢献している。以上、PDec のハードウェア量および DRAM バンド幅を削減したこと、世界初の 8K リアルタイムデコーダの実現に貢献したことは実用面から高く評価できる。

第 3 章[Distance-biased Cache based HEVC Motion Compensation Architecture]では、過去の参照画像データ用のキャッシュメモリ設計において、データの再利用可能性(ヒット率)に応じてキャッシュセットのサイズ

を決定することで、効率化を図る方式を提案している。これまで、MC の処理では汎用のダイレクトマップ方式またはセットアソシアティブ方式のキャッシュ構造が用いられてきた。本研究では MC 処理の特性を活かしてヒット率を向上させるキャッシュ方式を提案している。一般的にはデータ毎のキャッシュヒット率を事前に予測することはできない。しかし、MC 処理では、予測フレームと参照フレームの時間差を”距離”と定義すると、距離が近い直前のフレームのデータが利用される可能性が最も高く、遠くなるに従い可能性が下がると見込まれることから、”距離”に基づいて再利用の可能性を予測することが考えられる。そこで本研究では距離とヒット率の関係を定量的に評価し、各キャッシュセットのサイズを距離によって定義する”Distance-biased Cache”方式を提案している。これにより、制御構造の簡単なダイレクトマップ方式をベースとしながら、より複雑なセットアソシアティブ方式に近いヒット率を実現している。本研究では、さらに、未使用のデータフェッチを可能な限り削減しデータ配信効率を2倍にする8バンクキャッシュ方式、潜在的なパイプラインハザードを効率的に解決するマスクベースのブロックコンフリクトチェック方式等も併せて提案している。これらの方式により、既存の手法 (M.Tikekar, IEEE JSSC 2014) と比較して、論理ゲート数、メモリアクセスおよび消費電力をそれぞれ 76%、81%、62% 削減している。また、これらの MC に関する新しいキャッシュ方式は 7680x4320 @ 60fps デコーダに組み込まれ、その実現に貢献している。以上、本研究で提案した Cache 方式は論理ゲート数、メモリアクセスおよび電力のいずれにおいても従来方式を大幅に上回っており、学術面でも実用面でも高く評価できる。

第4章[Conclusion]では本研究で得られた成果を総括すると共に、今後の課題を述べている。

以上、本論文はデータ再利用の観点から HEVC デコーダの処理を見直し、負荷の大きい Parameter Decoder および Motion Compensation に対する新方式、アーキテクチャを提案したことは学術的にも、実用的にも高く評価できる。よって本論文は博士(工学)の学位論文として価値あるものと認める。

2017年 7月 11日

審査員

主査	早稲田大学教授	博士(工学)(大阪大学)	吉村 猛
	早稲田大学教授	工学博士(東北大学)	渡邊 孝博
	早稲田大学教授	工学博士(京都大学)	木村晋二
	早稲田大学名誉教授	工学博士(早稲田大学)	後藤 敏