

早稲田大学大学院情報生産システム研究科

博士論文審査結果報告書

論 文 題 目

**Study on Low Voltage and Low
Power CMOS Voltage Reference
Circuits without Resistors**

申 請 者
Jing WANG

情報生産システム工学専攻
ディペンダブル情報システム研究

2017年 12月

システムオンチップ（以下 SoC: System on Chip）はアナログ回路やデジタル回路を一個のチップに統合した大規模集積回路システムであり、携帯機器をはじめ様々な電子機器に広く使用されている。基準電圧回路はそのような SoC にとって不可欠な構成要素である。基準電圧回路が発生する製造ばらつきや電源電圧変動の影響を受けない一定電圧は、ADC (Analog-to-Digital Converter)、DAC (Digital-to-Analog Converter)、PLL (Phase Locked Loop)、DC-DC 変換器などの SoC に内蔵されるアナログ回路の基準電圧として使用される。このため、基準電圧回路の精度は SoC における信号処理や動作の精度の起点となる。基準電圧回路には大別して次の二種類がある。一つは、CTAT (Complementary to Absolute Temperature) や PTAT (Proportional to Absolute Temperature) と呼ばれて、温度変動に比例して変化する出力電圧が温度センサなどに用いられるものである。もう一つは温度に対して不感で、オンチップ基準電圧として広く用いられるものであり、BGR (Bandgap Reference) 回路が有名である。

基準電圧回路に求められる性能には、精度(出力電圧の電源電圧依存性や温度依存性が小さいことなど)だけでなく、消費電力に強い制約のかかる場合が多い SoC の構成要素として低消費電力特性が重要である。また、CMOS (Complementary Metal Oxide-Semiconductor) プロセス技術の微細化に伴って動作電圧は低下し続けていて、低動作電圧への要求は強まっている。PTAT/CTAT 回路では温度センサがチップ上に多数配置されることから、自身の消費電力特性が特に重要であり、BGR 回路ではその動作電圧と出力電圧がデジタル回路を含めた SoC 全体に影響を及ぼすので、低電圧化が主要課題となる。更に、SoC に用いられるデジタル回路向け CMOS プロセスでは抵抗の占める面積が大きくなり、ナノワット級回路ではそれが著しいことから、抵抗なしに回路を構成することが実用性の観点から強く求められる。

CTAT 回路として、MOS FET (Field Effect Transistor) のしきい値電圧 V_{th} が温度依存性を持つことを利用した V_{th} 抽出回路が用いられてきた。従来の V_{th} 抽出回路として、G. Fikos ら (TCASII2001) は $1.14 \mu W$ の低消費電力を抵抗なしで実現したが電源電圧は $2V$ と高かった。S. Vlassis ら (ElectronLett2007) は動作電圧を $1V$ まで下げたが、抵抗を要して消費電力 $50 \mu W$ と大きかった。より広範囲な出力電圧を持つものとして V_{th} の n 倍を出力する回路が Z. Wang (JSSC1992) から報告されている。しかし n は自然数に限定され、低消費電力、低電圧動作ではなかった。

一方、温度に関して不感な基準電圧回路として、BGR 回路が R.J. Widlar (JSSC1971) から発表され、A.P. Brokwan による改良版が JSSC1974 に報告された。その後様々な改良がなされ、H. Banba ら (JSSC1999) は初めて $0.84V$ の低電圧を達成した。しかしこれらはいずれも抵抗を用いていた。抵抗不要の BGR 回路は A. Buck らが ISSCC2000 で報告したが、電源電圧は $3.7V$ と高かった。

本論文はこのような課題、背景のもとに著者が行ってきた研究の成果を纏めたものである。目的は、SoC 内蔵用として使用される二種類の CMOS 基準電圧回路に対して、高精度出力電圧特性に加えて、従来は全てを満たすのが困難だった低消費電力、低電圧、抵抗不要の諸要求を同時に満足させる点にある。この目的のため、CTAT 回路では、MOS FET のオーバードライブ電圧に着目した最適設定手法とその変動分を巧妙に補償する回路を提案している。BGR 回路では、CMOS 電圧分割回路による動作電圧の低減と CTAT 電流源による温度補償を提案している。両回路とも回路シミュレーションと試作したテストチップの実測評価で有効性を検証している。また、アナログ回路の検証時間短縮のため、回路設計に先立って統計解析ツールの開発も行っている。

本論文は 5 章から構成されている。以下、各章ごとにその内容の概略を述べ評価を加えることにする。

第 1 章 "Introduction" では、まず本研究の背景として基準電圧回路の応用とそれに対する要求を簡潔に述べ、次に本研究の動機と目的を提示している。最後に本研究の貢献と続章の構成を示している。

第 2 章 "A Simple and Practical Statistical Device Model for Analog LSI Designs" では、アナログ回路設計のための単純で実用的な統計解析デバイスモデルを提案している。微細化が進んだ MOS FET の特性は、ロット間やチップ間ばらつきのようなグローバルばらつきに加えて、ペア間ミスマッチのようなランダムばらつきの影響も受ける。提案モデルは通常別々に扱われる両ばらつきを一括して扱うものであり、パラメータを主要 4 個に限定することで複雑化することを避けている。オペアンプ回路のシミュレーションに適用し、実測値と比較した。平均値と標準偏差の誤差は増幅率で 1dB と 0.3dB、消費電流で 0.01% と 3.03% といずれも小さく、有効性が検証された。この統計解析デバイスモデルは第 3 章第 4 章でも活用されている。

第 3 章 "Accurate Nanopower Supply Insensitive CMOS Unit V_{th} Extractor and Continuous αV_{th} Extractor by Overdrive Voltage Control Technique" では、CTAT 回路として、電源電圧依存性が極めて低いナノワット級 V_{th} 抽出回路と低消費電力 αV_{th} 抽出回路 (α は連続可変) を提案している。両回路とも、MOS FET だけで構成されていて、抵抗不要である。

V_{th} 抽出回路では、MOS FET のオーバードライブ電圧 V_{ov} を温度特性に悪影響を及ぼさない範囲で最小値に設定することと長ゲート長 MOS FET の採用で消費電力を低減した。また、電源電圧による V_{ov} 変動を回路内で互いにキャンセルさせることで出力電圧の電源電圧依存性を抑制した。180nm CMOS プロセスでの回路シミュレーション結果は、それぞれ 265nW、0.027%/V で、前述の先行研究と比較してどちらも 1/5 に改善している。

αV_{th} 抽出回路では、トランジスタ寸法で α 値を様々な値に連続的に調節する方法が提案されている。回路シミュレーション結果では、消費電力はナ

ノワット台から数マイクロワット(α 値に依存する)、出力電圧の電源電圧依存性は 0.146%/V である。自由度の高い αV_{th} 抽出回路でありながら、先行研究の V_{th} 抽出回路($\alpha=1$ に限定)とも遜色ない値である。

最後に V_{th} 抽出回路のテスト回路を実測評価した。消費電力 432nW はシミュレーション値に近い。出力電圧の電源電圧依存性 1.57%/V はシミュレーション値と隔たりがあるが、測定系起因であることを考察で明らかにしている。

第 4 章 "A 3.5ppm/ $^{\circ}$ C 0.85 V Bandgap Reference Circuit without Resistors by Using a Voltage Divider and a CTAT Current Source" では、電源電圧 1V 未満で動作する BGR 回路を提案している。これも MOS FET だけで抵抗なしに構成されている。第一の特徴は CMOS 電圧分割回路で出力電圧を半分以下の 0.5V に削減し低電圧動作を可能としたこと、第二の特徴は、CTAT 電流源を正の温度特性(PTAT)を持つ基準電圧生成部分と組み合わせる新規な温度補償方法を提案したことである。

180nm CMOS プロセスによる回路シミュレーション結果によると、最低動作電源電圧 0.85V、出力電圧の温度依存性 3.5ppm/ $^{\circ}$ C (0 $^{\circ}$ C ~ 70 $^{\circ}$ C) を 300nW の極低消費電力で実現している。テスト回路の実測結果はそれぞれ 0.85V、4.9ppm/ $^{\circ}$ C、340nW で、予想とほぼ同等であった。低電圧動作を志向した抵抗なし BGR 回路に関する A. Becker-Gomez ら(TCASH2008)の先行研究では、シミュレーション結果としてそれぞれ 1.4V、4ppm/ $^{\circ}$ C (0 $^{\circ}$ C ~ 100 $^{\circ}$ C)、21 μ W が報告されている。これと比較すると、本研究は同等の出力電圧温度依存性を、2 桁近く低い消費電力と 1V 未満の動作電圧で達成している。

第 5 章 "Conclusions and Future Works" では、本論文の研究成果を総括し今後の研究の方向を展望している。

以上が本研究の成果で、これを要約すると、本研究は、SoC に必須の構成要素である CMOS 基準電圧回路に関して、温度依存性を持つ CTAT 回路と温度不感な BGR 回路の双方に対して抵抗を用いない実用的方法で新規な回路を提案し、回路シミュレーションと実測評価の両面で高精度、低消費電力、低動作電圧を実証したものである。これらの成果は、基準電圧回路に求められる諸特性を一層改善させ、SoC の更なる低消費電力化に貢献するものと言える。よって本論文は博士(工学)の学位論文として価値あるものと認める。

2017年12月4日

審査員

主査	早稲田大学教授	博士(情報学)(京都大学)	篠原尋史
	早稲田大学教授	博士(学術)(神戸大学)	吉増敏彦
	早稲田大学教授	工学博士(東北大学)	渡邊孝博
	早稲田大学名誉教授	博士(工学)(早稲田大学)	井上靖秋