

博士論文審査報告書

論文題目

Floorplan-Aware High-Level Synthesis
Algorithms and their Acceleration
by Ising Computations

フロアプラン指向高位合成手法と
イジング計算機応用に関する研究

申請者

Kotaro	TERADA
寺田	晃太郎

情報理工・情報通信専攻 情報システム設計研究

2018年 2月

1つの集積回路中に搭載される素子数は今や 10 億個を超え、これら膨大な素子を手で設計することはほぼ不可能となった。大規模化する集積回路を効率よく設計するための解の一つに高位合成がある。高位合成とは、集積回路の動作を記述した抽象度の高い記述（動作記述と呼ばれる）からレジスタ転送レベルと呼ばれる回路記述を計算機により自動合成する技術である。高位合成を活用することで、回路設計者は集積回路の動作自体を記述することに注力することができ、比較的少量の記述によって大規模化かつ複雑化する集積回路設計を実現できる。

一方、国際半導体技術ロードマップ（ITRS）等によると、近年の半導体加工技術の微細化に伴い、素子遅延に比較して、素子同士を相互に結合する配線遅延が相対的に増加する傾向にある。つまり、高位合成の段階であっても、素子遅延を中心としたタイミング設計を取り入れるだけでは、最終的に設計・製造された集積回路チップが想定した速度で動作することは極めて困難であり、高位合成の段階でも素子の配置や素子間の配線といったレイアウト設計を陽に考慮に入れ、素子遅延と素子間の配線遅延とを同時に考慮したタイミング設計が不可欠となる。

こうした背景から、近年、集積回路の高位合成において、レジスタ分散アーキテクチャなる新たな設計アーキテクチャが提案されている。これは、部分演算を実行する小回路ブロック、部分演算の結果データを一時保存するレジスタブロック、これらを制御する制御ブロックによって、配線遅延が無視できる小区画（これは島と呼ばれる）を構成し、島の集合として集積回路を構成する設計アーキテクチャである。演算に必要なレジスタが各島に分散して配置されるため、レジスタ・演算間で配線遅延を極小化することが可能となり、また島間の配線遅延と島内の配線遅延を別個に評価することで、高位合成の段階にて、素子遅延と素子間の配線遅延とを同時に最適化したタイミング設計が実現可能となる。

しかしながら、レジスタ分散アーキテクチャを対象とする高位合成では、従来の高位合成では考慮されないさまざまな問題が生じる。その中でも大きな問題の一つに「演算チェーン」がある。演算チェーンとは、個別の演算を1つのクロックサイクルで実行するのではなく、依存関係のある複数の演算をまとめて1つのクロックサイクルで実行し、回路実行に要するレイテンシを効率よく削減するものである。レジスタ分散アーキテクチャでは高位合成の段階で、素子遅延と同時に、島間・島内の配線遅延を陽に考慮しながら演算チェーンを構成することが強く求められる。さらにレジスタ分散アーキテクチャを対象とする高位合成では、さまざまな場面で島のフロアプランが必要となり、これが高位合成全体の処理時間のボトルネックとなる可能性があり、これを解消することが強く望まれる。

以上の背景のもと、本論文では、レジスタ分散アーキテクチャを対象とする高位合成、特にそのための演算チェーンとフロアプランに焦点を当て、新たな考え方のもと各種のアルゴリズムを提案し、さまざまな観点でこれら进行评估している。

本論文は 7 章から構成される。以下では、各章の概要を述べ、評価を加える。

第 1 章では、本論文の背景と目的および概要をまとめ、著者の研究の位置付けを明らかにしている。

第 2 章では、レジスタ分散アーキテクチャを対象に、演算チェーンを可能とした高位合成の第 1 段階のアルゴリズムを提案している。ここでは、島間距離をもとに最大チェイニング距離なる概念を提案し、これをもとに、まず連続した 2 つの個別演算に限定し、これらの演算チェーンを可能としたアルゴリズムを構築している。計算機実験により有効性を評価している。

第 3 章では、レジスタ分散アーキテクチャを対象に、演算チェーンを可能とした高位合成の第 2 段階のアルゴリズムを提案している。ここでは、演算チェーンを構成する優先度付きパス列挙手法を提案し、これをもとに 2 つ以上任意個の個別演算の演算チェーンを可能としたアルゴリズムを構築している。計算機実験により有効性を評価している。

第 4 章では、レジスタ分散アーキテクチャを対象に、演算チェーンを可能とした高位合成の第 3 段階のアルゴリズムを提案している。ここでは、演算チェーンを構成する演算のビット幅を最適化し、これをもとにより少ない面積コストで 2 つ以上任意個の個別演算の演算チェーンを可能としたアルゴリズムを構築している。計算機実験により有効性を評価している。

第 5 章では、レジスタ分散アーキテクチャを対象とした高位合成の問題点の一つにモジュールのフロアプランがあることを指摘し、その問題を解決する有力な手段として、イジング型計算があることを論じている。また実イジング計算機として半導体イジング計算機を取り上げ、論理イジングモデルを半導体イジング計算機に効率よく埋め込むアルゴリズムを提案し、計算機実験により評価している。

第 6 章では、フロアプラン問題を矩形パッキング問題として定式化し、そのイジングモデル表現を提案している。矩形パッキング問題はシーケンスペアと呼ばれる矩形の順序対によって解空間が表現されるが、これをイジングモデルとして表現、さらに半導体イジング計算機によって解法した評価結果を示している。従来のフロアプラン最適化に比較して、より高速にこの問題を解決できることが示唆され、フロアプラン指向高位合成のボトルネックの解決に大きく寄与すると期待される。

第 7 章では、本論文全体を総括している。

以上が本論文の概要であるが、本論文は、レジスタ分散アーキテクチャを対象とする高位合成、特にそのための演算チェーンとフロアプランに焦点を当て、新たな考え方のもと、各種のアルゴリズムを提案し、さまざまな観点からこれら进行评估している。その結果、従来のレジスタ分散アーキテクチャ向け高位合成アルゴリズムに比較して最大 50%~70%のレイテンシ削減や、フロアプラン問題の解法を 1 桁以上高速化する可能性を見出した。これらの成果は、高度情報通信社会を支える重要な基盤情報技術たる集積回路設計の発展に寄与するところが大きく、本論文は博士(工学)早稲田大学の学位論文として価値あるものと認める。

2018年2月

審査員 主査 早稲田大学教授 博士(工学)早稲田大学 戸川 望

早稲田大学教授 工学博士(早稲田大学) 柳澤政生

早稲田大学教授 博士(工学)早稲田大学 山名早人

早稲田大学准教授 博士(理学)東京大学 田中 宗
