

博士論文概要

論文題目

超高周波用三次元高密度実装のための
ダイレクト金めっきを用いた低応力接合技術

Low stress bonding technology using
direct immersion gold for
ultra-high frequency and high density
three-dimensional package

申請者

乃万	裕一
Hirokazu	NOMA

ナノ理工学専攻 マイクロシステム研究

2018年5月

本論文は、超高周波用三次元高密度実装のためのダイレクト金めっきを用いた低応力接合技術について述べる。

近年、ムーアの法則による半導体集積密度の向上は終焉したと言われている。それに代わり、貫通シリコン電極を用いた三次元チップ実装がメモリ分野などで実用化されている。三次元実装では、チップ同士などでの接合技術が重要となる。チップ同士の接合においては、製品の薄型化や電氣的な性能向上の目的で、チップ間の距離を縮め積層チップ構造を薄くする必要がある。次に、積層チップは、パッケージ基板へと接合される。そのとき、シリコンで作られるチップと有機材料で作られるパッケージ基板の熱膨張係数は、それぞれ 3 ppm/K と 15 ppm/K であり大きく異なる。そのため、前記の接合構造については、接合時の熱によるチップとパッケージの相互作用に起因するチップへのダメージが課題となる。さらに、パッケージ基板の両面にチップを接合する際は、一面目を接合する際に二面目の基板側銅パッドの表面が酸化する課題が存在する。本論文では、上記の 3 つの課題を、基板側の銅パッドの上に直接金を置換還元めっきするダイレクト金めっきに着目して解決することを提案する。ダイレクト金めっきとは、銅に対してニッケルバリア層を介さず、置換還元金めっきを直接行うものである。そのため、微細なピッチの接合に適していることや、銅表面の酸化膜を酸洗いによって除去してから直ちに金めっき浴へと試料を移すため、自然酸化膜は極薄くしか形成されず、実用上は酸化膜の除去が必要ない。さらに、金表面へははんだが濡れ広がりやすいため、従来の銅表面の処理方法である有機防錆被膜とは実装後のはんだ形状が異なるという特長もある。

第 1 章「序論」では、超高周波用三次元高密度実装の必要性の背景、従来の三次元積層化技術、及び後工程の要素技術の有効性とその課題を纏め、本研究の目的について述べた。

第 2 章「ダイレクト金めっきを用いた低応力接合」では、銅ピラーを用いたフリップチップにおけるリフロー接合工法でありながら、低誘電率層を保護できる銅ピラー・はんだ接合構造を実現した。半導体チップを有機基板へとリフロー工法で実装する際、チップの電気特性を向上させるために使われる Low-k 層を保護することが重要である。その目的で、チップ側の銅ピラーなどの設計寸法やリフローの温度プロファイルという工程条件を最適化した例が存在する。しかし、究極的な Low-k 層であるエア・ギャップ技術を用いるには依然として技術開発が必要である。そこで、はんだ形状を最適化することで Low-k 層への応力を低減できるのではないかとの仮説を立て、はんだの基板側のパッドへの濡れ性を最適化することを提案した。その手段として基板側の銅パッドをダイレクト金めっきで表面処理することに着目した。それは、パッド表面を金というはんだが濡れやすい材料にできることと、Ni/Au めっきのようにパッド側面に余分なニッケル層が不

要で、パッド表面を金にすることができることが理由である。実験から、仮説通り、ダイレクト金めっきにおいては有機防錆被膜の場合とは異なりはんだが銅パッド上に広く濡れ広がり、結果としてははんだ接合部周辺に残るはんだ体積が減ることが分かった。この結果に基づき有限要素法で構造解析を行った。その結果、接合部周辺のはんだ体積が少ないダイレクト金めっき処理の方が、有機防錆被膜処理の場合よりも Low-k 層への応力が 15%小さくなることが分かった。それは、リフロー後の冷却時に銅ピラー側面がはんだにより押される力が小さくなるためと考察している。この結果により、基板側パッドの表面処理がダイレクト金めっきの場合に、有機防錆被膜の場合と同じ機械的信頼性を保つのであれば、より誘電率の低い Low-k 層を使えるという知見を得た。

第3章「ダイレクト金めっきを用いたチップ間低背接合」では、超高周波用三次元高密度実装に必要となる銅のダイレクトボンディングについて、ダイレクト金めっきを中間層として用いる手法を提案する。従来は、試料表面の平坦化と、試料表面からの銅酸化膜の除去が必須であった。本章では、表面に銅よりも柔らかい金属である金を用いることができ、かつ銅表面の酸化も抑止できるダイレクト金めっきを中間層として用いることを提案した。上側チップ・下側チップそれぞれ高さ $1.5\ \mu\text{m}$ の平面状の銅上に厚さ $0.2\ \mu\text{m}$ のダイレクト金めっきを施したものを試料として用いた。上下チップの金表面同士を温度条件 $350\ \text{°C}$ 、試料同士の加圧条件 $10\ \text{MPa}$ の、 $0.1\ \text{MPa}$ の大気雰囲気下で接合した。その結果、シェア試験ではシリコンのバルク破壊をし、透過電子顕微鏡観察では界面に局所的なサイズ $0.2\ \mu\text{m}$ のボイドがあるのみであった。ダイレクト金めっき後の表面粗さ R_z は $0.4\ \mu\text{m}$ であり、従来の銅のダイレクト接合技術において必要とされていたナノメートルレベルでの平坦性を必要としない接合工程である。また、本工程ではニッケルやはんだも用いないため、接合高さを従来手法よりも低くできる特長を持つ。本工程は以下の3つの段階に分けることができると考える。第1の段階では、加熱環境下で上下チップの銅上にある金同士が接触し、金が塑性変形により表面粗さを吸収し平らにする。第2の段階では、加熱・加圧環境下で金同士が固相拡散接合を起こす。第3の段階では、加熱環境下で金が銅の中へと拡散し、擬似的な銅のダイレクト接合が形成される。第1の段階について、厚さ $0.2\ \mu\text{m}$ のダイレクト金めっきを施せば、 $R_z 0.4\ \mu\text{m}$ の表面粗さを吸収し、良好な接合が実現できることが透過電子顕微鏡観察から分かった。このことは、第1の段階の塑性変形が、第3の段階での反応と比べ圧倒的に速く進むと考えることで説明できる。表面粗さの凸の部分が、表面粗さの凹の部分へと全て移動すると考えると、例えば表面粗さ R_z の表面を平らにするためにはその半分の厚さのダイレクト金めっきで良いためである。本研究で実現した $3\ \mu\text{m}$ の接合高さは、従来のはんだリフロー工法では実現不可能なものである。また、この接合高さは、銅の厚さを薄くす

ることにより、さらに低減できる可能性を見出した。

第4章「銅パッド表面処理の最適化による両面実装」では、有機防錆被膜と、無電解スズめっきとダイレクト金めっきという金属の表面処理を用い、微細ピッチのフリップチップにおける両面実装を検証した。両面実装の工程では、一面目の実装時の熱が二面目にもかかる。そのため、まず、有機防錆被膜を用いた場合の課題として、表面の酸化、有機防錆被膜の銅への結合状態の変化、有機防錆被膜が実装時にフラックスにより除去されるかが挙げられる。次に、金属の表面処理の場合の課題として、表面の酸化、表面処理した金属と銅との拡散が挙げられる。有機防錆被膜処理では、厚みが分子層レベルで分解温度がリフロー温度以下のものと、厚さ $0.3 \mu\text{m}$ で分解温度がリフロー温度以上のものを用いて実験を行った。並行して、金属表面処理において、 $1.2 \mu\text{m}$ 厚さのスズめっきおよび $0.03 \mu\text{m}$ 及び $0.06 \mu\text{m}$ のダイレクト金めっきを実施した。その結果、有機防錆被膜付きの銅パッドについては、分解温度がリフロー温度以下のものでは断面光学顕微鏡観察においてはんだが銅パッド表面に濡れていることが分かった。これは、有機防錆被膜が一面目のリフロー接合熱で分解したとしても二面目を接合する際のフラックスがその酸化膜を還元できるためと考察している。一方、分解温度がリフロー温度以上のものでは、はんだが銅パッド表面に濡れていない箇所が観察された。これは、有機防錆被膜の銅パッド表面への結合が一面目の実装時の熱で強くなり、二面目の実装時のフラックスに溶けなくなったためと考察している。金属を表面処理として用いた場合、まず、スズめっきについては、はんだが銅パッドへ濡れていない箇所があることが確認できた。これは、一面目の実装時の熱で界面合金層が成長し、リフロー時に溶融しない表面になったためと考察している。次に、ダイレクト金めっきを用いた場合、厚さ $0.03 \mu\text{m}$ のダイレクト金めっきでは、はんだ接合が取れていない箇所があることが電気的な導通試験から明らかになった。厚さ $0.06 \mu\text{m}$ のダイレクト金めっきでは電気的な導通が確保されており、かつ、パッド表面へのはんだの濡れ不良が無いことが断面の光学顕微鏡観察で分かった。ダイレクト金めっきの場合は、 $0.2 \mu\text{m}$ に厚さを増し、加熱処理に関するプロセスマージンを十分に確保することが重要であると考察できる。更なる微細なフリップチップ両面実装においては、微細なピッチでも、はんだブリッジを生じにくいダイレクト金めっきが有機防錆被膜よりも有利になると期待できる。

第5章「結論と今後の展望」では、本研究の成果を総括し、磁界結合メモリへの応用も含めた展望について述べる。磁界結合とは、下のチップのコイルに電流を流すことで磁界を発生させ、上のチップのコイルへと信号を伝達する手法である。いままでの貫通シリコン電極を用いた電気的なチップ間通信にくらべ、1ビットあたりの消費電力が10分の1になるという利点があるだけでなく、厚み方向にも集積を行っていくことにより消費電力の更なる低減が可能となる。

早稲田大学 博士（工学） 学位申請 研究業績書

氏名 乃万 裕一 印

(2018年 7月 現在)

種 類 別	題名、 発表・発行掲載誌名、 発表・発行年月、 連名者（申請者含む）
査読付き 論文	<ol style="list-style-type: none"> 1. <u>OH. Noma</u>, T. Kamibayashi, H. Kuwae, N. Suzuki, T. Nonaka, S. Shoji, and J. Mizuno, "Compensation of Surface Roughness Using an Au Intermediate Layer in a Cu Direct Bonding Process," <i>Journal of Electronic Materials</i>, published online, June 2018. doi: 10.1007/s11664-018-6428-x 2. <u>OH. Noma</u>, K. Toriyama, K. Okamoto, K. Matsumoto, E. Ohno, H. Mori, and Y. Orii, "Peripheral Flip Chip Interconnection on Au Plated Pads using Solder-Capped Cu Pillar Bumps," <i>Transactions of The Japan Institute of Electronics Packaging</i>, Vol. 4, No. 1, pp.95-100, December 2011. 3. <u>OH. Noma</u>, Y. Oyama, H. Nishiwaki, M. Takami, T. Takatani, K. Toriyama, and Y. Orii, "Wettability and Reliability for Double-Sided Assembly with Chip Connection (C2) Flip-Chip Technology," <i>Transactions of The Japan Institute of Electronics Packaging</i>, Vol. 2, No. 1, pp.85-90, December 2009. 4. <u>H. Noma</u>, K. Okamoto, K. Toriyama, and H. Mori, "HAST Failure Investigation on Ultra-high Density Lines for 2.1D Packages," <i>2015 International Conference on Electronics Packaging and iMAPS All Asia Conference</i>, pp. 161-165, April 2015. 5. <u>H. Noma</u> and T. Nakanishi, "Etching Process Analysis Based on Etchant Flow for High Density Build-up Substrate." <i>Electronics Packaging Technology Conference</i>, pp. 289-293, December 2004. 6. <u>乃万裕一</u>, 中西徹, "薄膜ドライフィルムレジストを利用した高密度ビルドアップ基板エッチングプロセス解析," <i>エレクトロニクス実装学会誌</i>, Vol.7, No.7, pp. 599-606, November 2004. 7. <u>H. Noma</u>, H. Takahashi, H. Fujioka, M. Oshima, Y. Baba, K. Hirose, M. Niwa, K. Usuda, and N. Hirashita, "Uniaxial and Biaxial Strain Field Dependence of the Thermal Oxidation Rate of Silicon," <i>Journal of Applied Physics</i>, Vol. 90, No. 10, pp. 5434-5437, November 2001. 8. <u>H. Noma</u>, H. Fujioka, M. Oshima, and Y. Baba, "Stress Field Dependence of the Silicon Oxidation Rate," <i>Transactions of the Material Research Society of Japan</i>, Vol. 25, pp151-152, March 2000. 9. K. Honda, <u>H. Noma</u>, H. Onozeki, S. Fukuzumi, and Y. Ozaki, "High Productive 3D Stacking Process 'Molded Reflow'," <i>Proceedings of the 67th Electronic Components and Technology Conference</i>, pp. 719-724, June 2017. 10. K. Honda, N. Suzuki, T. Nonaka, <u>H. Noma</u>, and Y. Ozaki, "Expanding Film and Process for High Efficiency 5 Sides Protection and FO-WLP Fabrication," <i>Proceedings of the 67th Electronic Components and Technology Conference</i>, pp. 331-336, June 2017. 11. K. Hamaguchi*, <u>H. Noma</u>*, H. Takahashi, N. Suzuki, and T. Nonaka, "Warpage Study of FO-WLP Build up by Material Properties and Process," <i>Proceedings of the 2016 6th Electronic System-Integration Technology Conference</i>, September 2016. 12. H. Takahashi*, <u>H. Noma</u>*, N. Suzuki, Y. Nomura, A. Kasahara, N. Takano, and T. Nonaka, "Large Panel Level Fan Out Package Built up Study with Film Type Encapsulation Material," pp.134-139, <i>Proceedings of the 66th Electronic Components and Technology Conference</i>, June 2016. <p>他 20 件</p>

早稲田大学 博士（工学） 学位申請 研究業績書

種 類 別	題名、 発表・発行掲載誌名、 発表・発行年月、 連名者（申請者含む）
査読付き 国際会議	<ol style="list-style-type: none"> 1. <u>O.H. Noma</u>, T. Kamibayashi, H. Kuwae, N. Suzuki, T. Nonaka, S. Shoji, J. Mizuno, "Cu-Cu Direct Bonding by Introducing Au Intermediate Layer," <i>Proceedings of 2017 5th International Workshop on Low Temperature Bonding for 3D Integration, LTB-3D 2017</i>, p. 70, May 2017. 2. <u>O.H. Noma</u>, K. Toriyama, K. Okamoto, K. Matsumoto, E. Ohno, H. Mori, and Y. Orii, "C2 (Chip Connection) Assembly on Gold Plated Pads," <i>Proceedings of the International Conference of Electronics Packaging</i>, pp. 499-504, April 2011. 3. <u>O.H. Noma</u>, Y. Oyama, H. Nishiwaki, M. Takami, T. Takatani, K. Toriyama, and Y. Orii, "Wettability and Reliability on Double Side Assembly with Metal Post Solder - Chip Connection Flip Chip Technology," <i>Proceedings of the International Conference of Electronics Packaging</i>, pp. 568-573, April 2009. (IEEE CPMT Japan Chapter Young Award) 4. <u>H. Noma</u>, K. Toriyama, S. Kohara, and Y. Orii, "IMC Growth of Solder Capped Cu Pillar Bump Interconnection during Electromigration Test," <i>Proceedings of the International Conference of Electronics Packaging</i>, pp. 662-665, April 2013. 5. <u>H. Noma</u>, K. Toriyama, and Y. Orii, "Flip Chip Assembly on 50-μm-pitch Pads Soldered with Precoat by Powder Sheet," <i>Proceedings of the International Conference of Electronics Packaging</i>, pp. 386-391, April 2009. 6. <u>H. Noma</u>, G. Yamada, and T. Nakanishi, "Directional Effects of Etching Spray on Pattern Fabrication," <i>The 3rd International Conference on Vortex Flows and Vortex Models</i>, pp. 380-383, September 2005. 7. <u>H. Noma</u>, H. Fujioka, Y. Baba, and M. Oshima, "Stress Field Dependence of the Silicon Oxidation Rate," <i>Meeting Abstracts of the 198th Society Meeting of the Electrochemical Society</i>, No. 809, October 2000. 8. <u>H. Noma</u>, H. Fujioka, Y. Baba, and M. Oshima, "Stress Field Dependence of the Silicon Oxidation Rate," <i>The Materials Research Society of Japan</i>, 2-6-P27-M, October 1999. 9. T. Kamimura, S. Kawamoto, D. Hashimoto, Y. Shigeno, H. Yoshii, <u>H. Noma</u>, T. Ookubo, H. Takahashi, and H. Inoue, "Development of Liquid Compression Molding (LCM) Material for Low Warpage," <i>International Symposium on Microelectronics</i>, pp. 25-28, October 2017. <p>他 12 件</p>

早稲田大学 博士（工学） 学位申請 研究業績書

種 類 別	題名、 発表・発行掲載誌名、 発表・発行年月、 連名者（申請者含む）
査読なし 講演	<ol style="list-style-type: none"> 1. <u>乃万裕一</u>, 鳥山和重, 折井靖光, “SiP の反りとアンダーフィル材料が実装性・信頼性に与える影響,” 第18回マイクロエレクトロニクスシンポジウム, pp199-202, 2008年9月. 2. <u>乃万裕一</u>, “Digital Image Correlation 法を用いた熱変形計測装置,” JIEP2007 ワークショップ, No.3, 2007年11月. 3. <u>乃万裕一</u>, 中西徹, “薄膜ドライフィルムレジストを利用した低価格と高密度を両立させるビルドアップ基板の開発,” 第13回マイクロエレクトロニクスシンポジウム, pp80-83, 2003年10月. 4. <u>乃万裕一</u>, 藤岡洋, 尾嶋正治, 馬場祐治, “Si 熱酸化の歪場依存,” 第48回応用物理学会連合講演会, 2001年3月. 5. <u>乃万裕一</u>, 藤岡洋, 尾嶋正治, 馬場祐治, “Si ケミカル酸化の歪場依存,” 第47回応用物理学会連合講演会, 29p-P9-19, 2000年3月. 6. 濱口宏治, <u>乃万裕一</u>, 鈴木直也, 野中敏央, “ファンアウト型ウエハレベルパッケージの製造プロセス中の反りを低減する封止材の検討,” 第23回「エレクトロニクスにおけるマイクロ接合・実装技術」シンポジウム, B-2-38, 2017. 7. 高橋宏, <u>乃万裕一</u>, 竹越正明, 鈴木直也, 高野希, 野中敏央, “フィルム材料を用いた大判パネル Fan-out パッケージ作製,” 第26回マイクロエレクトロニクスシンポジウム, pp.315-318, 2016年9月. <p>他11件</p>
総説	<ol style="list-style-type: none"> 1. <u>乃万裕一</u>, 折井靖光, “エレクトロマイグレーション,” 電子情報通信学会誌, Vol. 95, No. 4, pp. 357-359, 2012年4月. 2. 折井靖光, <u>乃万裕一</u>, 松本圭司, “2.5D/3D 積層デバイスの業界動向と技術課題,” エレクトロニクス実装学会誌, Vol. 15, No. 1, pp. 34-37, 2012年1月.
特許	<ol style="list-style-type: none"> 1. 特許 6015969号(特開 2016-042543), 回路基板の形成方法, <u>乃万裕一</u>, 岡本圭司, 森裕幸. 2. 特開 2014-090066 光導波路と半導体チップとの間の高さを制御するはんだ接合, 徳成正雄, 鳥山和重, <u>乃万裕一</u>, 中川茂, 塚田裕 3. 特開 2014-041980 はんだ接合部のエレクトロマイグレーション (EM) 耐性を向上させる界面合金層, <u>乃万裕一</u>, 折井靖光, 鳥山和重 4. 特許 4183199号(特開 2007-180384), 半導体パッケージ及びその製造方法, 山路祥之, <u>乃万裕一</u>, 森裕幸