

超高周波用三次元高密度実装のための  
ダイレクト金めっきを用いた  
低応力接合技術

Low stress bonding technology using  
direct immersion gold  
for ultra-high frequency and high density  
three-dimensional package

2018年7月

乃万 裕一  
Hirokazu NOMA

超高周波用三次元高密度実装のための  
ダイレクト金めっきを用いた  
低応力接合技術

Low stress bonding technology using  
direct immersion gold  
for ultra-high frequency and high density  
three-dimensional package

2018年7月

早稲田大学大学院 先進理工学研究科  
ナノ理工学専攻 マイクロシステム研究

乃万 裕一  
Hirokazu NOMA

## 目次

目次 .....	i
図表一覧 .....	v
略語一覧 .....	ix
第一章 序論 .....	1
1.1 研究背景 .....	2
1.1.1 「モノ」のインターネット .....	2
1.1.2 ムーアの法則の終焉と三次元実装 .....	3
1.1.3 モバイル機器の薄型化 .....	4
1.2 三次元実装の課題 .....	5
1.2.1 パッケージ厚さの増大 .....	5
1.2.2 チップ積層による放熱の難化 .....	6
1.3 三次元実装の課題解決への提案 .....	7
1.3.1 低誘電率層保護 .....	7
1.3.2 パッケージ基板への両面実装 .....	7
1.3.3 チップ間接合高さの低減 .....	7
1.4 提案内容についての従来技術 .....	8
1.4.1 低誘電率層保護技術 .....	8
1.4.2 両面フリップチップ実装技術 .....	8
1.4.3 銅の直接接合技術 .....	9
1.5 ダイレクト金めっき等の表面処理技術 .....	10
1.5.1 他の金処理手法からの優位性 .....	10
1.5.2 ダイレクト金めっきの用途の拡大提案 .....	10
1.5.3 有機防錆被膜、無電解スズめっき .....	10
1.6 本論文の目的 .....	11
1.7 銅ピラーを用いた微細ピッチフリップチップ技術 .....	12
1.8 本論文の概要 .....	14
1.9 参考文献 .....	16

---

第二章	ダイレクト金めっきを用いた低応力接合	21
2.1	緒言	22
2.2	実験および数値計算	22
2.2.1	基板上のパッドの表面へのはんだ濡れ性	22
2.2.2	はんだ接合部形状の数値計算	23
2.2.3	低誘電率層への応力解析	26
2.3	結果と考察	29
2.3.1	ダイレクト金めっきによる、 はんだの基板側銅パッドへの濡れ改善	29
2.3.2	界面合金層形成による、はんだ接合高さの制限	32
2.3.3	ダイレクト金めっきによる低誘電率層への応力低減	34
2.3.4	銅ピラーの側面にはんだが濡れ上がる閾値のはんだ体積	36
2.4	結言	38
2.5	参考文献	39
第三章	ダイレクト金めっきを用いたチップ間低背接合	43
3.1	緒言	44
3.2	実験	46
3.2.1	評価用試料の準備	46
3.2.2	ダイレクト金めっき前後の表面粗さ測定	46
3.2.3	接合手法	46
3.2.4	シヤ試験での破断モードによる接合強度評価	47
3.2.5	金の銅への拡散の評価方法	47
3.3	結果と考察	47
3.3.1	ダイレクト金めっき前後の表面粗さ	47
3.3.2	シヤ試験での破断モードの接合温度依存	49
3.3.3	接合後試料の断面観察による接合状態評価	50
3.3.4	ダイレクト金めっきによる低背接合の実現	50
3.3.5	金の銅への拡散係数の算出	52
3.3.6	表面粗さの吸収に必要なダイレクト金めっき厚さ	54
3.4	結言	55
3.5	参考文献	55

---

第四章 銅パッド表面処理の最適化による両面実装	59
4.1 緒言	60
4.2 実験	60
4.2.1 両面実装のプロセスフロー	60
4.2.2 はんだ濡れ評価	64
4.2.3 温度サイクル信頼性評価	64
4.2.4 ダイレクト金めっき等の表面処理	65
4.2.5 評価用基板	67
4.3 はんだ濡れ性の結果と考察	68
4.3.1 有機防錆被膜での濡れ不良の薬品種・厚みへの依存	68
4.3.2 無電解スズでの濡れ不良の熱履歴への依存	69
4.3.3 ダイレクト金めっきでの濡れ不良の膜厚への依存	69
4.3.4 微細ピッチの両面実装へのダイレクト金めっきの有望性	70
4.4 濡れ不良の無い両面実装パッケージでの 温度サイクル信頼性評価	72
4.5 結言	74
4.6 参考文献	74
第五章 結論と今後の展望	77
5.1 結論	77
5.2 今後の展望	78
5.2.1 ミリ波通信	78
5.2.2 チップ間のリフロー接合	78
5.2.3 高性能サーバー	79
5.2.4 磁界結合メモリ	79
5.3 参考文献	79
謝辞	81
業績一覧	83



## 図表一覧

## 図一覧

## 第一章

## 図 1.1 自動車間通信を中心とした

「モノ」のインターネットのコンセプト ..... 2

## 図 1.2 二次元的なチップ内でのトランジスタの集積化

(a)は 90 nm、(b)は 45 nm 世代の Cell Broadband Engine。 ..... 4

## 図 1.3 三次元方向へのチップ積層..... 4

## 図 1.4 パッケージ基板上の三次元実装パッケージの断面 ..... 5

## 図 1.5 三次元実装部の外気との温度差..... 6

## 図 1.6 三次元実装の厚みと放熱の課題への提案内容..... 8

## 図 1.7 ニッケル・金めっきとダイレクト金めっき工法 ..... 11

## 図 1.8 ダイレクト金めっきの用途拡大..... 11

## 図 1.9 微細ピッチフリップチップ向けのチップ・基板構造

左はチップ、右は基板。上は上面図、下は断面図。 ..... 13

## 図 1.10 無洗浄フラックス・リフロー・後入れアンダーフィル

による実装工法。(a)パッケージ基板、(b)フラックス塗布、  
(c)塗布後の基板、(d)チップ搭載、(e)リフローはんだ付け、  
(f)アンダーフィル塗布、(g)オーブンで硬化。 ..... 13

## 図 1.11 Nonconductive paste を用いた Thermal compression bonding

による実装工法。(a)パッケージ基板、(b)NCP 塗布、  
(c)ボンダで位置合わせ、(d)ボンダではんだ付け、  
(e)ボンダから取り出し、(f)オーブンで最終硬化。 ..... 14

## 図 1.12 本論文の概要図 ..... 15

## 第二章

## 図 2.1 TV 基板の拡大図 (チップの角に対応する部分)..... 23

## 図 2.2 光学顕微鏡による断面観察箇所の上上面図..... 23

## 図 2.3 はんだ形状計算結果。表面処理は OSP で、

はんだ接合高さは  $9\ \mu\text{m}$ 。(a)初期条件。はんだ表面は  
平面の組み合わせ。(b)計算結果。ラプラスの式を解き、  
表面形状が収束した状態。 ..... 25

図 2.4	曲面上の主曲率半径	26
図 2.5	構造解析モデルの断面図	28
図 2.6	実装後の断面写真 (パッドの長辺に沿った断面研磨)	30
図 2.7	OSP 表面の場合の、はんだの接触角	30
図 2.8	実装後の断面写真 (パッドの長辺に垂直な断面研磨)	31
図 2.9	はんだ形状計算結果 (各メッシュの点を青でプロット)	33
図 2.10	接合部の相対エネルギー (重力と表面張力) の 接合部高さ依存。ボンディング前のエネルギーを 0 と設定。 …	33
図 2.11	接合部の断面 SEM 像	34
図 2.12	構造解析結果 (Low-k 層応力のコンター図)。左上に載せた リフロー後の断面の、右側の接合部 (赤囲み) の解析。 上から二段目にコンター図は、Low-k 層応力分布の上面図。 下段は、左上図の赤囲み部の拡大図。 下段図中の矢印はリフロー後冷却時にかかる歪み方向。 …	35
図 2.13	はんだ体積閾値でのはんだ接合部形状の模式図	37
図 2.14	はんだのチップ側銅ピラーへの濡れ上がりの閾値	38
第三章		
図 3.1	DIG を中間層として用いた銅の直接接合のコンセプト	45
図 3.2	接合サンプル断面模式図	46
図 3.3	DIG 処理前後での AFM 結果。(a)DIG 前の銅表面、 (b)0.1 $\mu\text{m}$ 厚さの DIG 処理後、(c)0.2 $\mu\text{m}$ 厚さの DIG 処理後	48
図 3.4	Rz と RMS の定義 (x は面内方向の距離。z は高さ。L は測定長さ)	49
図 3.5	接合後断面の TEM-EDX マッピング。 (a)と(b)は DIG t0.2 $\mu\text{m}$ 、(c)と(d)は DIG t0.1 $\mu\text{m}$ 。 (a)と(c)は Cu の分布、(b)と(d)は Au の分布。 …	51
図 3.6	接合後断面の TEM 像。(a)DIG t0.2 $\mu\text{m}$ 、(b) DIG t0.1 $\mu\text{m}$ 。 …	52



図 3.7 金の銅への拡散に関する数値計算結果。 実線はボンディング前の金濃度、点線はフィッティングにより求めた拡散係数での接合後の金濃度。 (a)は DIG t0.2 $\mu\text{m}$ サンプル (拡散係数 $1.0 \times 10^{-16} \text{ m}^2/\text{s}$ )、 (b)は DIG t0.1 $\mu\text{m}$ サンプル (拡散係数 $8.3 \times 10^{-17} \text{ m}^2/\text{s}$ )。 ……	53
図 3.8 金による表面粗さ吸収の推定メカニズム ……	55
第四章	
図 4.1 両面実装評価サンプルのプロセスフロー (信頼性評価サンプル) ……	61
図 4.2 両面実装評価サンプルのプロセスフロー (はんだ濡れ評価サンプル) ……	62
図 4.3 OSP 構成材料の化学式。 (a)ベンゾトリアゾール、(b)イミダゾール。 ……	66
図 4.4 TV 基板の全体写真 (80 $\mu\text{m}$ パッドピッチ) ……	67
図 4.5 実装後の接合部断面の光学顕微鏡写真。 (a)OSP-A、単分子層、標準熱履歴。 (b)OSP-B、t0.2 $\mu\text{m}$ 、標準熱履歴。 (c)OSP-C、t0.3 $\mu\text{m}$ 、標準熱履歴。 (d)無電解スズ、t1.2 $\mu\text{m}$ 、過剰熱履歴。 ……	72

表一覧

第二章

表 2.1 構造解析に用いた機械特性一覧。

(a) はんだ以外の、弾性解析を用いた材料

(b) はんだ材料のノートン則  $d\varepsilon / dt = A\sigma^n$  の温度ごとの定数。

ここで、 $\varepsilon$  はクリープ歪み、 $A$  は定数、 $\sigma$  は応力、 $n$  は指数。 …… 27

表 2.2 構造解析結果 (Low-k 層応力およびはんだ接合部の歪み) …… 35

第三章

表 3.1 接合条件 …… 47

表 3.2 表面粗さの測定値 …… 49

表 3.3 シェア試験での破断モード …… 50

第四章

表 4.1 サンプルに対する熱履歴 …… 63

表 4.2 信頼性評価条件 …… 65

表 4.3 実装評価に用いた表面処理 …… 66

表 4.4 実装評価結果 …… 71

表 4.5 信頼性評価結果 …… 73

## 略語一覽

5G	Fifth generation
AFM	Atomic force microscope
BGA	Ball grid array
C2	Chip connection
C4	Controlled collapse chip connection
CMOS	Complementary metal oxide semiconductor
CMP	Chemical mechanical polishing
CPI	Chip package interaction
CTE	Coefficient of thermal expansion
CUF	Capillary underfill
DIG	Direct immersion gold
E-less	Electroless
EDX	Energy dispersive X-ray spectrometry
FEM	Finite element method
IMC	Intermetallic compounds
ICF	Inter-chip fill
IoT	Internet of things
NCP	Nonconductive paste
OSP	Organic solderability preservative
PoP	Package on package
RMA	Rosin mildly activated
RMS	Root mean square
Rz	Peak-to-peak surface roughness
SAB	Surface activated bonding
SEM	Scanning electron microscope
SMT	Surface mount technology
TC	Temperature cycle
TCB	Thermal compression bonding

TEM Transmission electron microscope

THB Temperature humidity bias

TSV Through silicon via

TV Test vehicle

VUV Vacuum ultra violet

## 第一章 序論

近年、ムーアの法則による半導体集積密度の向上は終焉したと言われている。それに代わり、貫通シリコン電極を用いた三次元実装が実用化されている。三次元実装の課題として、放熱とパッケージ厚みが挙げられる。

放熱については、チップ内の絶縁材料に低誘電率材料を用いることにより消費電力を減らすことや、両面実装により片面あたりのチップ積層数を減らすことが考えられる。

しかし、低誘電率材料の利用にあたっては、接合時の熱によるチップとパッケージの相互作用に起因するチップへのダメージが課題となる。さらに、パッケージ基板の両面にチップを接合する際は、一面目を接合する際に二面目の基板側銅パッドの表面が酸化するという問題が存在する。

パッケージ厚みについては、チップ自体の厚みを減らすだけでなく、チップ間の接合距離を縮めることも重要である。それには銅の直接接合が有効であるものの、表面のナノメートルレベルでの平坦化と、表面の酸化防止の課題が残っている。

本章では、低誘電率材料の利用、両面実装、銅の直接接合に関する課題を、基板側の銅パッドの上に直接金を置換還元めっきするダイレクト金めっきに着目して解決することを提案する。

なお、本章の図のうち IEEE が著作権を保有しているものに関する注意点は以下の通り。In reference to IEEE copyrighted material which is used with permission in this thesis, the IEEE does not endorse any of WASEDA University's products or services. Internal or personal use of this material is permitted. If interested in reprinting/republishing IEEE copyrighted material for advertising or promotional purposes or for creating new collective works for resale or redistribution, please go to [http://www.ieee.org/publications\\_standards/publications/rights/rights\\_link.html](http://www.ieee.org/publications_standards/publications/rights/rights_link.html) to learn how to obtain a License from RightsLink.

## 1.1 研究背景

### 1.1.1 「モノ」のインターネット

「モノ」のインターネット (Internet of things, IoT) というコンセプトが提唱されている[1]。あらゆるものにセンサーをつけ、そこから上がってくる情報をリアルタイムに処理しフィードバックするコンセプトである。IoTを支える通信技術としてミリ波という超高周波が期待される[2-4]。それは、第五世代通信 (Fifth Generation, 5G) では 28 GHz[2]、自動車間通信では 77 GHz[3, 4]の周波数である。そして、IoTを支える通信デバイスには小型化が求められる。さらに、IoTのための高速情報処理には、現在以上に高性能なサーバーが必要である。以上をまとめると、IoTには、超高周波、高密度、高性能が求められる。

図 1.1 に、IoT の一例を示す[3]。これは、ミリ波による自動車間通信や信号機により得られたデータを高速サーバーで処理するコンセプトである。

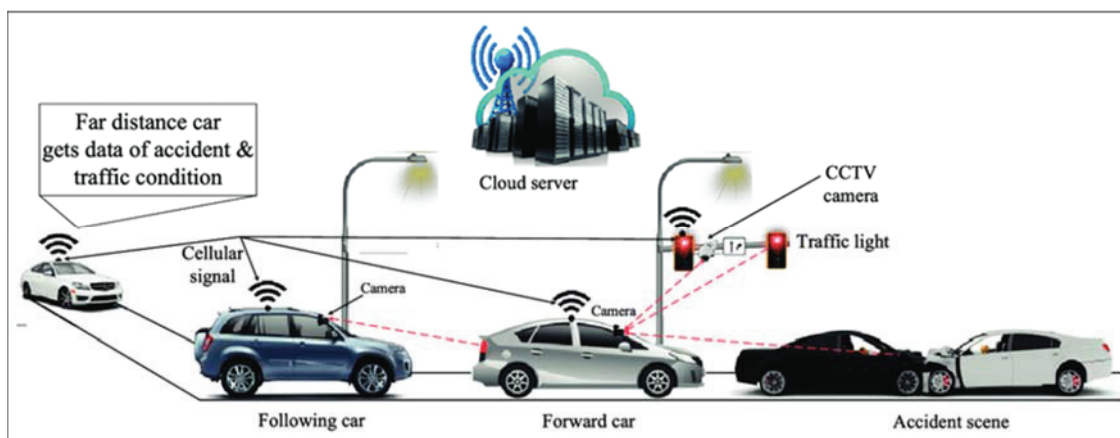


図 1.1 自動車間通信を中心とした「モノ」のインターネットのコンセプト[3]

© The Author(s) 2018

### 1.1.2 ムーアの法則の終焉と三次元実装

前述のムーアの法則によるトランジスタの集積化[5, 6]に代わり、貫通シリコン電極 (Through silicon via, TSV)を用いた三次元実装がメモリ分野などで実用化されている[7-10]。三次元実装では、単に TSV を形成するだけでなく、チップ同士などでの、接合技術も重要となる。図 1.2 に、同じ性能の半導体チップが、半導体設計ルールをの微細化によって小さくなった、つまり、トランジスタの単位面積あたりの密度が高くなった事例を示す。トランジスタが、チップの面内に集積されている様子がわかる[11, 12]。さらに、図 1.3 に、チップが縦方向に集積された、三次元実装の例を示す[10]。

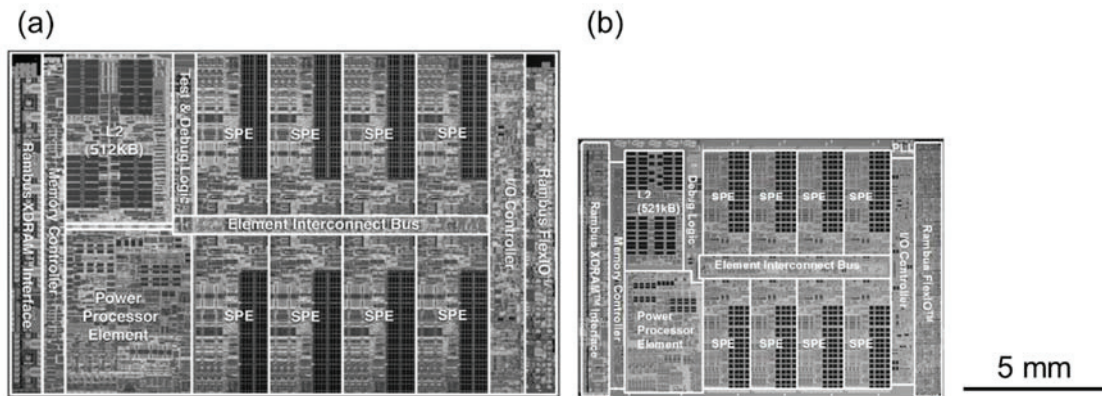


図 1.2 二次元的なチップ内でのトランジスタの集積化[11, 12]

(a)は 90 nm、(b)は 45 nm 世代の Cell Broadband Engine。

(a)は© 2006 IEEE、(b)は© 2008 IEEE、スケールは筆者。

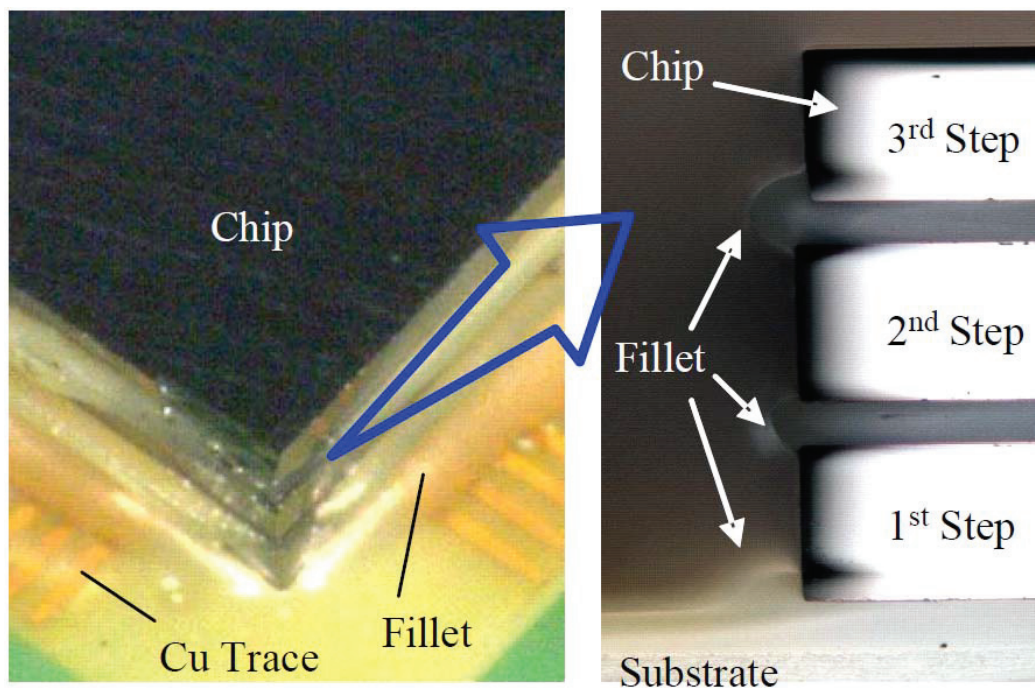


図 1.3 三次元方向へのチップ積層[10] © 2012 IEEE

### 1.1.3 モバイル機器の薄型化

三次元にチップを積層すると、パッケージが厚くなってしまいう課題がある。携帯電話の厚みが年々薄くなってきており、この傾向は今後も続くと予想できる[13]。そのとき、パッケージの厚さも、製品と同時に薄くなる必要がある。



## 1.2 三次元実装の課題

三次元にチップを積層することにより新たな課題が出ている。本節はそれらの課題を解説する。

### 1.2.1 パッケージ厚さの増大

図 1.4 は、パッケージ基板の上にシリコンが積層された三次元実装構造の断面である[14]。シリコンの積層構造が、パッケージ基板よりも厚く、支配的になっていることがわかる。シリコンチップが 1 枚だけパッケージ基板へと搭載された構造ではパッケージ基板の厚みが支配的であったのとは、状況が異なっている。

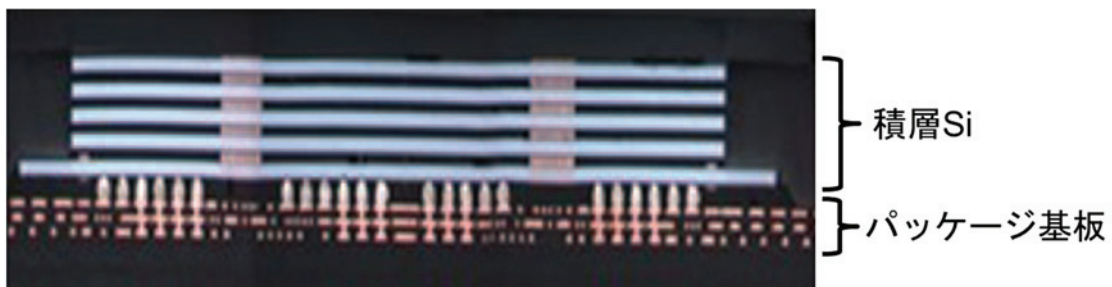


図 1.4 パッケージ基板上の三次元実装パッケージの断面[14] © 2015 IEEE

## 1.2.2 チップ積層による放熱の難化

図 1.5 は、横軸に Inter-chip fill (ICF) というチップ間の樹脂材料の熱伝導率を、縦軸に外気との温度差を示したものである[15]。チップの積層数が 3 段であれば 30 °C であった温度差が、6 段になると 100 °C 近くにも到達することがわかる。仮にチップの動作温度を 85 °C [16]、外気温度を 30 °C とすれば、積層数は最大で 4 段までとなる。この課題を解決するには、単に ICF の熱伝導率を上げるだけでなく、チップの発熱自体を減らしたり、積層数を抑制したりする必要がある。

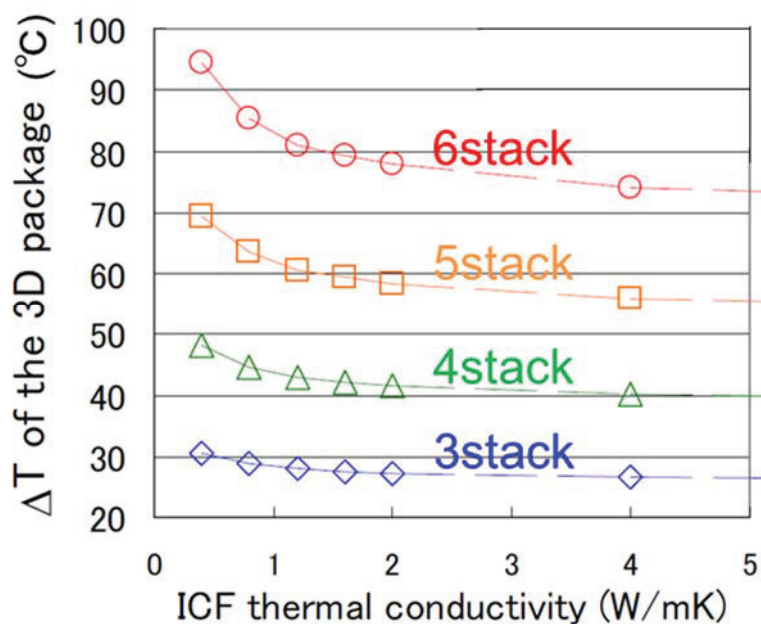


図 1.5 三次元実装部の外気との温度差[15] © 2014 IEEE

CMOS (Complementary metal oxide semiconductor) チップの消費電力を式 1.1 に示す[17]。

$$P = n \times (CV^2f + I_LV) \quad (1.1)$$

ここで、 $P$ は発熱、 $n$ はトランジスタ数、 $C$ は容量、 $V$ は電源電圧、 $f$ は周波数、 $I_L$ はリーク電流である。従来であればスケーリングによって、二乗で効いている電圧を下げていたが、現在は、性能である周波数  $f$  を犠牲にせずに消費電力を減らすには、容量  $C$  を減らす、つまり、配線間の絶縁材料の誘電率を減らすことが考えられている。

### 1.3 三次元実装の課題解決への提案

図 1.6 を用いて本論文での提案内容を説明する。

#### 1.3.1 低誘電率層保護

熱の課題について、配線容量を減らすためには、今までのシリコン酸化膜よりも誘電率の低い Low-k 層を絶縁膜として使う必要がある。そのためには、一般的に脆い機械特性を持つ Low-k 層を保護する必要がある。

#### 1.3.2 パッケージ基板への両面実装

両面実装により積層数を低減することも、放熱上の対策となる。仮に積層メモリチップを考えた場合、今まではメモリコントローラーの上にメモリを 4 段以上積むことは、放熱の観点で不可能であった。それが、両面実装により、メモリを片面 2 段ずつに減らすことが可能である。その結果として、メモリコントローラーを含めて、合計 3 段ずつに積層数を減らせ、放熱が可能になる。

#### 1.3.3 チップ間接合高さの低減

厚さについては、単にチップの厚みを薄くするだけでなく、はんだを用いない銅の直接接合によって、接合高さも減らすことも重要である。

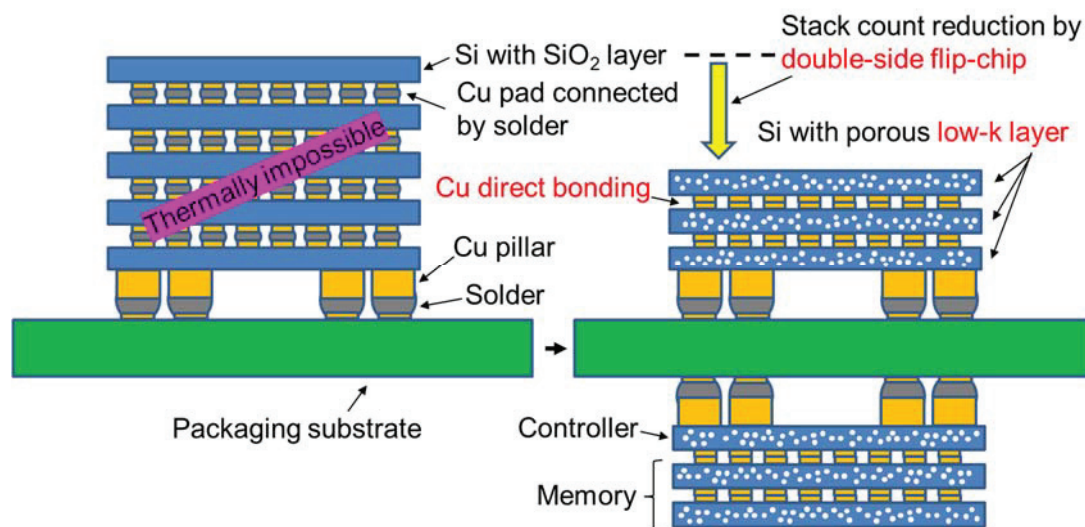


図 1.6 三次元実装の厚みと放熱の課題への提案内容

## 1.4 提案内容についての従来技術

### 1.4.1 低誘電率層保護技術

チップに Low-k 層が使われ、それをリフローで有機基板へ接合する場合は、実装時の信頼性の確保が重要である。それは、シリコンと有機基板との熱膨張係数 (Coefficient of thermal expansion, CTE) 差に起因する歪みが接合部に集中し、結果として、Low-k 層のうち接合部近傍の箇所へと局所的に応力がかかるためである。研究例としては、銅ピラー径などの設計寸法を最適化するもの [18] や、リフローの温度プロファイルという工程条件を最適化するもの [19] がある。なお、リフローとは、窒素で満たされたベルトコンベア式の炉の中にサンプルを次々に入れ、複数のサンプルを高い生産性ではんだ接合するための工程である。

しかし、究極的な低誘電率層であるエア・ギャップ技術 [20] を適用するには依然として技術開発が必要である。

### 1.4.2 両面フリップチップ実装技術

両面実装は、BGA (Ball grid array) を用いたマザーボードへの二次実装分野に応用されてきた。その際、端子ピッチは 1 mm と広いものであるため、強力なフラックスを用いて、後からフラックス洗浄をすることが可能である。この

ことは、一面目を実装する時のリフローなどの熱履歴により反対面のパッドが酸化したとしても、フラックスによる還元効果が十分に期待できることを意味している。熱履歴による表面の酸化という意味では、Package on package (PoP) の実装でも同様のことが起きるものの、端子ピッチは 0.5 mm であり、洗浄が必要なフラックスが利用されている [21]。三次元実装においても、端子ピッチが 0.1 mm であれば、熱履歴がかかった面に対して洗浄が必要なフラックスが利用された例がある [22]。

しかし、61  $\mu\text{m}$  以下の微細なピッチでは、熱履歴がかかった場合にはフラックスの洗浄が必要ない工程が研究されている。それは、そもそもフラックスを利用しないマイクロスクラブ [23] などの工法や、無洗浄フラックスを利用する工法 [24] である。

#### 1.4.3 銅の直接接合技術

銅の直接接合は、はんだを用いるリフローと比べ生産性が低いものの、はんだ接合よりも低背化できる。その理由は、接合にはんだが必要なく、低融点である Sn を含む Cu-Sn 系の界面合金層 (Inter-metallic compound, IMC) が急速に形成されること [25] による銅表面の浸食が少ないことである。銅の直接接合については多数の研究がされてきた。過去の研究での鍵となるのは、非常に平坦な表面が必要になることである。一般的には CMP (Chemical mechanical polishing) [26] が用いられるものの、スラリーなどのコストが高い課題がある。また、直接接合と樹脂同士の接合を同時に実現するため、ダイヤモンドバイトによる超精密切削を行う研究例もある [27]。上記文献の両方で、ナノメートルレベルで平坦な表面が接合の前に求められており、工程上の課題となっている。

銅の直接接合の先行研究のもう一つの課題として、銅表面の酸化防止が挙げられる。蟻酸の蒸気下で酸化銅を還元し加熱・加圧により接合を行う蟻酸接合 [28] や、表面活性化接合 (Surface activated bonding, SAB) [29] がある。蟻酸接合では沸点の低い酸を使うことによる安全面での課題、SAB には超高真空が必要であるという工程上の問題がある。

また、将来顕在化が予想される課題として、超高周波への対応がある。銅の直接接合は、はんだを用いた場合よりも接合部の抵抗が低く超高周波に適する

利点もある。

### 1.5 ダイレクト金めっき等の表面処理技術

1.3 で述べた従来技術の課題を解決するために、ダイレクト金めっき (Direct immersion gold, DIG) 技術[30]に着目した。本節では、DIG をはじめとした、銅パッドの表面処理技術を紹介する。

#### 1.5.1 他の金処理手法からの優位性

DIG の概要を従来のニッケルバリア層を介した Ni/Au めっき[31]と比較し図 1.7 に示す。銅に対してニッケルバリア層を介することなく、置換還元金めっきを直接行うものである。そのため、微細なピッチの接合に適していることや、銅表面の酸化膜を酸洗いによって除去してから直ちに金めっき浴へと試料を移すため、自然酸化膜は極薄くしか形成されず、実用上は酸化膜の除去が必要ないという特長もある。さらに、金表面へははんだが濡れ広がりやすいため、従来の銅表面の処理方法とは実装後のはんだ形状が異なるという特長もある。

#### 1.5.2 ダイレクト金めっきの用途の拡大提案

今まで DIG は、マザーボードへの二次実装におけるはんだ接合部信頼性の向上の目的で用いられてきた[32]。本論文では、DIG が微細なピッチにも適用可能であることに注目し、図 1.8 に示すように、チップと基板間の接合、さらにはチップ間の接合にまで、DIG を応用する。

#### 1.5.3 有機防錆被膜、無電解スズめっき

従来から表面処理として使われている有機防錆被膜 (Organic soldering preservative, OSP) は、銅の上に有機物の錯体結合を形成し銅の酸化を抑制するものである[33]。また、無電解スズめっきははんだプリコート[34]に替わる表面処理の技術候補である[33]。



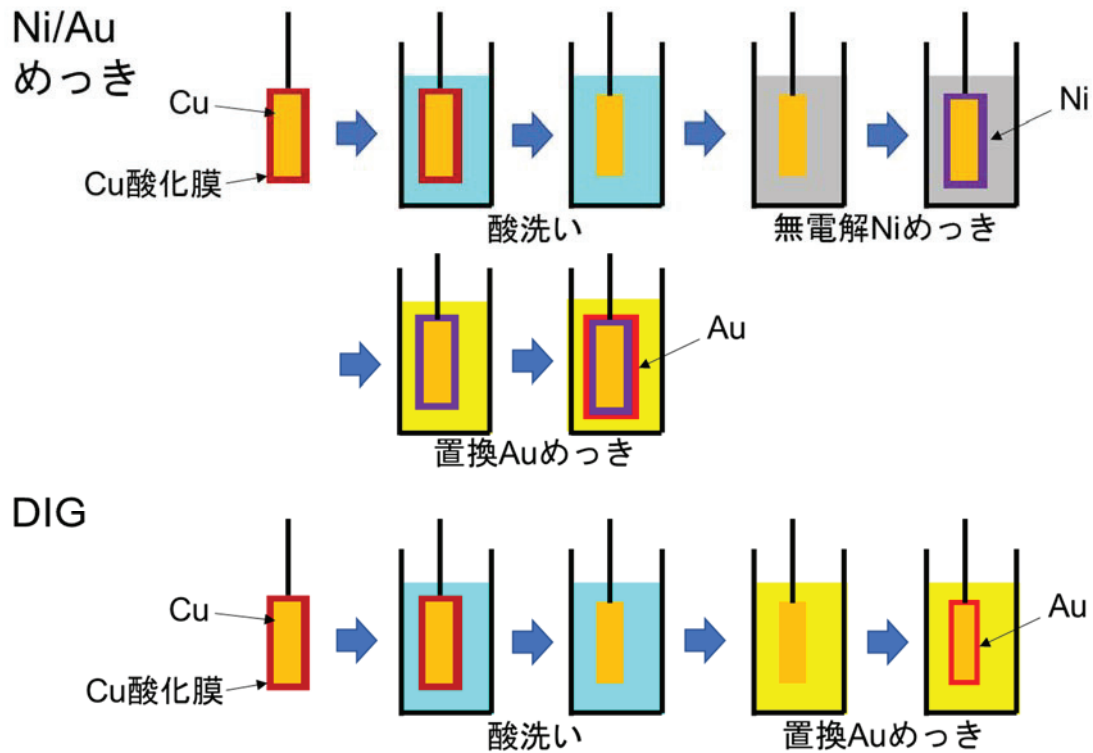


図 1.7 ニッケル・金めっきとダイレクト金めっき工法[30, 31]

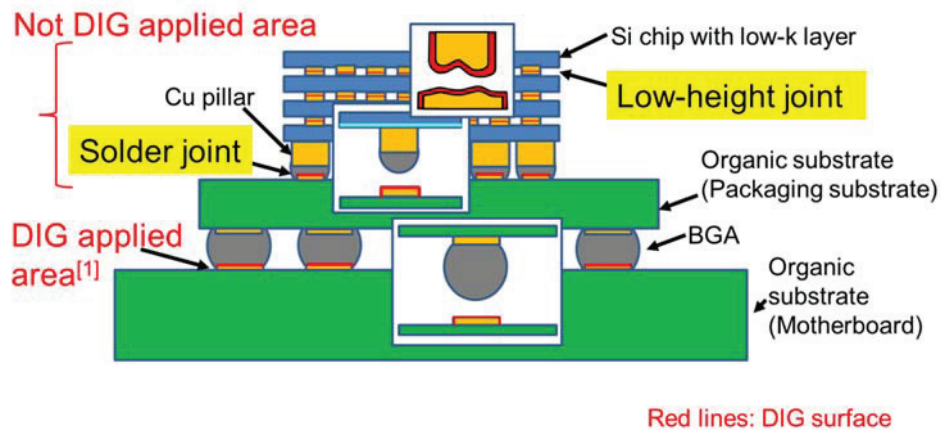


図 1.8 ダイレクト金めっきの用途拡大

### 1.6 本論文の目的

超高周波用三次元高密度実装構造における課題を、DIG の表面処理によって解決することを本論文の目的とした。

まず、超高周波向け三次元チップ積層の課題である放熱について、Low-k 層

を保護するはんだ接合部の構造を提案する。それは、Low-k層を利用できれば、超高周波動作においても消費電力を抑制できるためである。次に、放熱をしやすくするための両面実装を提案する。それは、両面に実装を行い、片面あたりのチップ積層数を半減できれば、積層チップ構造に熱が蓄積しにくくなるためである。

さらに、三次元高密度実装構造の課題であるパッケージの厚さについて、接合高さの低減を提案する。具体的には、銅の直接接合に着目し、はんだを使わないことで接合高さの低減を目指した。

### 1.7 銅ピラーを用いた微細ピッチフリップチップ技術

本節では、本論文で利用した C2 (Chip Connection) 技術[24]を中心に、フリップチップ技術について述べる。

チップを有機パッケージ基板へと実装するには、50  $\mu\text{m}$  程度の微細なピッチでのフリップチップ実装が求められる。そのような微細なピッチでのフリップチップ実装を実現するには、チップ側に銅ピラー/はんだバンプ構造を形成し、基板側にスリットウィンドウ状のソルダーレジスト開口を設けることが多い[24, 35]。これらの構造を図 1.9 に示す。ソルダーレジストとは、パッド表面ではんだ(ソルダー)の流れを防ぐ(レジスト)ための材料であり、パッケージ基板の最表面に用いられる。

実装工程としては、無洗浄フラックス・リフロー・後入れアンダーフィル(Capillary underfill, CUF)の組み合わせを用いた工法[24]や、Nonconductive paste (NCP) などと組み合わせた Thermal compression bonding (TCB) により、はんだ接合とアンダーフィルとを一括して行う工法[36]が一般的である。これらの工法の概略を図 1.10 と図 1.11 に示す。本論文では、銅の直接接合について、はんだの利用の有無にかかわらず適用できる TCB を用いた。また、はんだを用いた接合については、多数のパッケージをリフローで同時に接合できるという意味で生産性が高い、IBM が開発した C2 技術[24]を用いている。この技術では、チップ側の銅については「ピラー」、有機基板側の銅については「パッド」の語を用いて区別する。



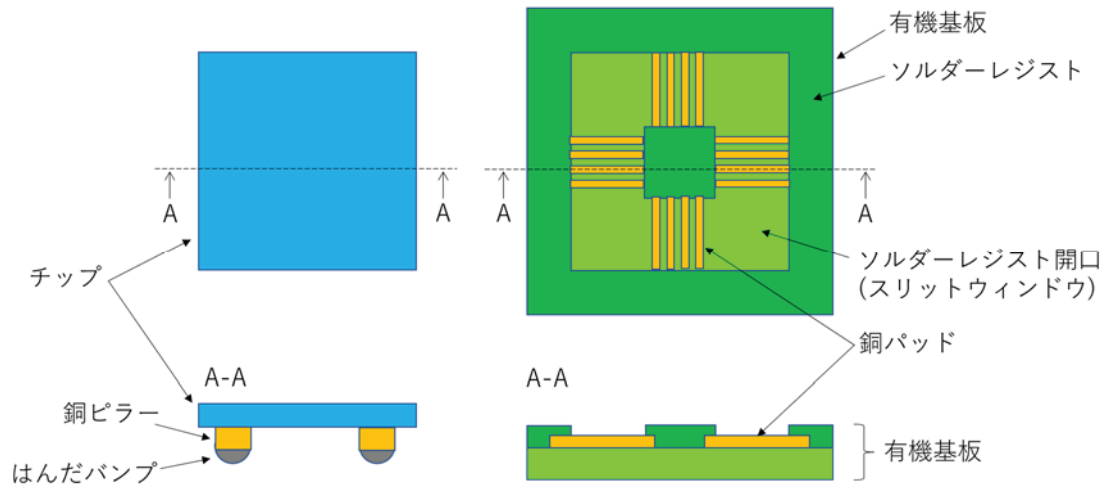


図 1.9 微細ピッチフリップチップ向けのチップ・基板構造

左はチップ、右は基板。上は上面図、下は断面図。

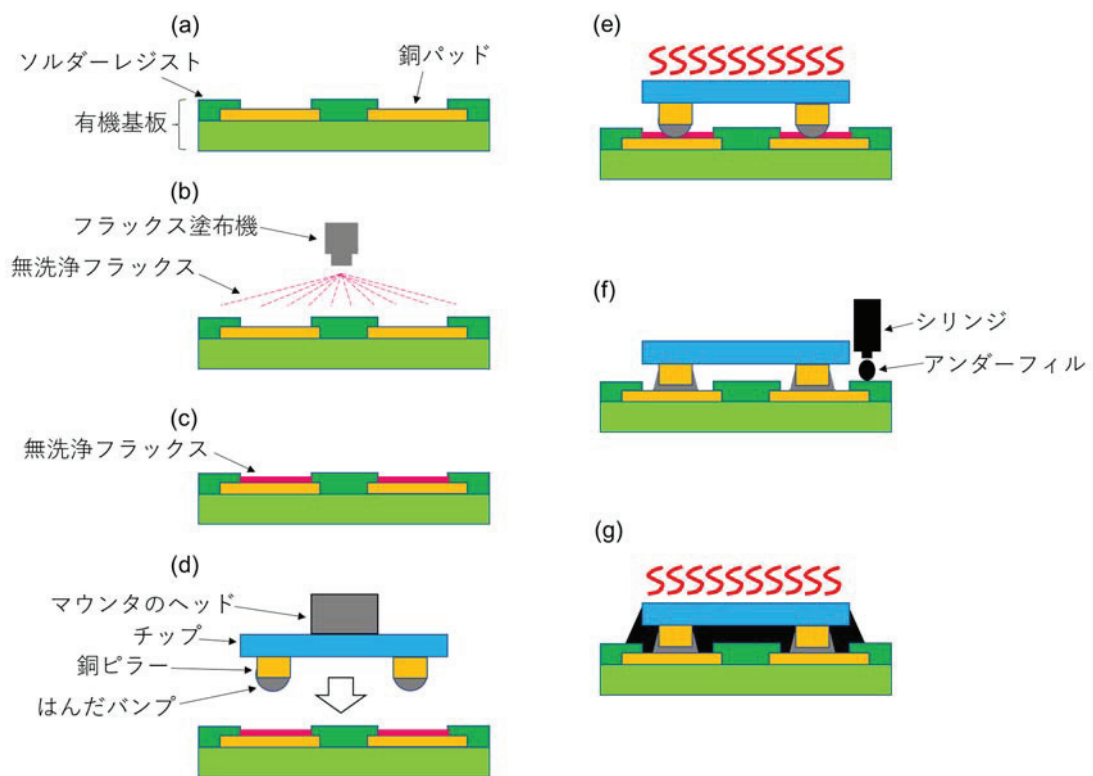


図 1.10 無洗浄フラックス・リフロー・後入れアンダーフィルによる実装工法。

(a) パッケージ基板、(b) フラックス塗布、(c) 塗布後の基板、(d) チップ搭載、  
 (e) リフローはんだ付け、(f) アンダーフィル塗布、(g) オープンで硬化。

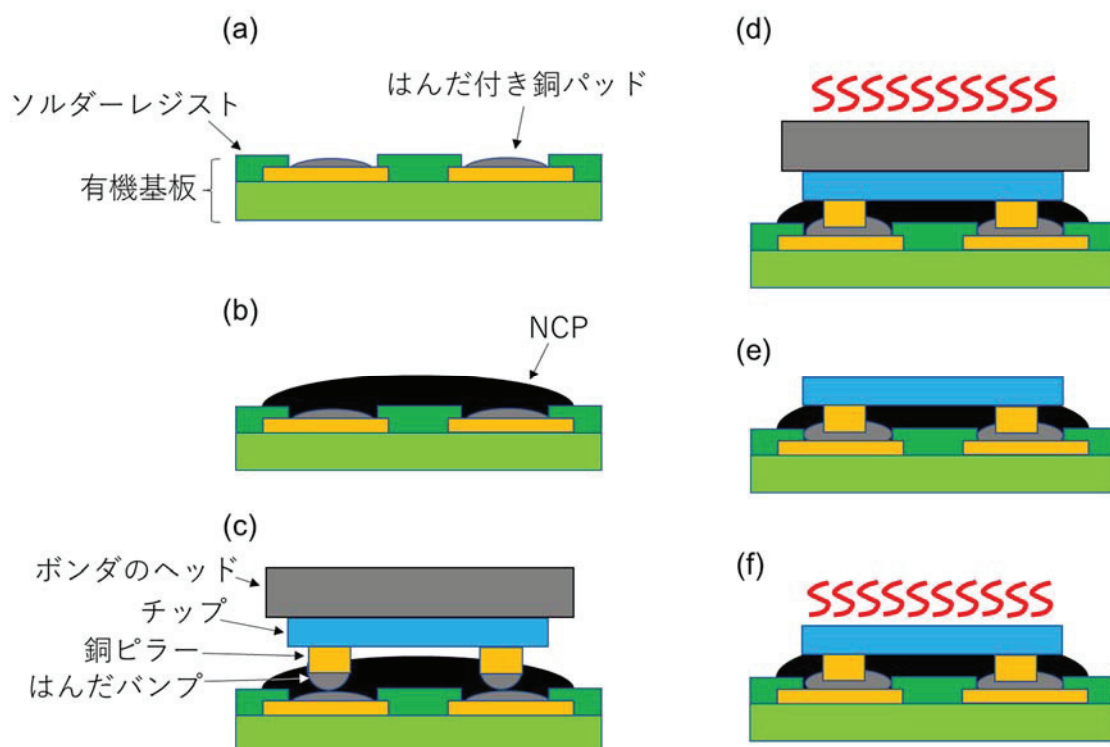


図 1.11 Nonconductive paste を用いた

Thermal compression bonding による実装工法。

(a)パッケージ基板、(b)NCP 塗布、(c)ボンダで位置合わせ、  
(d)ボンダではんだ付け、(e)ボンダから取り出し、(f)オーブンで最終硬化。

## 1.8 本論文の概要

本論文の概要を図 1.12 に示す。

第一章「序論」では、超高周波用三次元高密度実装の必要性の背景、従来の三次元積層化技術、及び後工程の要素技術の有効性とその課題を纏め、本研究の目的について述べた。

第二章では、銅ピラーを用いたシリコンチップと有機基板間のフリップチップ接合において Low-k 層を保護できるよう、はんだ接合部形状を最適化する。

第三章では、シリコンチップ同士の接合において、銅の直接接合に着目した。それは、高さ方向の集積化を実現する目的と、超高周波特性の向上を実現する目的である。その手段として DIG を中間層に用いることを提案する。

第四章では、半導体実装構造全体の性能向上に求められるフリップチップ両面実装において、DIG を含めた各種表面処理を提案し、最適な表面処理手法を

評価する。

第五章「結論と今後の展望」では、本研究の成果を総括し、今後の応用も含めた展望について述べる。

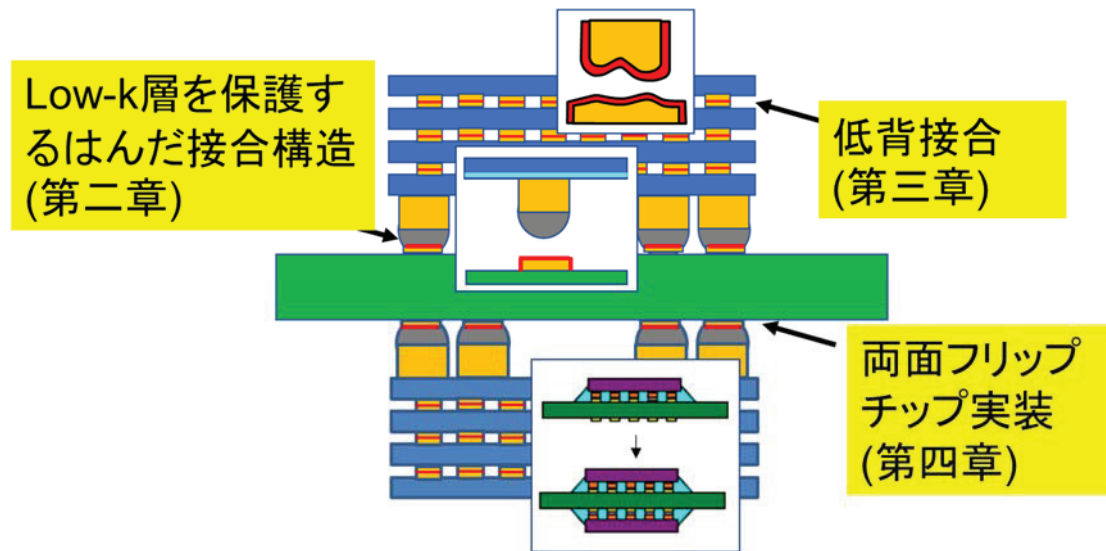


図 1.12 本論文の概要図

## 1.9 参考文献

- [1] S. Dieter et al., "Towards the Implementation of IoT for Environmental Condition Monitoring in Homes," *IEEE Sensors Journal* 13, 3846 (2013).
- [2] K. Kibaroglu et al., "A Low-Cost Scalable 32-Element 28-GHz Phased Array Transceiver for 5G Communication Links Based on a  $2 \times 2$  Beamformer Flip-Chip Unit Cell," *IEEE Journal of Solid-State Circuits* 53, 1260 (2018).
- [3] A. Islam et al., "Convolutional Neural Networkscheme-based Optical Camera Communication System for Intelligent Internet of Vehicles," *International Journal of Distributed Sensor Networks* 14, 1 (2018).
- [4] Y. Yu et al., "Optimization and Implementation of SIW Slot Array for Both Medium and Long Range 77GHz Automotive Radar Application," *IEEE Transactions on Antennas and Propagation*, in press (2018).
- [5] G. Moore, "Cramming More Components onto Integrated Circuits," *Proceedings of the IEEE* 86, 82 (1998).
- [6] T. N. Theis et al., "The End of Moore's Law: A New Beginning for Information Technology," *Computing in Science & Engineering* 19, 41 (2017).
- [7] M. Koyanagi et al., "Future System-on-Silicon LSI chips," *IEEE Micro* 18, 17 (1998).
- [8] K. Sakuma et al., "3D Chip-Stacking Technology with Through-Silicon Vias and Low-Volume Lead-Free Interconnections," *IBM Journal of Research and Development* 52, 611 (2008).
- [9] J-S. Kim et al., "A 1.2 V 12.8 GB/s 2 Gb Mobile Wide-I/O DRAM With  $4 \times 128$  I/Os Using TSV Based Stacking," *IEEE J. Solid-State Circuits* 47, 107 (2012).
- [10] K. Honda et al., "NCF for Pre-Applied Process in Higher Density Electronic Package Including 3D-Package," *Proceedings of Electronic Components and Technology Conference*, 385 (2012).
- [11] J. Warnock et al., "Circuit Design Techniques for a First-Generation Cell Broadband Engine Processor," *IEEE Journal of Solid-State Circuits* 41, 1692

- (2006).
- [12] O. Takahashi et al., “Migration of Cell Broadband Engine from 65nm SOI to 45nm SOI,” Proceedings of IEEE International Solid-State Circuits Conference, 86 (2008).
- [13] TechSearch International, “The Future of Packaging and Assembly Technology,”  
[https://www.smta.org/chapters/files/Central-Texas\\_CTEAVardaman2016.pdf](https://www.smta.org/chapters/files/Central-Texas_CTEAVardaman2016.pdf)
- [14] S. Iyer et al., “Three-Dimensional Integration: A Tutorial for Designers,” IEEE Solid-state circuits magazine 7, 63 (2015).
- [15] K. Matsumoto et al., “High Thermal Conductivity Underfill for the Thermal Management of Three-dimensional (3D) Chip Stacks,” Proceedings of SEMI-THERM Symposium, 219 (2014).
- [16] T. Hamamoto et al., “A Floating-Body Cell Fully Compatible With 90-nm CMOS Technology Node for a 128-Mb SOI DRAM and Its Scalability,” IEEE Transactions of Electron Devices 45, 1300 (1998).
- [17] A. P. Chandrakasan et al., “A 180-mV Subthreshold FFT Processor Using a Minimum Energy Design Methodology,” IEEE Journal of Solid-state Circuits 27, 473 (1992).
- [18] K. M. Chen et al., “Copper Pillar Bump Design Optimization for Lead Free Flip-Chip Packaging,” Journal of Materials Science: Materials in Electronics 21, 278 (2010).
- [19] J. Sylvestre et al., “The Impact of Process Parameters on the Fracture of Device Structures during Chip Joining on Organic Laminates,” Proceedings of Electronic Components and Technology Conference, 82 (2008).
- [20] R. J. O. M. Hoofman et al., “Self-Aligned Multi-Level Air Gap Integration,” Microelectronic Engineering 83, 2150 (2006).
- [21] A. Yoshida et al., “A Study on Package Stacking Process for Package-on-Package (PoP),” Proceedings of Electronic Components and Technology Conference, 825 (2006).

- [22] K. Y. Au et al., “3D Chip Stacking & Reliability Using TSV-Micro C4 Solder Interconnection,” Proceedings of Electronic Components and Technology Conference, 1376 (2010).
- [23] K. Sakuma et al., “Fluxless Bonding Process Using Thermo-compression Micro-scrub for 61  $\mu\text{m}$  Pitch SnAg Solder 3-D Interconnections,” Proceedings of Electronic Components and Technology Conference, 329 (2016).
- [24] Y. Orii et al., “Micro Structure Observation and Reliability Behavior of Peripheral Flip Chip Interconnections with Solder-Capped Cu Pillar Bumps,” Transactions of the Japan Institute of Electronics Packaging 4, 73 (2011).
- [25] H. Ma et al., “Effect of Initial Cu Concentration on the IMC Size and Grain Aspect Ratio in Sn-xCu Solders during Multiple Reflows,” Journal of Materials Science: Materials in Electronics 29, 602 (2018).
- [26] F. B. Kaufman et al., “Chemical - Mechanical Polishing for Fabricating Patterned W Metal Features as Chip Interconnects,” Journal of the Electrochemical Society 138, 3460 (1991).
- [27] T. Sakai et al., “A New Flip-Chip Bonding Method Using Ultra-Precision Cutting of Metal/Adhesive Layers,” Journal of the Japan Institute of Electronics Packaging 11, 217 (2008).
- [28] K. Sakuma et al., “Fluxless Bonding for Fine-Pitch and Low-Volume Solder 3-D Interconnections,” Proceedings of Electronic Components and Technology Conference, 7 (2011).
- [29] T. H. Kim et al., “Room Temperature Cu-Cu Direct Bonding Using Surface Activated Bonding Method,” Journal of Vacuum Science & Technology A 21, 449 (2003).
- [30] S. Hashimoto et al., “Direct Immersion Gold (DIG) as a Final Finish,” Circuit World 32, 16 (2006).
- [31] K. Yokomine et al., “Development of Electroless Ni/Au Plated Build-up Flip Chip Package with Highly Reliable Solder Joints,” Proceedings of

- Electronic Components and Technology Conference, 1384 (2001).
- [32] D. Kin et al., “Evaluation of DIG (Direct Immersion Gold) as a New Surface Finishes for Mobile Applications,” Proceedings of Electronic Components and Technology Conference, 258 (2006).
- [33] C. Ryu et al., “Novel Approaches to Current BGA Packaging Challenges,” Proceedings of Electronics Packaging Technology Conference, 1258 (2008).
- [34] H. Noma et al., “Flip Chip Assembly on 50- $\mu\text{m}$ -pitch Pads Soldered with Precoat by Powder Sheet,” Proceedings of International Conference on Electronics Packaging, 386 (2009).
- [35] T. Wang et al., “Studies on a Novel Flip-Chip Interconnect Structure Pillar Bump,” Proceedings of Electronic Components and Technology Conference, (2001).
- [36] Y. Shimote et al, “The Fine Pitch Cu-pillar Bump Interconnect Technology Utilizing NCP Resin, Achieving the High Quality and Reliability,” Transactions of the Japan Institute of Electronics Packaging 7, 87 (2014).





## 第二章 ダイレクト金めっきを用いた低応力接合

半導体チップを有機基板へとリフロー工法で実装する際、チップの動作周波数を向上させるために使われる Low-k 層を保護することは重要である。その目的で、チップ側の銅ピラーなどの設計寸法やリフローの温度プロファイルという工程条件を最適化した例が存在する。

しかし、究極的な Low-k 層であるエア・ギャップ技術を用いるには依然として技術開発が必要である。そこで、はんだ形状を最適化することで Low-k 層への応力を低減できるのではないかとの仮説を立て、はんだの基板側のパッドへの濡れ性を最適化することを提案した。その手段として基板側の銅パッドを DIG で表面処理することに着目した。それは、パッド表面を金というはんだが濡れやすい材料にできることと、Ni/Au めっきのようにパッド側面に余分なニッケル層を形成することなくパッド表面を金にすることができることが理由である。

実験から、仮説通り、DIG においては OSP の場合とは異なりはんだが銅パッド上に広く濡れ広がり、結果としてははんだ接合部周辺に残るはんだ体積が減ることがわかった。この結果に基づき有限要素法で構造解析を行い、接合部周辺のはんだ体積が少ない方が Low-k 層への応力が小さくなることがわかった。それは、リフロー後の冷却時に銅ピラー側面がはんだにより押される力が小さくなるためと考えられる。ここから、基板側パッドの表面処理が DIG の場合、OSP の場合と同じ信頼性を保つという条件では、より誘電率の低い Low-k 層を使い、より高周波でチップを動作できることを見出した。

なお、本章の図表で[1, 2]から転載しているものの著作権は、© 2011 The Japan Institute of Electronics Packaging である。

## 2.1 緒言

本章では、はんだ形状を最適化しリフロー後冷却時に Low-k 層を保護することを提案する[1, 2]。フリップチップ実装には C2 技術を用いた。パッドの表面処理には、50  $\mu\text{m}$  の微細ピッチパッドに適用できる OSP および DIG を用い比較考察した。

まず、はんだ接合部形状のはんだの基板側銅パッド表面への濡れ依存性を明らかにするための数値計算を実施した。次に、リフロー後冷却時の信頼性のはんだ接合部形状依存性を明らかにするための構造解析を実施した。解析に当たり、CPI (Chip package interaction) が最先端の実装技術開発における課題であるため、はんだ接合部の歪みだけでなく Low-k 層に加わる応力も解析した。

## 2.2 実験および数値計算

### 2.2.1 基板上のパッド表面へのはんだ濡れ性

リフロー中にはんだがどのように濡れるかを調べるため、OSP および DIG の表面処理のパッドについて実装を行った。

DIG の厚さは、有機基板から水分を除くプリベーク工程の熱がかかって、金が銅の中へ拡散しても表面に金が残るように 0.06  $\mu\text{m}$  とした[3, 4]。図 2.1 に示す 50  $\mu\text{m}$  ピッチの TV (Test vehicle) を実験に用いた。TV とは、評価用のチップおよび基板を組み合わせた総称である。基板側の銅パッドの幅は 25  $\mu\text{m}$  である。ソルダーレジストの開口長さは 300  $\mu\text{m}$  と 150  $\mu\text{m}$  の二種類とした。開口長さを 300  $\mu\text{m}$  にすると、ソルダーレジスト開口の端がチップの外側になるため、後入れアンダーフィルを導入しやすくなる。開口長さ 150  $\mu\text{m}$  の場合、はんだがパッドへ過剰に濡れてもソルダーレジスト開口の端で止まる。チップ側の銅ピラーのサイズは 35  $\mu\text{m}$  角で、その上に形成したはんだの高さは 20  $\mu\text{m}$  である[5]。

TV 基板に無洗浄フラックスを塗布し、そこに TV チップを搭載したうえで、窒素雰囲気下のリフロー炉に投入した。図 2.2 に示した箇所ではんだ接合部形状を把握するため光学顕微鏡による断面観察を行った。パッドの長さ方向に対して垂直方向と水平方向の両方の断面を観察した。

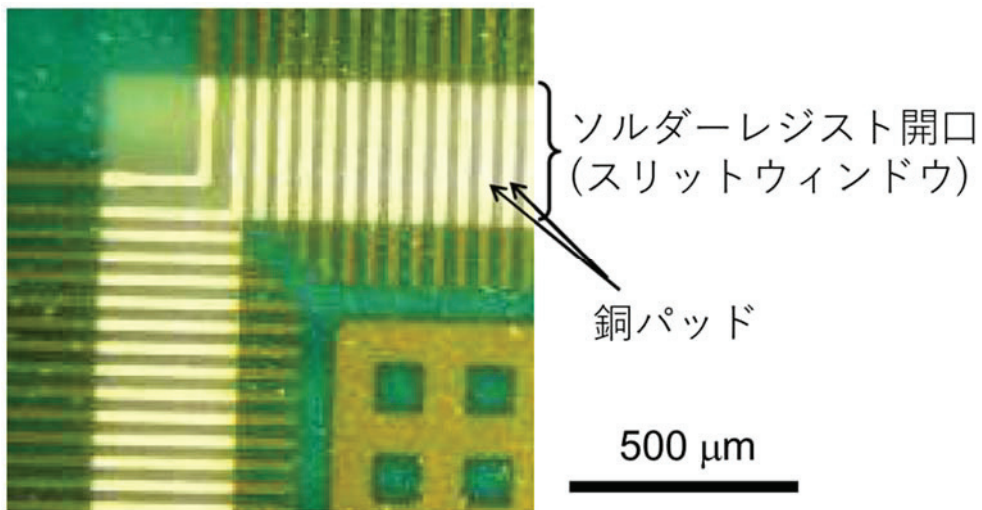


図 2.1 TV 基板の拡大図 (チップの角に対応する部分)[2]

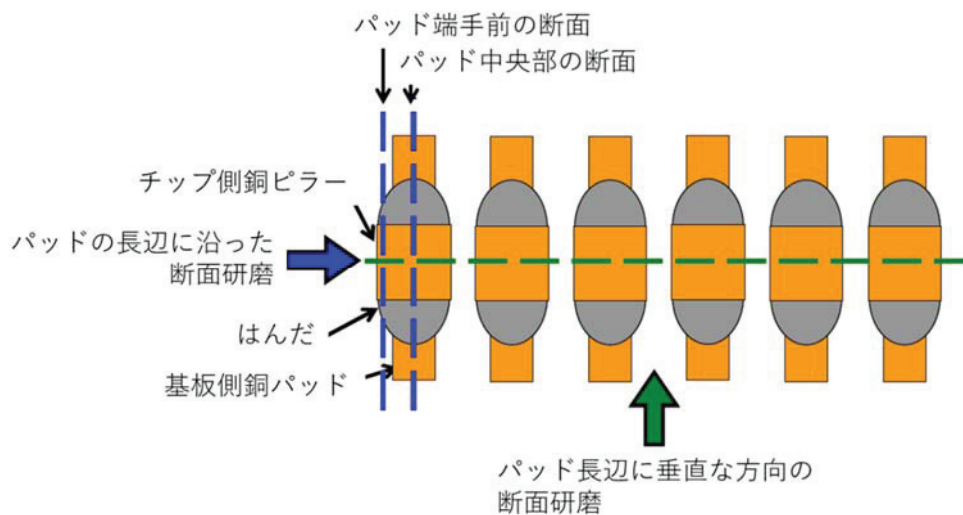


図 2.2 光学顕微鏡による断面観察箇所の上図[2]

### 2.2.2 はんだ接合部形状の数値計算

はんだ接合部形状を理論的に議論する目的で、Surface Evolver という広く使われているソフトを用いて形状を計算した[6, 7]。この手法では、定常状態での はんだ形状を得ることができる。また、リフロー中のはんだ形状の動的な変化を計算した報告例[8]もある。

しかし、本提案では、はんだが固化した後の冷却時に Low-k にかかる応力を求めることが重要と考えている。

計算前のはんだ接合部形状を図 2.3(a)に示す。銅ピラーの二面にはんだが濡れ上がった形状を初期状態として設定した。はんだ形状を、表面エネルギーや重力のポテンシャルエネルギーが最適化されるように変形し、図 2.3(b)の結果を得た。表面エネルギーの計算は式 2.1 に示すラプラスの式を用いた。

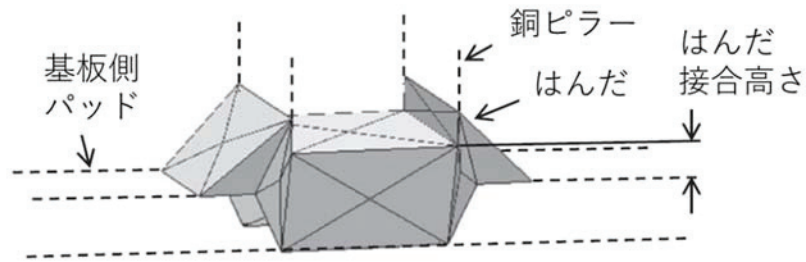
$$\Delta p = \gamma \left( \frac{1}{R_1} + \frac{1}{R_2} \right) \quad (2.1)$$

ただし、 $\Delta p$  は、はんだ内外の圧力差、 $\gamma$  は、はんだの表面張力、 $R_1$  と  $R_2$  ははんだ外形の主曲率半径つまり主曲率の逆数である。ここで、はんだの表面張力  $\gamma$  には、Sn-3.5Ag の値である 0.53 N/m を用いた[9]。

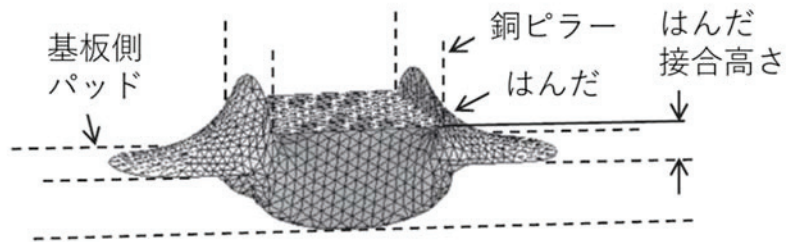
また、 $R_1$  と  $R_2$  について、図 2.4 を用いて説明する。主曲率とは、計算対象の点  $r_{n,m}$  を通る曲面の断面のうち、曲率が最大のものと最小のものである。図 2.4 を例に取れば、点  $r_{n,m}$  とその近傍の点  $r_{n-1,m}$  と  $r_{n+1,m}$  を通る円の曲率半径が ( $R_1$ )、点  $r_{n,m}$  とその近傍の点  $r_{n,m-1}$  と  $r_{n,m+1}$  を通る円の曲率半径が ( $-R_2$ ) である。ここで、円の中心がはんだの外側にあるため、 $R_2$  に負号を付けた。C4 (Controlled collapse chip connection) 技術で形成されるバレル型のはんだ形状についての計算法が永田らにより提案されており、式 2.1 を用いた計算手法も詳述されている[10]。

なお、上記の計算では、チップや基板の位置を固定したため、はんだ接合高さも固定されている。つまり、はんだ接合高さは別の手段で最適化する必要がある。そこで、表面エネルギーや重力のポテンシャルエネルギーが最適となるはんだ接合高さを求めるために、3  $\mu\text{m}$  から 9  $\mu\text{m}$  のさまざまなはんだ接合高さの条件で計算を実施した。

なお、上記以外の範囲において、計算結果は収束しなかった。それは、9  $\mu\text{m}$  を超す範囲ではチップと基板のギャップが広くなりすぎてチップ側銅ピラーの底面にはんだが存在しない箇所が生じてしまうためである。



(a) 計算前のはんだ形状(初期条件).



(b) 計算後のはんだ形状(計算結果).

図 2.3 はんだ形状計算結果。表面処理は OSP で、はんだ接合高さは  $9\ \mu\text{m}$ 。

(a)初期条件。はんだ表面は平面の組み合わせ。

(b)計算結果。ラプラスの式を解き、表面形状が収束した状態。[1]

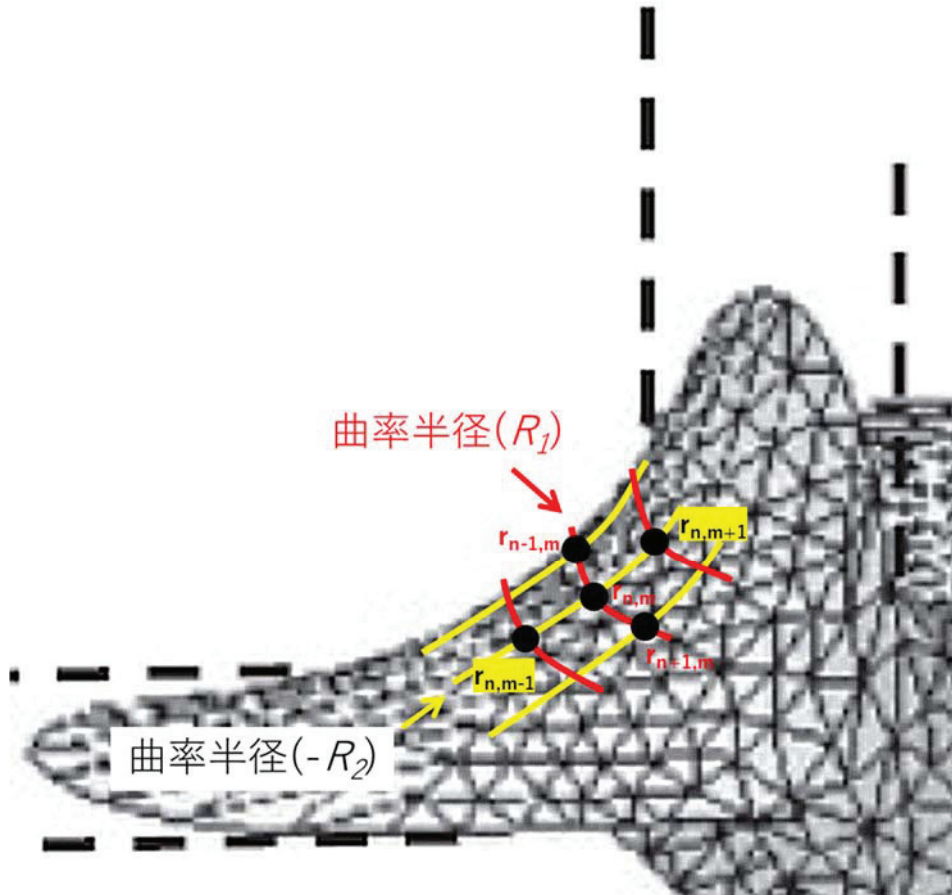


図 2.4 曲面上の主曲率半径。[1]を基に改変。

### 2.2.3 低誘電率層への応力解析

はんだ接合部の歪みおよび Low-k 層の応力を調べる目的で、はんだ形状計算と並行して有限要素法 (Finite Element Method, FEM) による構造解析を行った。解析結果に特異点が生じる問題を避けるため、はんだ内の歪みは体積平均で求めた[11]。Low-k 層は薄いため、理想的な立方体形状と比べ、メッシュのアスペクト比が大幅に高くなっている。この場合、メッシュの最適化[12]を行うことが望ましいものの、平面状のメッシュ形状であっても応力の相対値は正しいと仮定した。構造解析に用いた材料特性を表 2.1 にまとめて示す[13, 14]。



表 2.1 構造解析に用いた機械特性一覧[1]

(a) はんだ以外の、弾性解析を用いた材料

材料	弾性率, GPa	熱膨張係数 (CTE), ppm/K
Si	130	3.2
SiO <sub>2</sub>	66	5.7
Cu	117	16.6
有機基板[13]	24.9	15.0

(b) はんだ材料のノートン則  $d\varepsilon / dt = A\sigma^n$  の温度ごとの定数[14]。ここで、 $\varepsilon$  はクリープ歪み、 $A$  は定数、 $\sigma$  は応力、 $n$  は指数。

材料、温度	$n$	$A$ , MPa/h
Sn-3.5Cu-0.75Ag (20 °C)	11.1	$1.12 \times 10^{-17}$
Sn-3.5Cu-0.75Ag (80 °C)	9.0	$8.09 \times 10^{-15}$
Sn-3.5Cu-0.75Ag (140 °C)	6.8	$8.64 \times 10^{-13}$

はんだについてはノートン則によるクリープ解析を実施し、その他の材料については弾性を想定した。CTE ミスマッチによるはんだの歪みや Low-k 層の応力は剪断変位を与えることによって求めた。その変位の大きさは、式 2.2 のように  $6.9 \mu\text{m}$  となる。

$$\begin{aligned} & \left(\frac{CS}{2}\right) \times \Delta CTE \times \Delta T \\ &= \left(\frac{7.3 \text{ mm}}{2}\right) \times (15 \text{ ppm/K} - 3.2 \text{ ppm/K}) \times (185 \text{ }^\circ\text{C} - 25 \text{ }^\circ\text{C}) \\ &= 6.9 \mu\text{m} \end{aligned} \tag{2.2}$$

ただし、 $CS$  はチップサイズ、 $\Delta CTE$  はチップと有機基板の CTE 差、 $\Delta T$  は、リフロー時のはんだ凝固温度から室温までの温度差である。ここで、はんだ凝

固温度は 185 °Cを仮定している [15]。

はんだ形状を図 2.5 に示す三つの場合について解析した。ここで、接合部のはんだのうち、銅ピラー真下からはみ出ている部分をはんだのフィレットと定義する。第一のケースは、はんだが銅パッドだけでなく銅ピラーの側面に濡れて大きなフィレットを形成した場合である。第二のケースは、はんだが銅パッドに濡れて銅ピラーの側面には濡れ上がらず小さなフィレットを形成した場合である。第三のケースは、はんだが銅ピラーの真下の箇所には濡れず、フィレットが形成されなかった場合である。

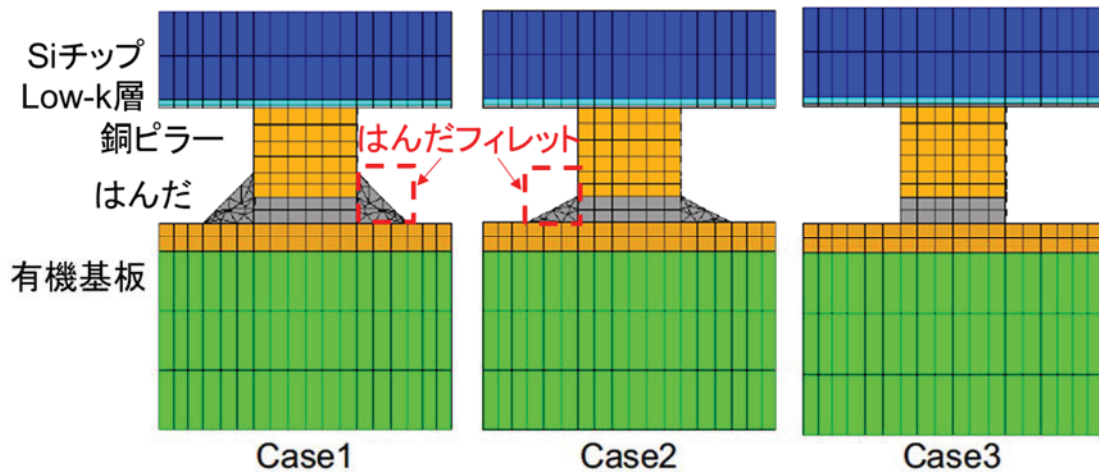


図 2.5 構造解析モデルの断面図[2]



## 2.3 結果と考察

### 2.3.1 ダイレクト金めっきによる、はんだの基板側銅パッドへの濡れ改善

図 2.6~2.8 にはんだ接合部の断面写真を示す。図 2.7 は、図 2.6 のうち OSP 処理についてパッド中央部の断面を拡大した写真である。銅パッド表面でののはんだの濡れ角は OSP 処理の場合に  $30^\circ$  となった。他の研究[16, 17]でははんだの銅への濡れ角が銅への表面処理やフラックスの条件に依存して大きくばらついている。はんだボールと銅板を磨き洗浄することで表面の酸化膜を取り除き、アルゴン雰囲気下フラックスなしで加熱した場合、溶融したはんだの銅板への濡れ角は約  $50^\circ$ であった[16]。

一方、はんだボールを、磨き洗浄された銅板へ置いてロジン系 (Rosin Mildly Activated, RMA) フラックスを用いて大気雰囲気下で加熱した場合は、はんだの銅表面への接触角が約  $20^\circ$ であった[17]。ロジン系フラックスは、無洗浄フラックスよりも活性が高いものの、リフロー後に洗浄が必要である。

本章の実験においては、活性の弱い無洗浄フラックスを用い、OSP 表面の銅上にはんだを配置し窒素雰囲気下でリフローした。そのため、実験結果として得た濡れ角  $30^\circ$ は妥当である。なお、チップにクラックが入っているのは、断面研磨時の応力に起因するものである。

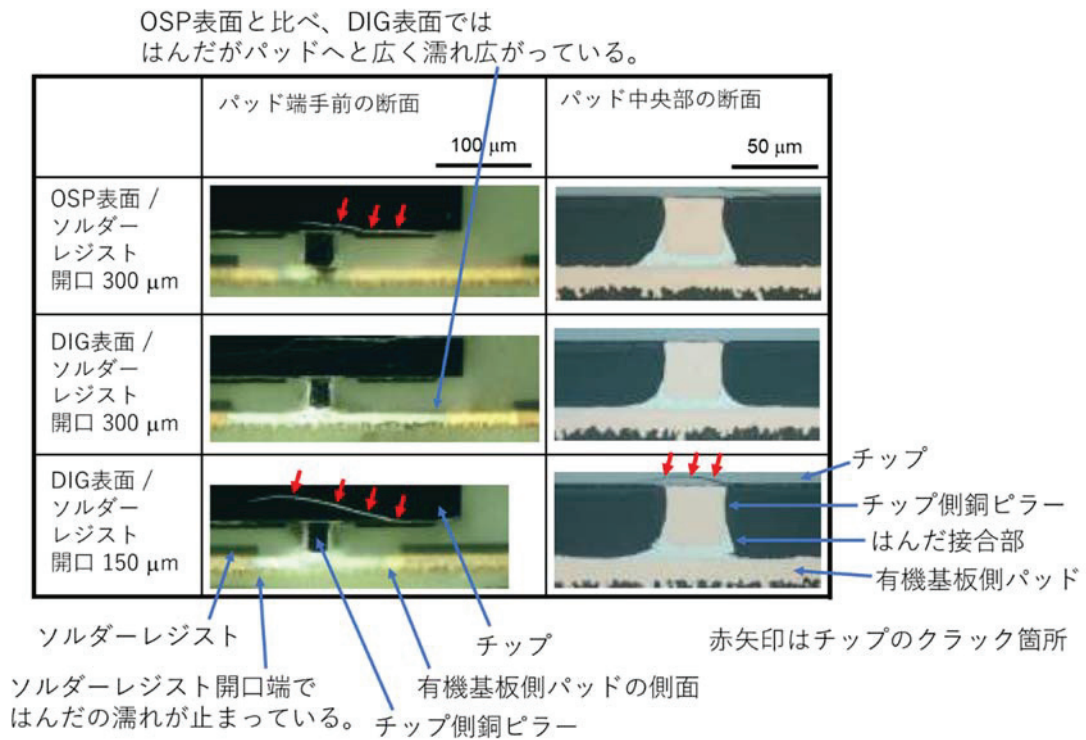


図 2.6 実装後の断面写真（パッドの長辺に沿った断面研磨）。[2]を基に改変。

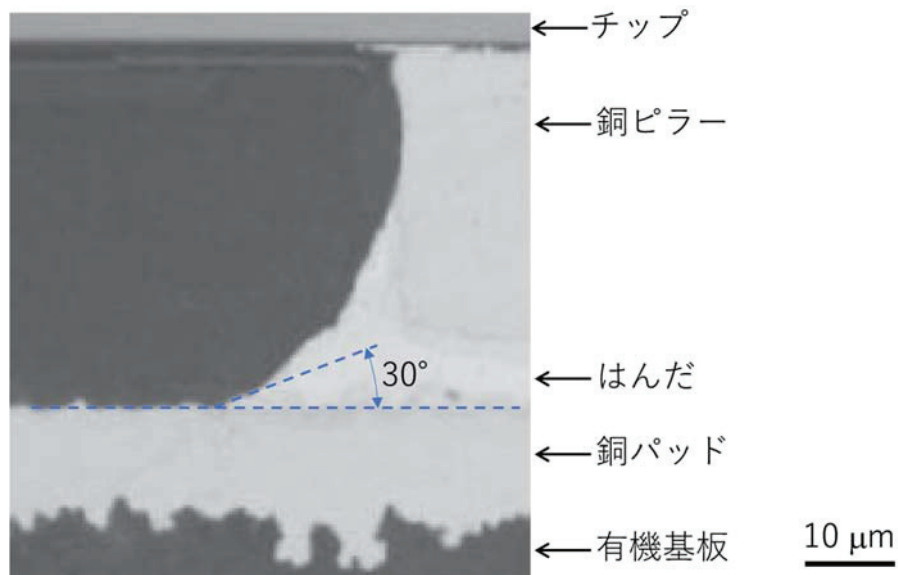


図 2.7 OSP 表面の場合の、はんだの接触角。[1]を基に改変。

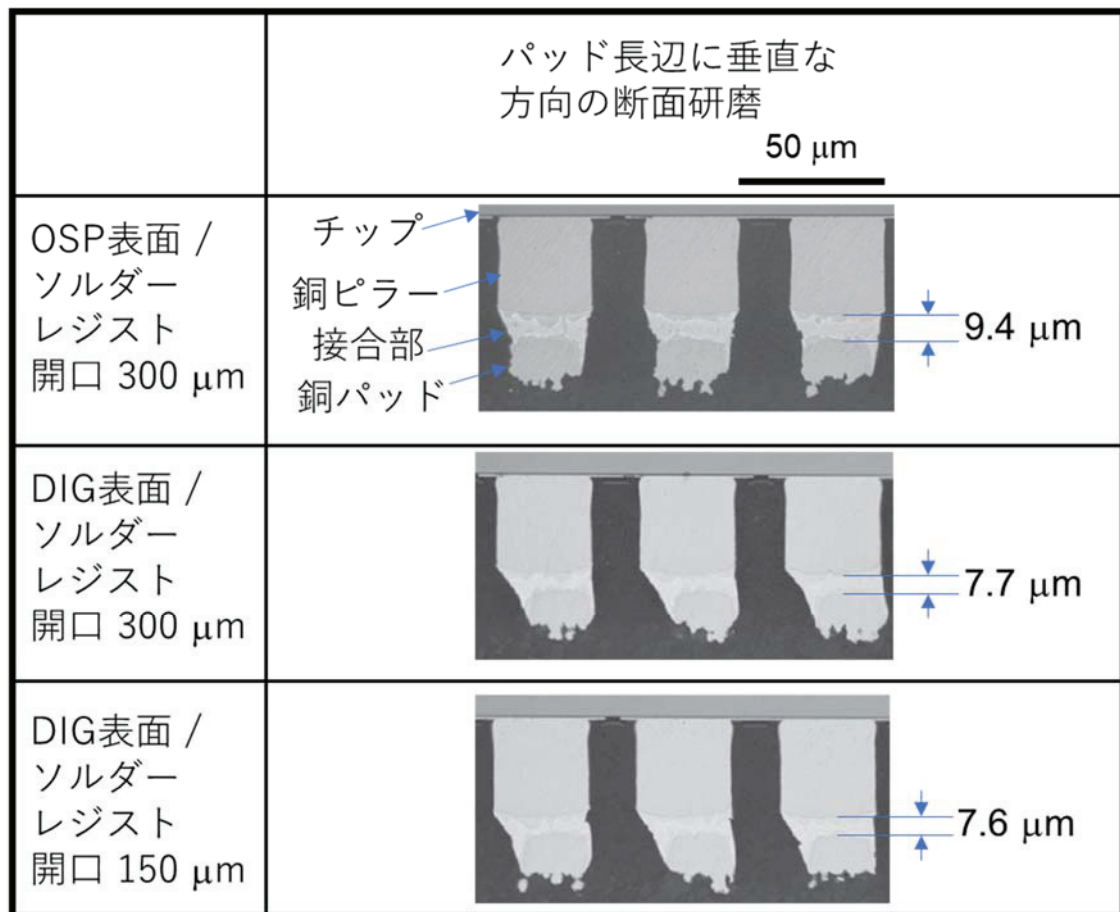


図 2.8 実装後の断面写真（パッドの長辺に垂直な断面研磨）。[1]を基に改変。

基板上の DIG 表面のパッドへははんだが広く濡れ広がった。濡れ広がったはんだの厚みは非常に薄く、halo[18]のように見えた。ここで halo とは、はんだが元々存在した箇所から薄く広く濡れ広がり、外周部にまで光沢が見える現象である。過剰にはんだが濡れ広がった領域でのはんだの厚みは非常に薄い、OSP サンプルと比べ、DIG サンプルでは銅ピラー周辺に残るはんだ体積は少ない。そのような濡れ広がり Ni/Au めっき処理をしたライン状のパッドにおいても報告されている[19]。

しかし、Ni/Au めっきにおける金の下地がニッケルであるのに対し、DIG における金の下地が銅であるため、濡れの度合いが異なる。銅のスズへの拡散係数 ( $5 \times 10^{-11} \text{ m}^2/\text{s}$ ) がニッケルのスズへの拡散係数 ( $2 \times 10^{-12} \text{ m}^2/\text{s}$ ) よりも大きい、はんだの DIG 表面への濡れは Ni/Au めっきの場合よりも軽微である[20]。DIG の場合、Ni/Au めっきの場合よりも、IMC を形成するために多くの

はんだが消費され、パッドへと濡れ広がるはんだの量が少なくなるためである。

IMC 形成量については、C2 技術において銅ピラーをニッケルピラーに置き換えて評価した結果、銅ピラーよりニッケルピラーの方がリフロー後のピラー表面での IMC 厚さが薄いとの報告がある[21]。そのことが、DIG パッド上へのはんだの濡れが halo のように観察され、過剰なはんだの濡れが抑制されることの原因である。

### 2.3.2 界面合金層形成による、はんだ接合高さの制限

OSP 表面について図 2.7 から得た接触角を基にはんだ形状の計算を行った。その結果図 2.9 に示すように実験結果のはんだ形状と合致していることが確認された。

計算範囲の中では、図 2.10 に示すように、はんだ接合部高さが  $3\ \mu\text{m}$  のときに最もエネルギーが安定になるとわかった。この計算結果は図 2.8 に示した実験結果とは一致していない。実験では、はんだ接合部高さは  $9\ \mu\text{m}$  であった。この条件の場合、数値計算上でエネルギーが不安定であった。この原因は、IMC 成長に起因しているのではないかと考察した。

IMC の SEM 像を図 2.11 に示す。Cu<sub>5</sub>Sn<sub>6</sub> は凹凸のある形状をしていて、チップ側には大きな IMC も存在する。それは、はんだバンプ形成時にめっき後のはんだに金属光沢を持たせると同時に形状を半球状にするためのリフロー工程が必要であるためである[22]。フリップチップのリフロー時にチップ側のピラー上に形成された IMC と基板側のパッド上に形成された IMC とが接触する箇所があり、その IMC が接合高さを計算で求まる安定な高さ ( $3\ \mu\text{m}$  以下) よりも大きくなる原因である。

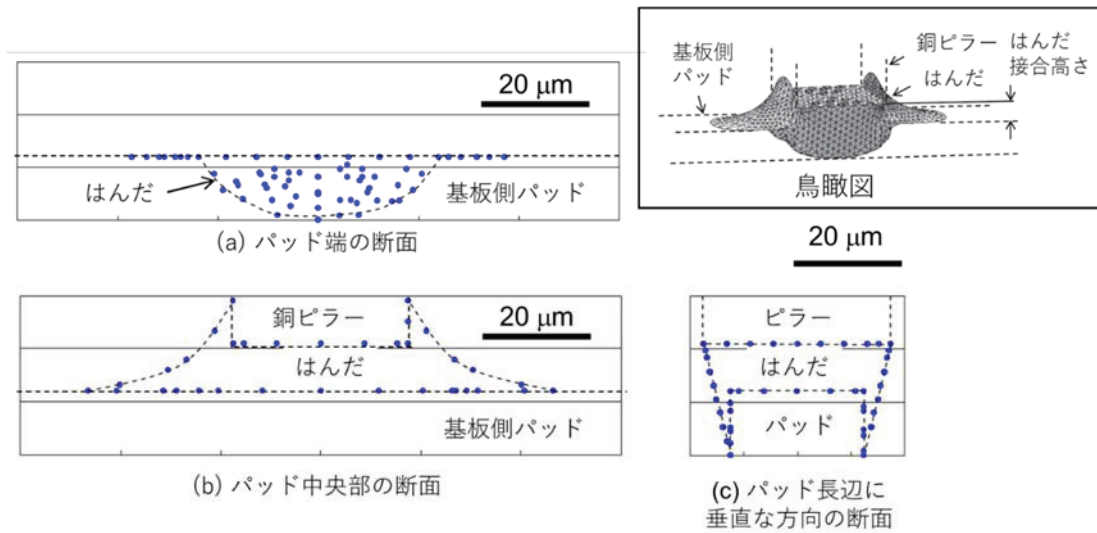


図 2.9 はんだ形状計算結果（各メッシュの点を青でプロット）。  
[2]を基に改変。

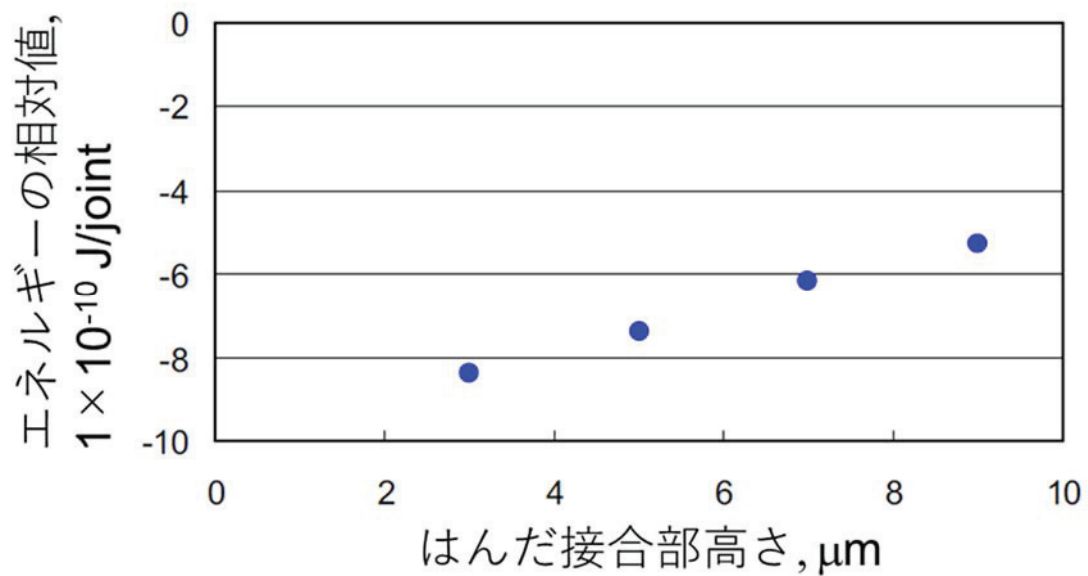


図 2.10 接合部の相対エネルギー（重力と表面張力）の接合部高さ依存。  
ボンディング前のエネルギーを 0 と設定。[2]

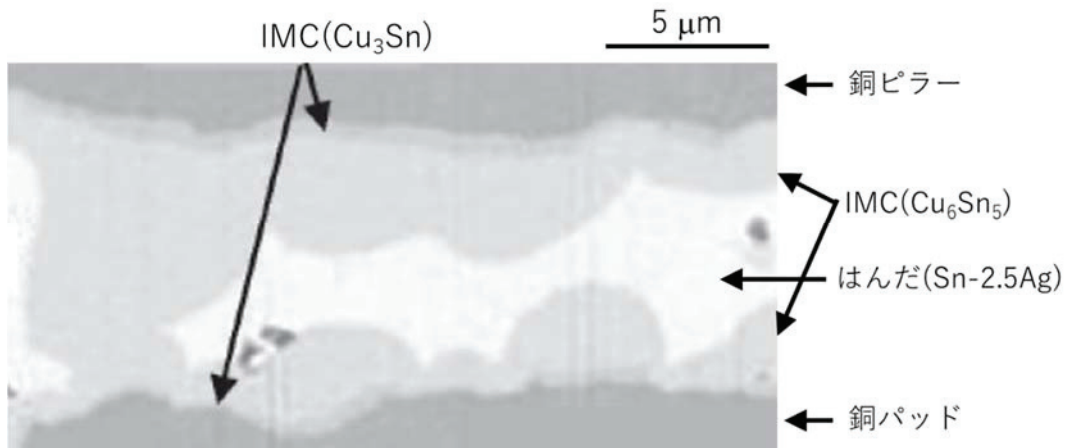


図 2.11 接合部の断面 SEM 像[1]

### 2.3.3 ダイレクト金めっきによる低誘電率層への応力低減

図 2.12 および表 2.2 に構造解析の結果をまとめた。はんだにかかる歪み、Low-k 層への応力それぞれについて、第一のケースを 1.00 として相対的な比率を記載している。はんだ体積が減ると、はんだにかかる歪みが大きくなることは、他の報告と同様の傾向である[23]。一方、Low-k 層への応力は、はんだ体積が小さくなると低減した。その理由は、はんだフィレットが銅ピラーの側面を引っ張る力が、第一のケースには存在する一方で他のケースでは存在しないためと考えられる。

表面処理として OSP を想定した第一のケースから、DIG を想定した第二のケースへと、はんだの濡れ状態を変えることにより、Low-k 層への応力は 15% 低減した。これは、信頼性を維持したまま、より誘電率の低い材料を使えることを意味する。ここで、応力が 15% 減ったときに誘電率が 15% 低い材料を使えたと仮定すると、第一章の式 1.1 からわかるように消費電力を維持したままで 18% 高い動作周波数を実現できる。



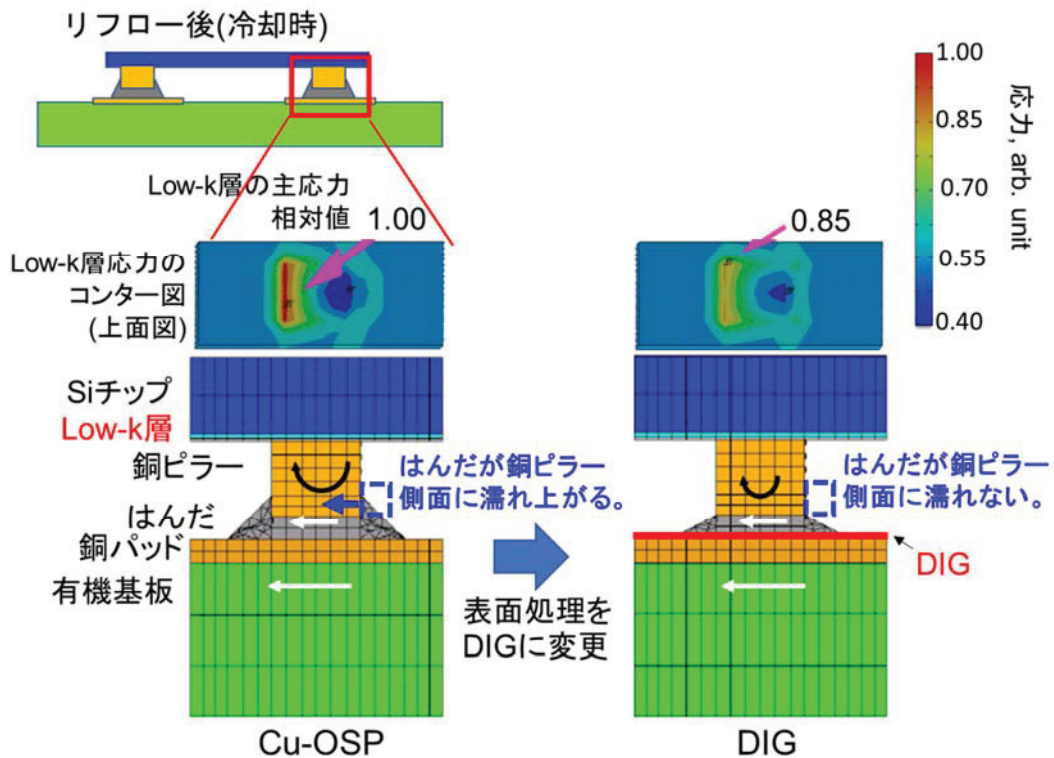


図 2.12 構造解析結果 (Low-k 層応力のコンター図)。

左上に載せたりフロー後の断面の、右側の接合部 (赤囲み) の解析。

上から二段目のコンター図は、Low-k 層応力分布の上面図。

下段は、左上図の赤囲み部の拡大図。

下段図中の矢印はリフロー後冷却時にかかる歪み方向。[2]を基に改変。

表 2.2 構造解析結果 (Low-k 層応力およびはんだ接合部の歪み)[1]

	Case1	Case2	Case3
Low-k層の主応力 (最大値) Case1=1.00	1.00	0.85	0.71
はんだの Von Mises クリープ歪 み (体積平均) Case1=1.00	1.00	1.08	1.11

C2 技術によるはんだ接合部の温度サイクル (Temperature cycle, TC) 信頼性は、チップ側に金スタッドバンプを有機基板側にはんだがプリコートされたパッドを用いた場合と比べ良好である [5]。それは、金とスズとの IMC 形成に起因するカーケンダルボイドが生じず、接合部の電気抵抗上昇が少ないためである。はんだ体積が少ないと、基板の反りに起因するはんだの濡れ不良が生じる可能性がある [24, 25]。はんだ接合部の信頼性や濡れ不良の可能性を考慮すべきであり、はんだ体積を減らすのではなく、はんだのパッドへの濡れ性を高めることは、Low-k 層への応力を減らす解となる。

#### 2.3.4 銅ピラーの側面にはんだが濡れ上がる閾値のはんだ体積

銅ピラーの側面にはんだが濡れ上がらないことは Low-k 層の保護に役立つ。そこで、用いた TV について銅ピラーの側面にはんだが濡れ上がる閾値のはんだ体積を求めた。はんだ接合部高さは IMC 形成により制限されるため 9  $\mu\text{m}$  に固定した。

銅ピラーの側面にはんだが濡れ上がるには、はんだ体積が、ピラーの底面とパッドの上面のうちはんだが濡れた箇所とで形成される六面体 (図 2.13) の体積を上回る必要がある。図 2.13 においてははんだは銅ピラーの側面に濡れ上がっていない。はんだ体積がこれよりも大きければその分のはんだが銅ピラーの側面へと濡れ上がると仮定している。パッド上ではんだが濡れる箇所は接触角から求めることができる。そのため、閾値体積  $V$  は、以下の式 2.3 で求める。

$$V = \left(\frac{h}{6}\right) \times \{Ab + aB + 2(ab + AB)\} \quad (2.3a)$$

$$A = a + 2 \times \left(\frac{h}{\tan \theta}\right) \quad (2.3b)$$

ここで  $h$  ははんだ接合部高さで、 $a, b$  はチップ側銅ピラーの辺の長さである。 $A$  は基板側パッドのうちはんだが濡れた箇所の長さ、 $B$  は基板側パッドの幅、 $\theta$  は接触角である。



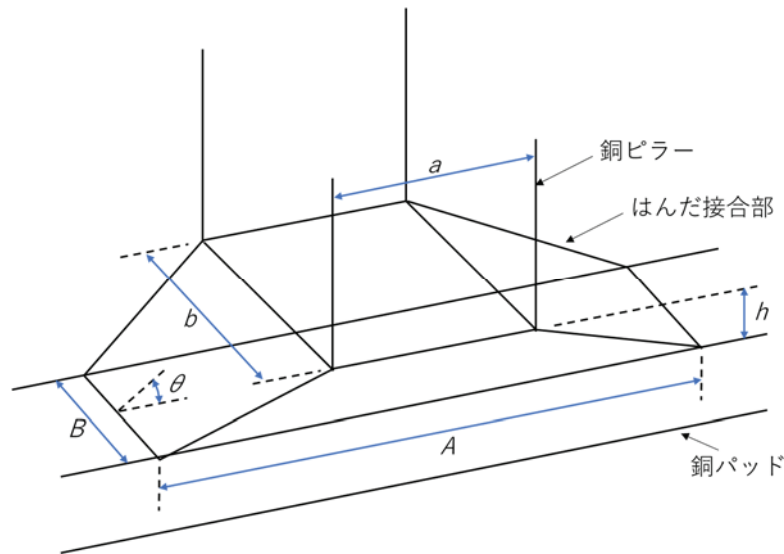


図 2.13 はんだ体積閾値でののはんだ接合部形状の模式図

計算結果として得た閾値を図 2.14 の曲線に示した。また、実験でののはんだ体積を図 2.14 中に三角で記入した。はんだ体積は閾値  $V$  を超えていて、チップ側銅ピラーの側面へと濡れ上がっている。このことは計算結果と一致している。単にはんだ体積を減らすだけでなく、接触角を減らすこともはんだの銅ピラーへの濡れ上がりを抑制するのに有効である。

金は銅の中へと拡散しやすいことが知られている [26]。しかし、第四章で述べるように、リフロー前に金がパッド表面で  $0.06 \mu\text{m}$  以上残っていれば、実装は可能である [3, 4]。基板側に DIG 表面のパッドを形成することは、単にリフローで実装される SMT (Surface mount technology) 部品との混載に役立つだけでなく、CPI の改善にも役立つ。そのため、同じ信頼性であれば、前項で述べたように、より誘電率の低い Low-k 層を用いることにより更なる高周波でチップを動作させることができる。

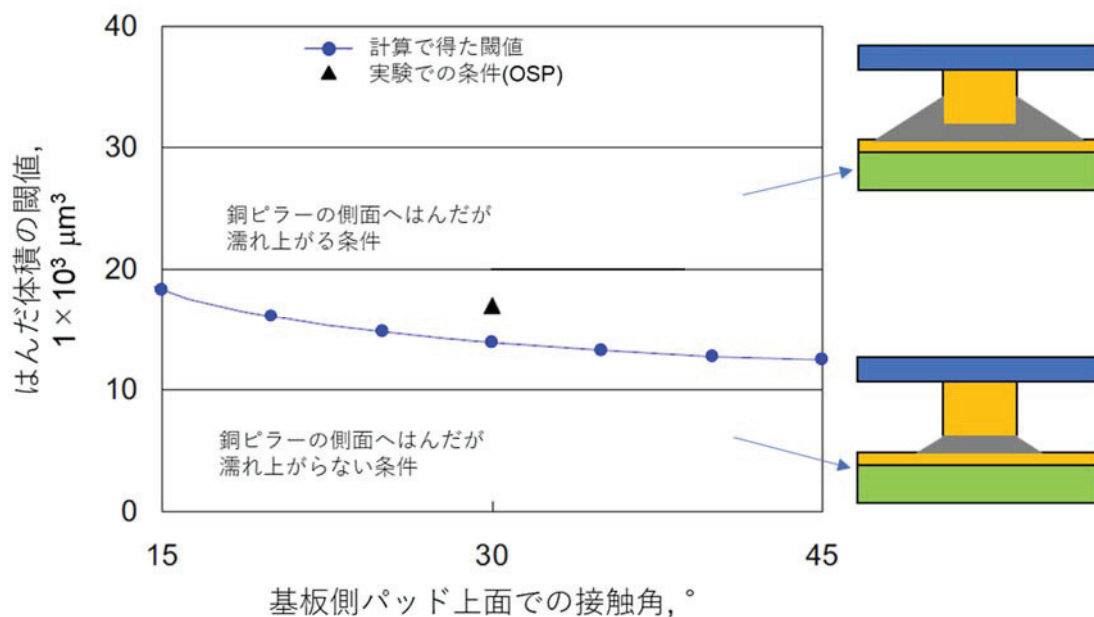


図 2.14 はんだのチップ側銅ピラーへの濡れ上がりの閾値。[2]を基に改変。

## 2.4 結言

Low-k 層への応力を低減する目的で、パッドに DIG が表面処理された基板へ C2 技術によりチップを実装した。数値計算によりはんだ形状を議論し、構造解析によりはんだ形状が信頼性に与える影響を評価した。その結果、以下の知見が得られた。

- (1) DIG 表面処理では、はんだがパッド上で広く濡れるため、チップ側銅ピラー周辺のはんだ体積は OSP の場合と比べ少なくなる。
- (2) チップ側銅ピラー周辺のはんだフィレット形成を最低限にすることが、Low-k 層を保護する上で重要である。
- (3) はんだフィレット形成を抑制するには、微細ピッチに適した DIG によりパッド上へのはんだの濡れ角を低減することが有効である。

同じ信頼性であれば、より誘電率の低い Low-k 層を用い、更なる高周波でチップを動作できる。具体的に、本章で示したケースについては従来よりも 18% 高い周波数でのチップ動作が可能となる。

つまり、DIG は、ニッケルバリア層を介さずに微細なピッチの銅パッドへ金表面処理ができるため、CPI 改善、さらには、高周波化の観点から重要な技術

である。

## 2.5 参考文献

- [1] H. Noma et al., "Peripheral Flip Chip Interconnection on Au Plated Pads Using Solder-Capped Cu Pillar Bumps," Transactions of the Japan Institute of Electronics Packaging 4, 95 (2011).
- [2] H. Noma et al., "C2 (Chip Connection) Assembly on Gold Plated Pads," Proceedings of International Conference of Electronics Packaging, 499 (2011).
- [3] H. Noma et al., "Wettability and Reliability for Double-Sided Assembly with Chip Connection (C2) Flip-Chip Technology," Transactions of the Japan Institute of Electronics Packaging 2, 85 (2009).
- [4] H. Noma et al., "Wettability and Reliability on Double Side Assembly with Metal Post Solder - Chip Connection Flip Chip Technology," Proceedings of International Conference on Electronics Packaging, 568 (2009).
- [5] Y. Oorii et al., "Micro Structure Observation and Reliability Behavior of Peripheral Flip Chip Interconnections with Solder-Capped Cu Pillar Bumps," Transactions of the Japan Institute of Electronics Packaging 4, 73 (2011).
- [6] K. A. Brakke, "The Surface Evolver," Experimental Mathematics 1, 141 (1992).
- [7] S. C. Tower et al., "Yield Prediction for Flip-Chip Solder Assemblies Based on Solder Shape Modeling," IEEE Transactions on Electronics Packaging Manufacturing 22, 29 (1999).
- [8] S. Shojiguchi et al., "Simulation of Solder Joint and Warping of LSI Packages," The Papers of Technical Meeting on Electronic Circuits, Institute of Electrical Engineers of Japan ECT-10-107, 17 (2010) (in Japanese).
- [9] I. Kaban et al., "Surface Tension and Density of Binary Lead and Lead-free Sn-based Solders," Journal of Physics: Condensed Matter 17, 7867 (2005).
- [10] T. Nagata et al., "Prediction of Solder Joint Geometries by Rigid-Plastic Flow Analysis," Proceedings of Microjoining and Assembly Technology in

- Electronics, 521 (2002) (in Japanese).
- [11] R. Darveaux, "Effect of Simulation Methodology on Solder Joint Crack Growth Correlation and Fatigue Life Prediction," ASME Journal of Electronic Packaging 124, 147 (2002).
- [12] J. Yin et al., "Constrained Mesh Optimization on Boundary," Engineering with Computers 24, 231 (2008).
- [13] K. Okamoto et al., "Material Property Modeling by Using the Thermal Deformation Measurement System," Proceedings of International Conference on Electronics Packaging, 353 (2007).
- [14] Q. Yu, "Solder Joint Reliability Analysis of Assembled Components Using ANSYS," Mechanical CAE NEWS 3, 13 (2005) (in Japanese).
- [15] J. Sylvestre et al., "The Impact of Process Parameters on the Fracture of Device Structures During Chip Joining on Organic Laminates," Proceedings of Electronic Components and Technology Conference, 82 (2008).
- [16] X. R. Zhang et al., "Wetting Behavior and Interfacial Characteristic of Sn-Ag Solder alloy on Cu Substrate," Chinese Science Bulletin 55, 797 (2010).
- [17] M. F. Arenas et al., "Contact Angle Measurements of Sn-Ag and Sn-Cu Lead-Free Solders on Copper Substrates," Journal of Electronic Materials 33, 1452 (2004).
- [18] S. V. Sattiraju et al., "Wetting Characteristics of Pb-free Solder Alloys and PWB Finishes," IEEE Transactions on Electronics Packaging Manufacturing 25, 168 (2002).
- [19] R. Pendse et al., "Low Cost Flip Chip (LCFC): An Innovative Approach for Breakthrough Reduction in Flip Chip Package Cost," Proceedings of Electronic Components and Technology Conference, 1 (2010).
- [20] D. Toyoshima et al., "Influence of UBM Layers on Electro-migration Behavior of Micro-joints using Sn-Ag Solders," Proceedings of International Conference on Electronics Packaging, 548 (2011).
- [21] K. Toriyama et al., "Bump Structure Study for Fine Pitch Flip Chip

- Interconnection,” Proceedings of Microelectronics Symposium, 47 (2012) (in Japanese).
- [22] Y. Orii et al., “Solder Alloy Observation and its Reliability of Ultra Fine Pitch Peripheral Flip Chip Interconnection with Cu Post Bumps,” Proceedings of Microjoining and Assembly Technology in Electronics Symposium, 59 (2011) (in Japanese).
- [23] R. D. Pendse et al., “Bond-on-Lead: A Novel Flip Chip Interconnection Technology for Fine Effective Pitch and High I/O Density,” Proceedings of Electronic Components and Technology Conference, 16 (2006).
- [24] H. Noma et al., “Effects of Warpage and Underfill Material on Assembly and Reliability of System-in-Package,” Microelectronics Symposium, 199 (2008) (in Japanese).
- [25] V. D. Khanna et al., “Methodology for Predicting C4 Non-Wets During the Chip Attach Process,” Proceedings of Electronics Components and Technology Conference, 1117 (2010).
- [26] D.B. Butrymowicz et al., “Diffusion in Copper and Copper Alloys, Part II. Copper - Silver and Copper - Gold Systems,” Journal of Physical and Chemical Reference Data 3, 527 (1974).



### 第三章 ダイレクト金めっきを用いたチップ間低背接合

超高周波用三次元高密度実装に必要となる銅の直接接合について、DIG を中間層として用いる手法を提案する。従来は、試料表面の平坦化と、試料表面からの銅酸化膜の除去が必須であった。

本章では、表面に銅よりも柔らかい金属である金を用いることができ、かつ銅表面の酸化も抑止できる DIG を中間層として用いることを提案した。上側チップ・下側チップそれぞれ高さ  $1.5\ \mu\text{m}$  の平面状の銅上に厚さ  $0.2\ \mu\text{m}$  の DIG を施したものを試料として用いた。上下チップの金表面同士を温度条件  $350\ ^\circ\text{C}$ 、試料同士の加圧条件  $10\ \text{MPa}$  の、酸素を含む  $1\ \text{atm}$  の大気雰囲気下で接合した。

その結果、シェア試験ではシリコンのバルク破壊をし、透過電子顕微鏡観察では界面に局所的なサイズ  $0.2\ \mu\text{m}$  のボイドがあるのみであった。DIG 後の表面粗さ  $R_z$  は  $0.4\ \mu\text{m}$  であり、従来の銅の直接接合技術において必要とされていたナノメートルレベルでの平坦性を必要としない接合工程である。

また、本工程ではニッケルやはんだも用いないため、接合高さを従来手法よりも低くできる特長を持つ。本工程は以下の3つの段階に分けることができる。第1段階では、加熱環境下で上下チップの銅上にある金同士が接触し、金が塑性変形により表面粗さを吸収し平らにする。第2段階では、加熱・加圧環境下で金同士が固相拡散接合を起こす。第3段階では、加熱環境下で金が銅の中へと拡散し、擬似的な銅の直接接合が形成される。

第1段階で、厚さ  $0.2\ \mu\text{m}$  の DIG を施せば、 $R_z 0.4\ \mu\text{m}$  の表面粗さを吸収し、接合できることが透過電子顕微鏡観察からわかった。これは、第1段階の塑性変形が、第3段階での反応と比べ圧倒的に速く進むと考えることで説明できる。表面粗さの凸の部分が、表面粗さの凹の部分へと全て移動すると、例えば表面粗さ  $R_z$  の表面を平らにするにはその半分の厚さの DIG を用いれば良いためである。

本研究で実現した  $3\ \mu\text{m}$  の接合高さは、従来のはんだリフロー工法では実現不可能なものである。また、この接合高さは、銅の厚さを薄くすることにより、さらに低減できる。本章の図表のうち[1]から転載しているものの著作権は、© 2018 The Minerals, Metals & Materials Society である。



### 3.1 緒言

本章では、表面粗さを吸収できる柔らかい材料である金に着目した、新規かつシンプルな銅の直接接合の手法を提案する[1, 2]。従来の手法よりも表面粗さについてのプロセスウィンドウが広いと、DIG という単純なめっき工法が利用できる。提案する手法が真空を必要としない点は、もう一つの利点である。

接合工程のコンセプトを図 3.1 に示す。DIG を銅上に形成し、金同士を接合させる。本工程は以下の 3 つの段階に分けられる。第 1 の段階では、加熱環境下で上下チップの銅上にある金同士が接触し、金が塑性変形により表面粗さを吸収し平らにする。第 2 の段階では、加熱・加圧環境下で金同士が固相拡散接合を起こす。第 3 の段階では、加熱環境下で金が銅の中へと拡散する。金薄膜と銅バルクの界面反応がレビューされており[3]、そのデータが別の文献にまとめられている[4]。その文献には、加熱温度 200 °C、加熱時間 0.25 h から 25 h までの範囲での銅の深さ方向分布が掲載されている[4]。

他の研究では、200 °C で 4 ヶ月や 400 °C で 4 日間の加熱を行った後の深さ方向の元素分布が写真とともに示されている[5]。その写真では 10  $\mu\text{m}$  の厚さの IMC 層が観察される。本章で提案するコンセプトにおける金の厚さは 10  $\mu\text{m}$  より遙かに薄いため、必要とする接合時間は文献[5]よりも遙かに短いと考えられる。上記工程において中間層の材料として金を選んだのは、柔らかく、酸化しにくく、かつ、銅と拡散する金属が、他にないためである。

金を中間層として導入するには、めっき、蒸着、スパッタなど多数の方法がある。その中でも、めっきが最もシンプルな方法である。また銅表面の酸化膜が金の膜形成の前に酸洗いによって除去されるため、その観点でもめっきが有効である。めっきで銅の上に金を形成する場合、通常ニッケルがバリア層として用いられている。

しかし、本研究では、金を高速に銅の中へと拡散させて擬似的な銅の直接接合を形成することを意図している。そのため、DIG という、バリア層でありかつ磁性体であるニッケルを用いないめっき手法を選択した。

金の中間層を用いた研究は複数存在する。島津らは、金を用いた原子拡散接合を提案している[6]。しかし、その目的は銅の直接接合ではなかった。また、Lim らは、銅へ直接金を形成し銅の直接接合を行っている[7]。その目的は単に



銅の表面の酸化を抑制することにより、表面粗さを吸収することではなかった。金の厚みは非常に薄く、接合は真空中で行われた。このように、従来の研究は、本研究の主目的とする粗さの吸収を意図したものではない。

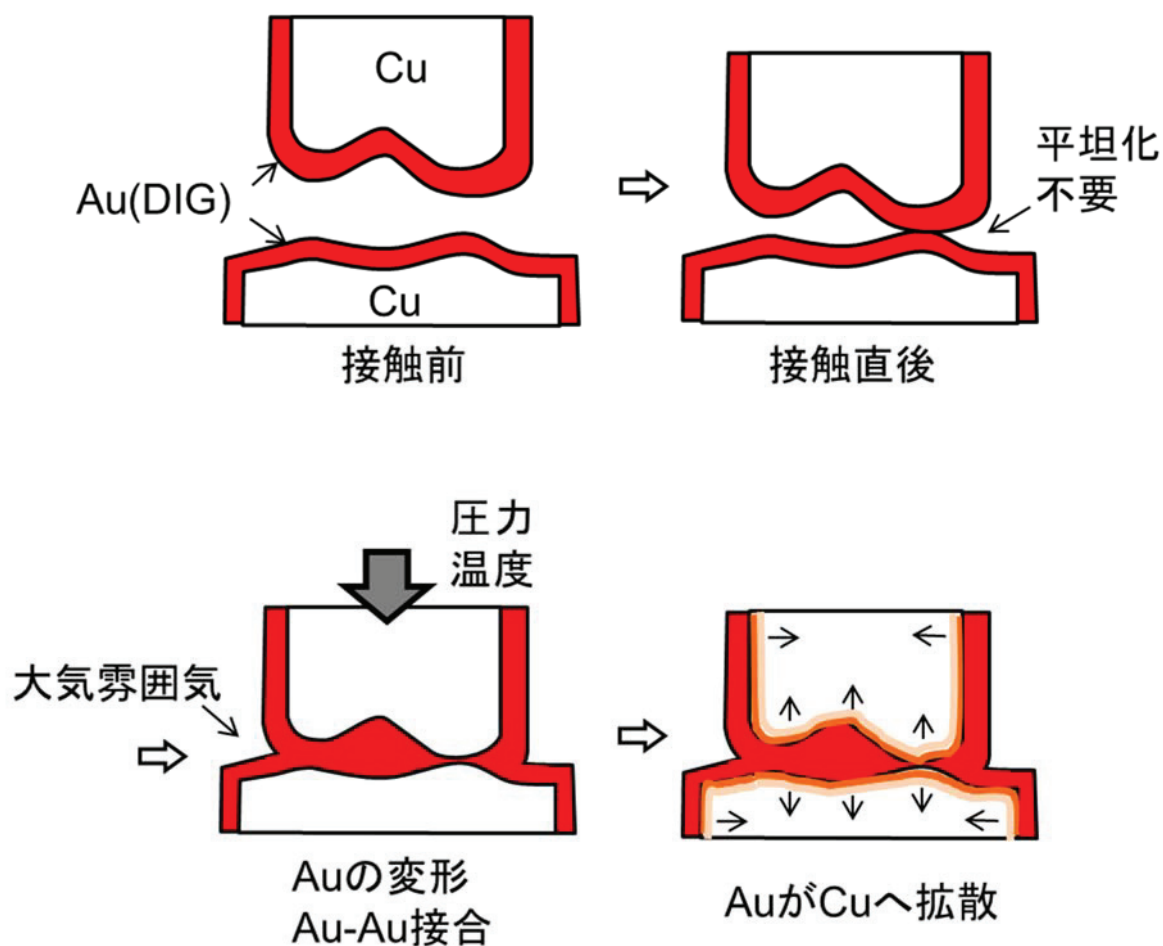


図 3.1 DIG を中間層として用いた銅の直接接合のコンセプト[1]

## 3.2 実験

### 3.2.1 評価用試料の準備

シリコンウエハ上のシード層へめっきされた銅の上に DIG を形成したサンプルを準備した。銅の厚さは  $1.5\ \mu\text{m}$ 、DIG の厚みは  $0.2\ \mu\text{m}$  または  $0.1\ \mu\text{m}$  である。この場合、接合後の高さは約  $3\ \mu\text{m}$  と薄くすることができる。なお、DIG の厚み  $0.2\ \mu\text{m}$  は、DIG において処理できる最も厚い条件である。接合サンプル断面模式図を図 3.2 に示す。10 mm 角サンプルを 15 mm 角サンプルの上に載せ、加熱・加圧の条件下でボンディングを行った。

### 3.2.2 ダイレクト金めっき前後の表面粗さ測定

AFM (Shimadzu SPM-9600) を用いて DIG 前後の表面粗さを定量的に把握した。測定範囲は  $10\ \mu\text{m} \times 10\ \mu\text{m}$  にした[8]。

### 3.2.3 接合手法

表 3.1 に接合条件を示す。接合には、SUSS MicroTec SB6e を用い、温度・時間条件は先行研究[9]から引用した。圧力は先行研究[9]の 10 分の 1 である。なお、表中の圧力は、単純に接合時の荷重を 10 mm 角のサンプル面積  $100\ \text{mm}^2$  で割って求めた値である。酸素存在下での VUV 照射 (Vacuum ultra violet, USHIO UER 20-172) による表面洗浄を前処理として行った[9, 10]。この場合、有機物のコンタミネーションは、酸素ラジカルや VUV 光により除去される。

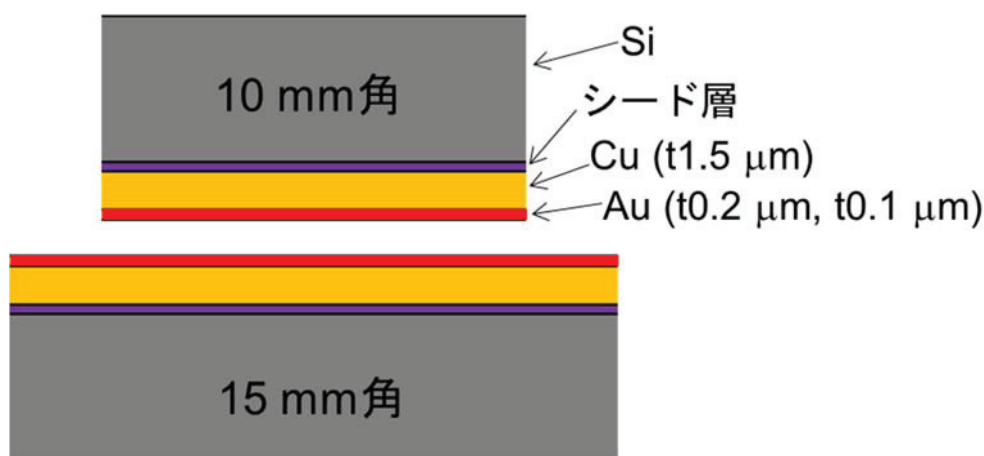


図 3.2 接合サンプル断面模式図[1]

表 3.1 接合条件

項目	条件
温度	350 °C, 250 °C, 150 °C
時間	900 s
圧力	10 MPa
雰囲気	大気 (0.10 MPa)
前処理	液体を使わずに有機物を除去

#### 3.2.4 シェア試験での破断モードによる接合強度評価

接合がどのように行われたかを調べる目的で、接合後にシェア試験を実施し、破断モードでシェア強度を確認した。Royce650 (Royce Instruments) を試験に用いた。シェアツールの速度は 50  $\mu\text{m/s}$  とした[10]。

#### 3.2.5 金の銅への拡散の評価方法

金と銅との分布を TEM-EDX により調べた。測定には JEOL 製の JEM-2011F と JED-2300 を用い、加速電圧を 200 kV とした。

### 3.3 結果と考察

#### 3.3.1 ダイレクト金めっき前後の表面粗さ

図 3.3 に DIG 処理前後での AFM の結果を示す。表 3.2 に示すように、RMS や Rz は、0.2  $\mu\text{m}$  の DIG 厚みのサンプルについて、それぞれ 46 nm と 424 nm であった。ここで、RMS は二乗平均粗さ、Rz は最大高さ粗さである。それぞれの定義の模式図を図 3.4 に示す。

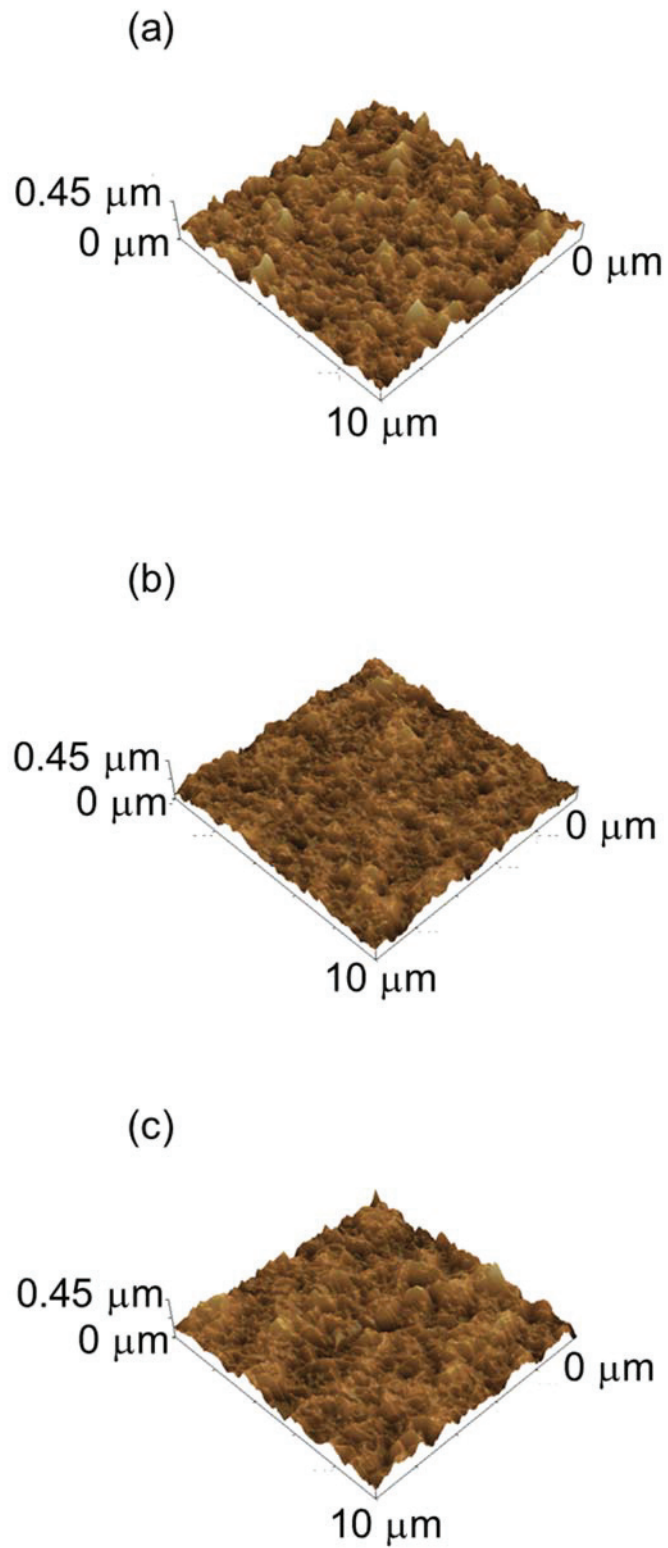


図 3.3 DIG 処理前後での AFM 結果。(a) DIG 前の銅表面、  
(b) 0.1  $\mu\text{m}$  厚さの DIG 処理後、(c) 0.2  $\mu\text{m}$  厚さの DIG 処理後。[1]

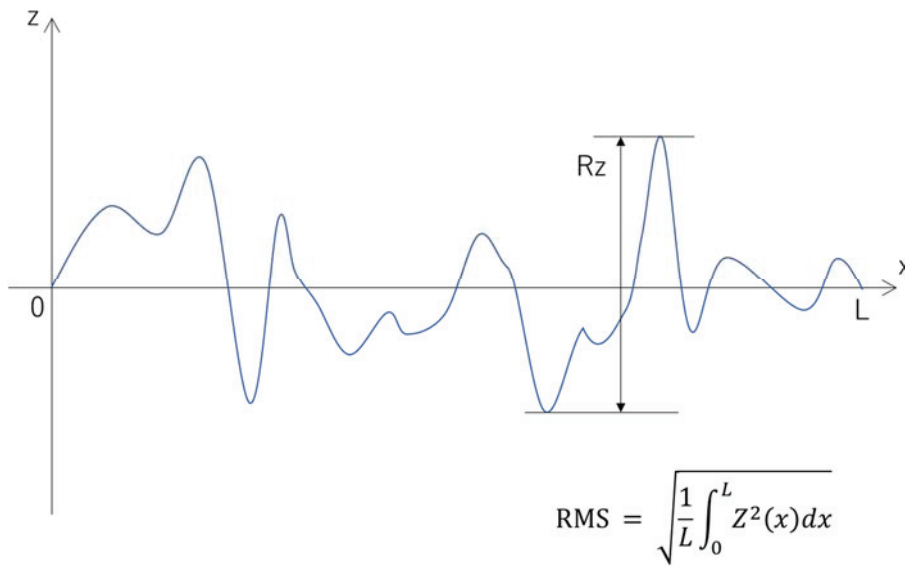


図 3.4 Rz と RMS の定義 (x は面内方向の距離。z は高さ。L は測定長さ)

表 3.2 表面粗さの測定値[1]

試料	表面粗さ	
	RMS	Rz
DIG 前の銅	51 nm	402 nm
DIG0.1 μm	38 nm	309 nm
DIG0.2 μm	46 nm	424 nm

### 3.3.2 シェア試験での破断モードの接合温度依存

表 3.3 はシェアテストでの破断モードをまとめたものである。

接合温度 350 °Cでは、0.2 μm、0.1 μm の DIG 厚さともに、破断モードはシリコンの凝集破壊であった。このような良好な接合が文献の 10 分の 1 の圧力でも実現できたのは、金がこの温度では十分に柔らかかったためである[11, 12]。対照的に、250 °Cや 150 °Cで接合したサンプルは金同士の界面での剥離が見られた。これは、表面粗さや前処理の条件が良好な接合を得るには不十分であったためと考えられる。なお、250 °Cと 150 °Cの条件では、DIG 厚さ 0.2 μm の場合に金同士の界面剥離が生じたため、厚さ 0.1 μm の条件で測定を行った結果については評価する必要がないと判断した。

表 3.3 シェア試験での破断モード[1]

接合温度	金の厚み	
	0.2 $\mu\text{m}$	0.1 $\mu\text{m}$
350 $^{\circ}\text{C}$	シリコンの凝集破壊	シリコンの凝集破壊
250 $^{\circ}\text{C}$	金同士の界面剥離	評価せず
150 $^{\circ}\text{C}$	金同士の界面剥離	評価せず

### 3.3.3 接合後試料の断面観察による接合状態評価

図 3.5 は接合後のサンプルで金の銅への拡散を TEM-EDX での元素マッピング像により調べたものである。

図 3.6 は 0.2  $\mu\text{m}$  および 0.1  $\mu\text{m}$  厚さの DIG サンプルを 350  $^{\circ}\text{C}$  で接合した後の TEM 断面を示したものである。0.1  $\mu\text{m}$  厚さのサンプルについては接合部に白い線が観察され、接合が不十分であることがわかった。この結果は図 3.5(c), (d) の観察結果と一致するものである。図 3.5(a), (b) においても界面に暗い部分が観察されるものの、図 3.6 で白く見える領域が白線ではなく局所的なサイズ 0.2  $\mu\text{m}$  の点であるため、0.2  $\mu\text{m}$  厚さのサンプルの接合状態は 0.1  $\mu\text{m}$  厚さのサンプルの接合状態よりも接合面積が広く良好であると考えられる。

### 3.3.4 ダイレクト金めっきによる低背接合の実現

図 3.6(a) から、接合高さが 3  $\mu\text{m}$  と、はんだリフローでは実現不可能な低さであることがわかる。はんだリフローの場合、一度のリフローではんだと銅が接触する界面の片側で 2  $\mu\text{m}$  ずつ IMC が形成される [13] ため、接合の両側に IMC ができることを考えると、はんだ部分だけで接合高さが少なくとも 4  $\mu\text{m}$  になるためである。さらに、本提案手法で銅の厚みを薄くすることにより接合高さをさらに低くすることが可能である。

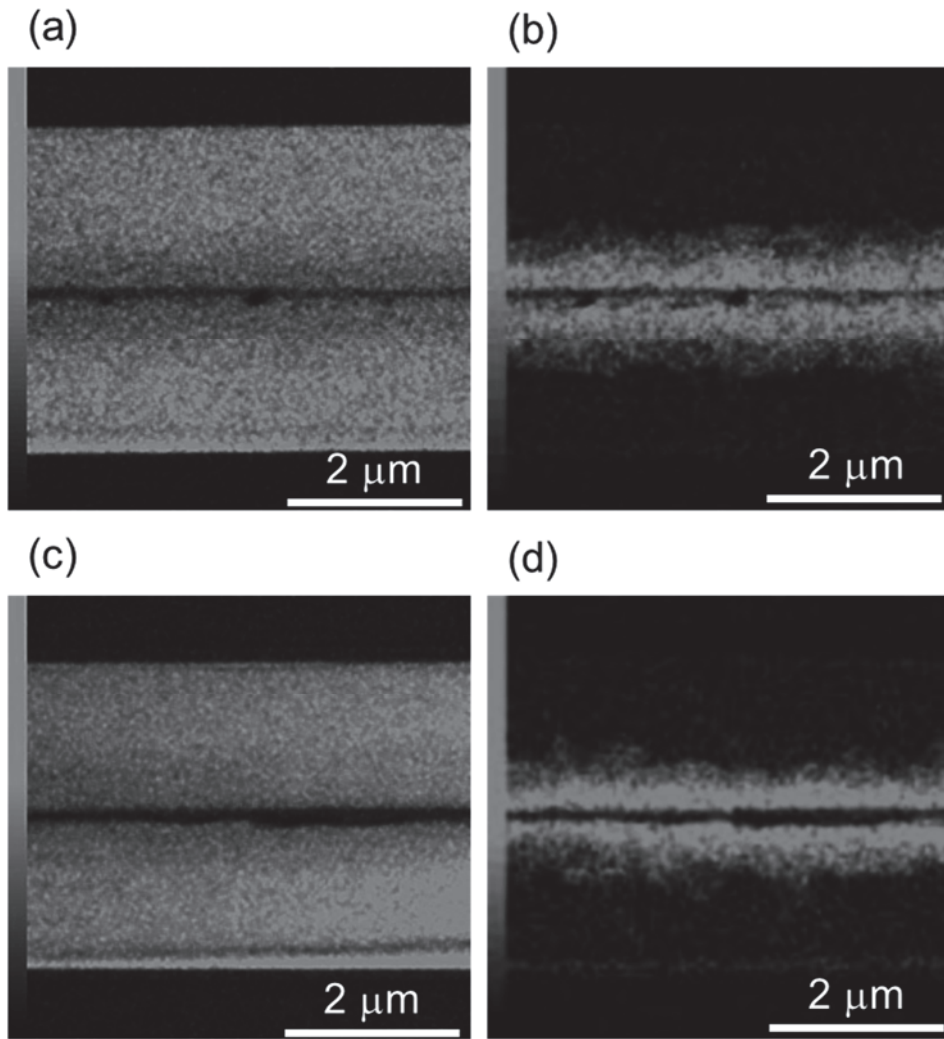


図 3.5 接合後断面の TEM-EDX マッピング。  
(a)と(b)は DIG t0.2 μm、(c)と(d)は DIG t0.1μm 。  
(a)と(c)は Cu の分布、(b)と(d)は Au の分布。[1]



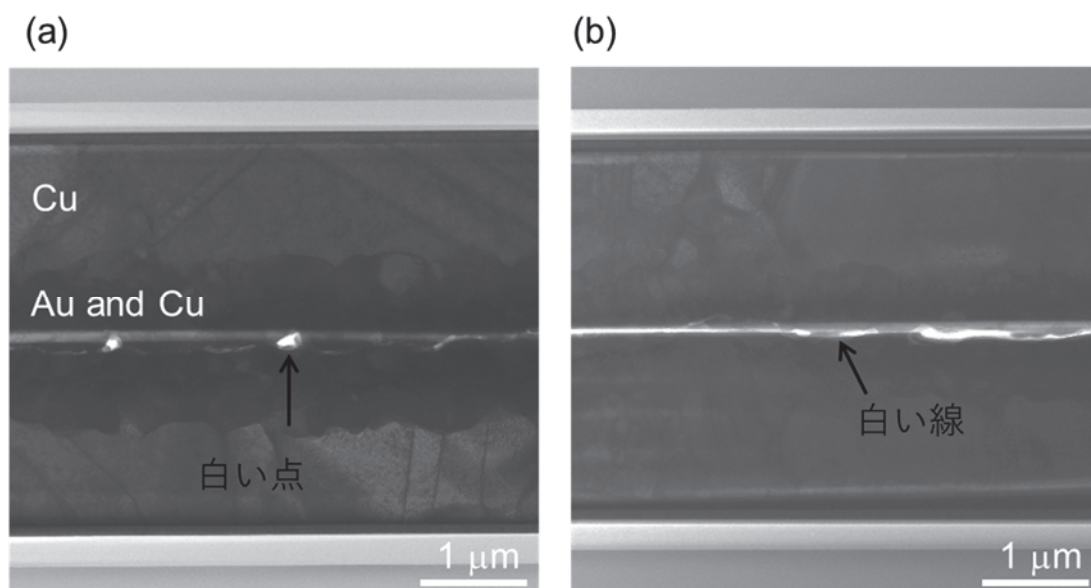


図 3.6 接合後断面の TEM 像。(a)DIG t0.2  $\mu\text{m}$ 、(b) DIG t0.1  $\mu\text{m}$ 。[1]

### 3.3.5 金の銅への拡散係数の算出

金と銅との拡散についてのレビュー論文があり[3]、接合温度 350 °Cでの拡散係数  $D$  の値は  $10^{-17} \text{ m}^2/\text{s}$  から  $10^{-15} \text{ m}^2/\text{s}$  まで広くばらついている。本研究の系においても上記の拡散係数が適切かを調べる目的で、数値計算を行った。拡散方程式を式 3.1 に基づいて数値的に解くにあたり、拡散係数をパラメーターとしたフィッティングを行い、本研究の系での拡散係数を算出した。

$$\frac{\partial c}{\partial t} = D \frac{\partial^2 c}{\partial x^2} \quad (3.1)$$

ここで  $c$  は定数、 $t$  は時間、 $x$  は距離、 $D$  は拡散係数である。計算には差分法を用い、空間刻みと時間刻みはそれぞれ 0.02  $\mu\text{m}$ 、1 s とした。境界条件としては、金の拡散がバリア層と銅との界面で止まるという条件を用いた。

接合温度 350 °C、900 s 後での金の分布を図 3.7 に示す。TEM-EDX で求めた金の分布を、同じグラフに示した。図 3.7(a), (b) から求めた拡散係数はそれぞれ  $1.0 \times 10^{-16} \text{ m}^2/\text{s}$ 、 $8.3 \times 10^{-17} \text{ m}^2/\text{s}$  であり、文献[3]の保持温度 350 °Cでの値の範囲内に入っていることから、拡散係数は適切であると考えた。このことから、



金が初期状態から、接合を経て銅の中へと拡散し、接合界面の元素の分布がなだらかになっていることがわかる。

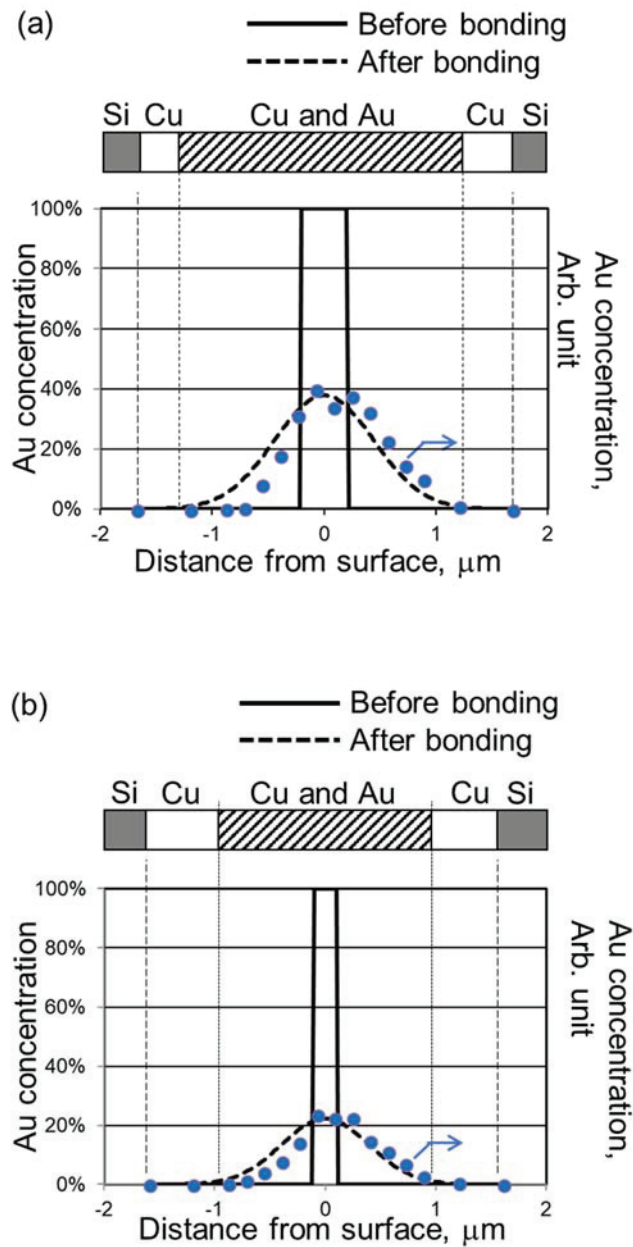


図 3.7 金の銅への拡散に関する数値計算結果。

実線は接合前の金濃度、

点線はフィッティングにより求めた拡散係数での接合後の金濃度。

(a)は DIG t0.2  $\mu\text{m}$  サンプル (拡散係数  $1.0 \times 10^{-16} \text{ m}^2/\text{s}$ )、

(b)は DIG t0.1  $\mu\text{m}$  サンプル (拡散係数  $8.3 \times 10^{-17} \text{ m}^2/\text{s}$ )。[1]

## 3.3.6 表面粗さの吸収に必要なダイレクト金めっき厚さ

表 3.2 と図 3.6 の結果から、接合は金の厚みが Rz の半分以上のときに達成されることがわかった。

一方、Rz の半分よりも金の厚さが薄いときは、接合は不十分であった。この点について以下に考察する。接合は表面凸部の金が凹部へと移動することにより実現される。ここで、金の降伏強度が接合温度 350 °C で 10 MPa 未満であり、クリープ速度が Au-Cu の界面合金層の形成速度よりも遙かに速いと想定される。その場合、図 3.8 に示すように、必要な金の厚みが Rz の半分以上であることがわかる。文献[14, 15]によれば、試験温度 340 °C、歪み速度  $2.0 \times 10^{-5}$  /s において金の流動応力は 31 MPa であり[14]、歪み速度 20 /s と  $9 \times 10^{-6}$  /s での引張強度の違いは 26% である[15]。そのため、接合温度 350 °C において 31 MPa より 26% 高い 39 MPa の圧力があれば、歪み速度 20 /s という高速で金が塑性変形すると予想できる。さらに、二つの表面が最初に接する箇所は、図 3.8 に示す上下の表面の頂点部分のみであり、その面積は、接合評価に用いた 10 mm 角のサンプルの面積である 100 mm<sup>2</sup> よりも遙かに狭い。そのため、接合時にかかった圧力は、単純に接合時の荷重をサンプル面積 100 mm<sup>2</sup> で割って求めた 10 MPa より高い。前節で議論したように、本研究の系での拡散係数は  $1.0 \times 10^{-16}$  m<sup>2</sup>/s である。仮に金の変形とともに拡散が生じたとしても、金の中の銅の濃度が 34.1% までの範囲では、ヤング率は増えない[16]。以上のことから、接合に必要な金の厚みが Rz の半分以上であることがわかる。

高橋らは、接合は低温では界面拡散に支配される一方、高温ではクリープにより支配されると提案した[17]。本研究において 350 °C の接合条件では、クリープが支配的な機構になっていると考えられる。その理由は、もし界面拡散が支配的であれば、金の銅内部への拡散が同時に起こり表面粗さを吸収するのに必要な純粋な金の量を減らしてしまうためである。

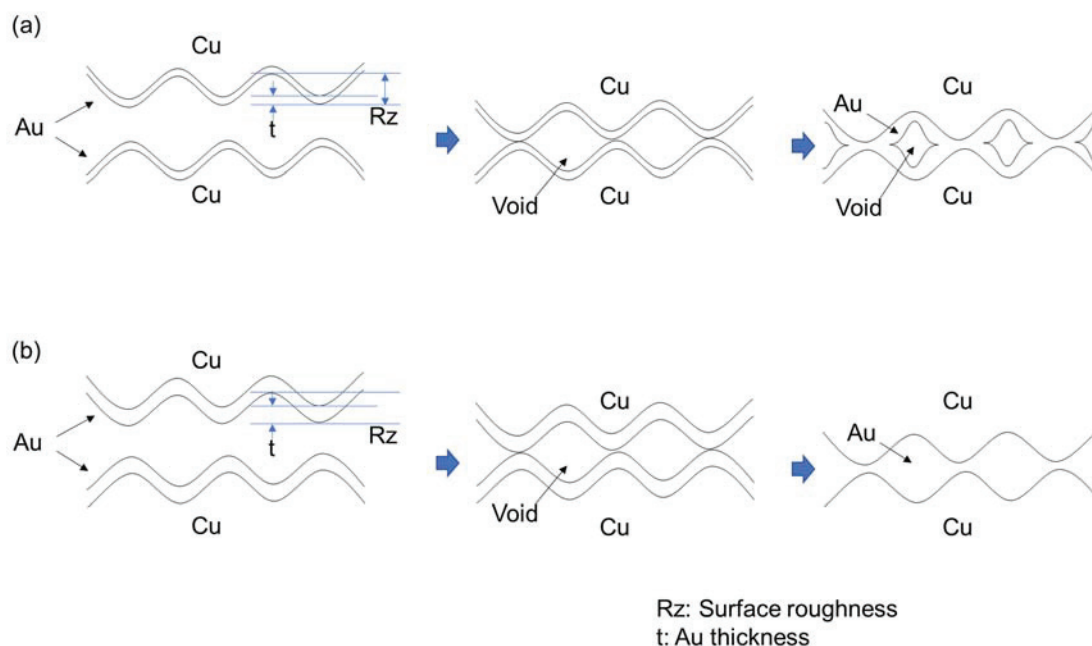


図 3.8 金による表面粗さ吸収の推定メカニズム[1]

### 3.4 結言

銅の直接接合において、柔らかく、酸化を防ぎ、かつ、接合後に銅と拡散する金属を中間層として用いることを提案した。そのための唯一の材料である金を銅表面に施す手段として、シンプルなめっき工程である DIG を選択した。その結果、金がサンプルの表面粗さを吸収し、予想通り提案した接合手法を実証することができた。本手法により、Rz が  $0.4 \mu\text{m}$  と粗い表面であっても従来の平坦化の必要なく接合することが可能となった。ここでは、高さ  $3 \mu\text{m}$  という低背チップ間接合を達成した。この接合高さは、従来のはんだを用いたリフロー工法では不可能である。さらに、本提案手法では、銅の厚みを薄くすることにより、接合高さをさらに低減できる。

### 3.5 参考文献

- [1] H. Noma et al., “Compensation of Surface Roughness Using an Au Intermediate Layer in a Cu Direct Bonding Process,” *Journal of Electronic Materials*, published online (2018). doi: 10.1007/s11664-018-6428-x
- [2] H. Noma et al., “Cu-Cu Direct Bonding by Introducing Au Intermediate

- Layer,” Proceedings of International Workshop on Low Temperature Bonding for 3D Integration, 70 (2017).
- [3] D.B. Butrymowicz, et al., “Diffusion in Copper and Copper Alloys, Part II. Copper-Silver and Copper-Gold Systems,” Journal of Physical and Chemical Reference Data 3, 527 (1974).
- [4] P.M. Hall et al., “Interdiffusion in the Cu-Au Thin Film System at 25 °C to 250 °C,” Thin Solid Films 41, 341 (1977).
- [5] M.R. Pinnel et al., “On the Formation of the Ordered Phases CuAu and Cu<sub>3</sub>Au at a Copper/Gold Planar Interface,” Metallurgical Trans. 10A, 741 (1979).
- [6] T. Shimatsu et al., “Atomic Diffusion Bonding of Wafers in Air with Thin Au Films and Its Application to Optical Devices Fabrication,” Proceedings of IEEE International Workshop on Low Temperature Bonding for 3D Integration, 103 (2012).
- [7] D.F. Lim et al., “Surface Passivation of Cu for Low Temperature 3D Wafer Bonding,” ECS Solid State Letters 1, 11 (2012).
- [8] K. Sakuma et al., “Effects of Vacuum Ultraviolet Surface Treatment on the Bonding Interconnections for Flip Chip and 3-D Integration,” IEEE Transactions on Electronics Packaging Manufacturing 33, 212 (2010).
- [9] N. Unami et al., “Effects of Excimer Irradiation Treatment on Thermocompression Au-Au Bonding,” Japanese Journal of Applied Physics 49, 06GN12 (2010).
- [10] A. Okada et al., “Vacuum Ultraviolet Irradiation Treatment for Reducing Gold-Gold Bonding Temperature,” Materials Transactions 54, 2139 (2013).
- [11] H. Petrova et al., “On the Temperature Stability of Gold Nanorods: Comparison Between Thermal and Ultrafast Laser-induced Heating,” Physical Chemistry Chemical Physics 8, 814 (2006).
- [12] D. S. Liu et al., “Effects of Dopant, Temperature, and Strain Rate on the Mechanical Properties of Micrometer Gold-Bonding Wire,” Journal of Electronic Materials 32, 159 (2003).

- [13] H. Ma et al., “Effect of Initial Cu Concentration on the IMC Size and Grain Aspect Ratio in Sn-xCu Solders during Multiple Reflows,” *Journal of Materials Science: Materials in Electronics* 29, 602 (2018).
- [14] G-D. Sim et al., “High-temperature Tensile Behavior of Freestanding Au Thin Films,” *Scripta Materialia* 75, 34 (2014).
- [15] K. Jonnalagadda et al., “Strain Rate Sensitivity of Nanocrystalline Au Films at Room Temperature,” *Acta Materialia* 58, 4674 (2010).
- [16] J. Lohmiller et al., “Microstructure-property Relationship in Highly Ductile Au-Cu Thin Films for Flexible Electronics,” *Materials Science and Engineering A* 527, 7731 (2010).
- [17] K. Takahashi et al., “Governing Mechanisms of the Joining procedure Without Heating and Pressuring and Effects of Surface Roughness on the Procedure,” *Journal of High Pressure Institute of Japan* 35, 45 (1997) (in Japanese).



## 第四章 銅パッド表面処理の最適化による両面実装

本章は、OSP と、無電解スズめっきと DIG という金属の表面処理を用い、微細ピッチのフリップチップにおける両面実装を検証した。両面実装の工程は図 4.1 に示す通りである。つまり、一面目の実装時の熱が二面目にもかかる。そのため、先ず、OSP の課題として、表面の酸化、OSP の銅への結合状態の変化、および OSP が実装時にフラックスにより除去されるかが挙げられる。

次に、金属の表面処理の課題として、表面の酸化、表面処理した金属と銅との拡散がある。OSP 処理では、厚みが分子層レベルで分解温度がリフロー温度以下のものと、厚さ 0.3  $\mu\text{m}$  で分解温度がリフロー温度以上のものを用いた。並行して、金属表面処理において、1.2  $\mu\text{m}$  厚さのスズめっきと、0.03  $\mu\text{m}$  および 0.06  $\mu\text{m}$  の DIG を実施した。その結果、OSP のうち、分解温度がリフロー温度以下のものでは断面光学顕微鏡観察においてはんだが銅パッド表面に濡れていることがわかった。これは、OSP が一面目のリフロー接合熱で分解したとしても二面目を接合する際のフラックスがその酸化膜を還元できるためである。

一方、分解温度がリフロー温度以上のものでは、はんだが銅パッド表面に濡れない箇所が観察された。これは、OSP の銅パッド表面への結合が一面目の実装時の熱で強くなり、二面目の実装時のフラックスに溶けなくなったためである。金属を表面処理として用いた場合、先ず、スズめっきについては、はんだが銅パッドへ濡れていない箇所があると確認できた。これは、一面目の実装時の熱で界面合金層が成長し、リフロー時に溶融しない表面になったためである。

次に、DIG を用いた場合、厚さ 0.03  $\mu\text{m}$  の DIG でははんだ接合が取れていない箇所があることが電氣的な導通試験から明らかになった。厚さ 0.06  $\mu\text{m}$  の DIG では電氣的な導通が確保されており、かつ、パッド表面へのはんだの濡れ不良が無いことが断面の光学顕微鏡観察でわかった。ダイレクト金めっきの場合は、0.2  $\mu\text{m}$  に厚さを増し、加熱処理に関するプロセスマージンを十分に確保することが重要であると考えられる。更なる微細なフリップチップ両面実装においては、微細なピッチでも、はんだブリッジを生じにくい DIG が OSP より有利になる。本章の図表で[1, 2]から転載しているものの著作権は© 2009 The Japan Institute of Electronics Packaging である。



## 4.1 緒言

両面実装により、三次元実装パッケージのチップ積層数を減らせ、パッケージの放熱を効果的に行える。しかし、両面実装は片面実装と比べ二つの面で異なっている。第一に、第一面を実装するときの熱がもう片方の面にもかかることである。そのため、第一面を実装するときの熱が第二面のはんだ濡れ性を低減させる可能性がある。これは熱によりパッドが酸化する可能性があるためである。第二に、両面実装パッケージの温度サイクル (Temperature cycle, TC) 信頼性は片面実装パッケージよりも悪くなる傾向にあることである。これは、はんだ接合部にかかる歪みが片面実装と両面実装とで異なるためである。

微細ピッチのフリップチップ実装向けの C2 技術では、無洗浄フラックスを用いる。これは、チップと基板間の隙間が狭く、フラックス洗浄が困難なためである。接合端子ピッチが 1 mm の BGA 両面実装では、洗浄が必要となる高い活性のフラックスを使うことができる。しかし、高い活性のフラックスは微細ピッチのフリップチップ接合には前述の理由で使えない。そのため、両面フリップチップ実装は両面 BGA 実装と比べて困難である。

本章では、三次元実装パッケージの放熱を目的とし、基板側の銅パッドへの表面処理を複数調べ、微細ピッチ両面実装時のはんだ濡れ性や信頼性を評価した[1, 2]。

## 4.2 実験

### 4.2.1 両面実装のプロセスフロー

両面実装には C2 技術[3]を応用した。図 4.1 に両面実装のプロセスフローを示す。

まず、片面 (第一面) をフリップチップ実装しアンダーフィルを行う。次に、もう片面 (第二面) をフリップチップ実装しアンダーフィルを行う。信頼性評価にあたっては、このプロセスを用いた。

信頼性評価に先立ち、はんだ濡れ性を調べた。その目的で、チップ実装の代わりに第一面実装時と同じ熱履歴をかけた。そのプロセスフローを図 4.2 に示す。



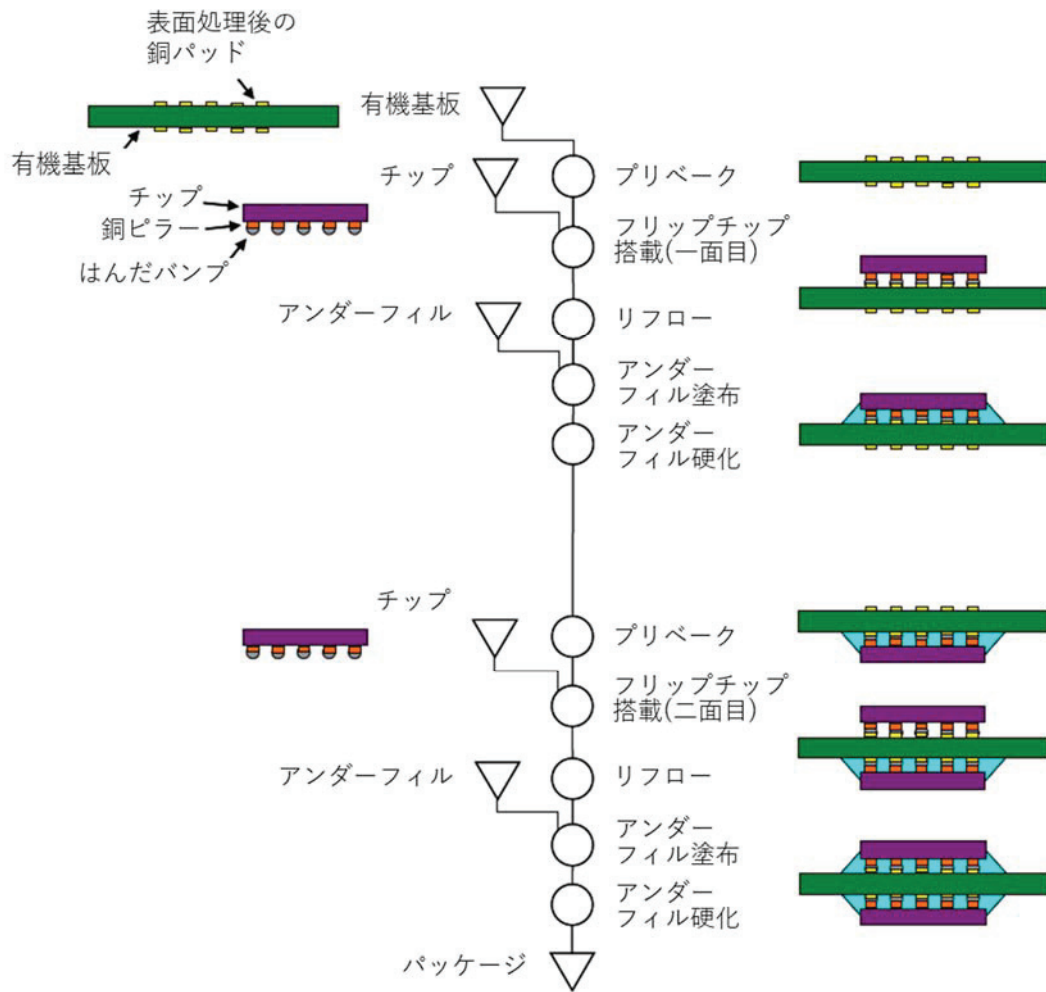


図 4.1 両面実装評価サンプルのプロセスフロー  
(信頼性評価サンプル) [2]

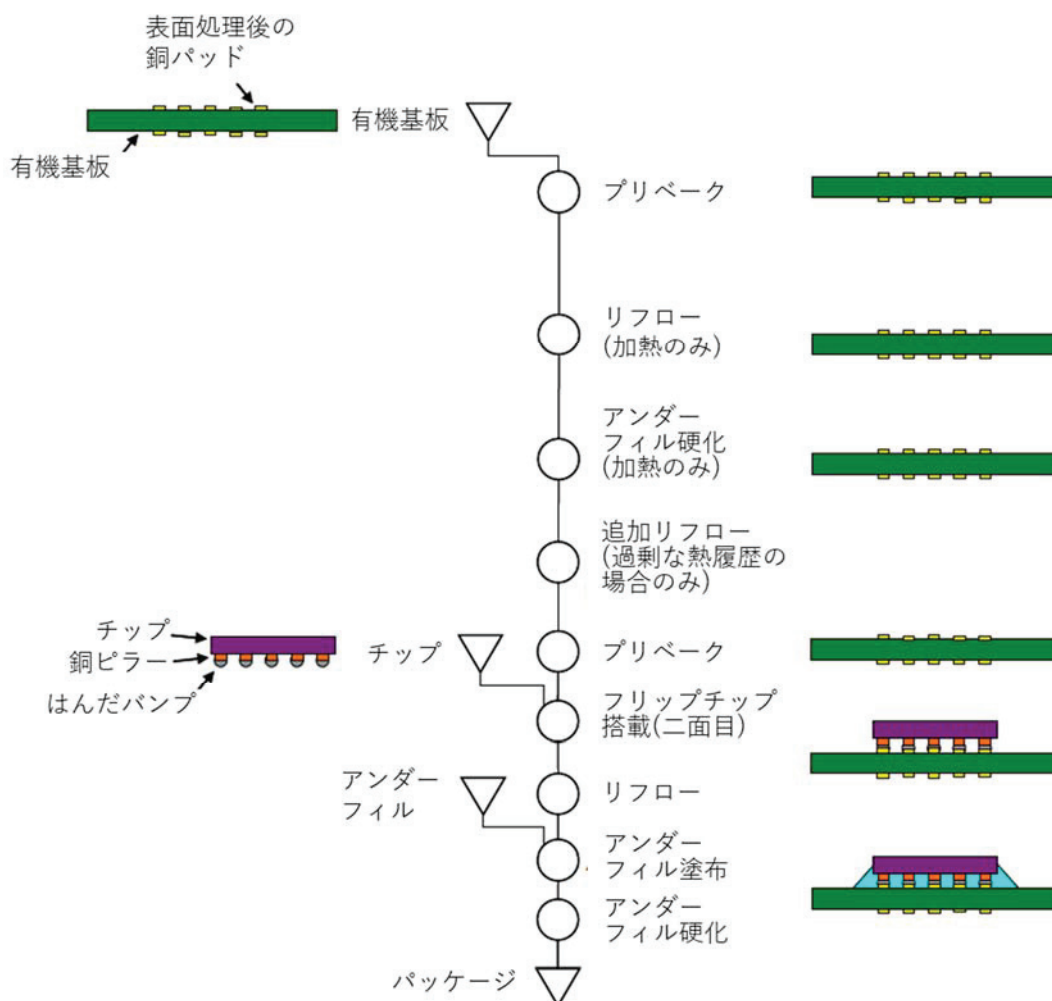


図 4.2 両面実装評価サンプルのプロセスフロー  
(はんだ濡れ性評価サンプル) [2]

はんだ濡れ性のマージンを見る目的で、二つの条件の熱履歴をかけた。

- (1) C2 技術における標準的な熱履歴 (標準熱履歴)
- (2) マージン評価のための過剰な熱履歴 (過剰熱履歴)

標準熱履歴と過剰熱履歴との違いを表 4.1 に示した。プロセス中で熱が加わるのは、基板プリベーク、リフロー、アンダーフィル硬化である。そのうち、最も高温になるのはリフローで、次がアンダーフィル硬化である。標準熱履歴では、上記三工程のどれも、C2 技術における標準的な温度・時間をかけた。それに対し、過剰熱履歴においては、プリベーク、アンダーフィル硬化について時間を延ばし、また、リフローについては余分に工程を通すことによって、加熱

処理についてのプロセスマージンを評価できるようにした。

過剰熱履歴において、二面目を実装する前に二度リフローを行っており、また、アンダーフィル硬化の熱は標準条件の 2 倍の時間をかけた。プリベークは有機基板のブリスターを防止するために湿気を取り除く工程である。過剰熱履歴において、基板が複数回ベークされたときのことを想定して、標準条件の 6 倍の時間をかけた。

表 4.1 サンプルに対する熱履歴[1]

工程	信頼性評価	はんだ濡れ性評価	
	標準熱履歴	標準熱履歴	過剰熱履歴
基板プリベーク	標準条件	標準条件	標準条件の 6 倍の時間
一面目チップ搭載	標準条件	なし	なし
リフロー	標準条件	標準条件	標準条件
アンダーフィル塗布	標準条件	なし	なし
アンダーフィル硬化	標準条件	標準条件	標準条件の 2 倍の時間
追加リフロー	なし	なし	標準条件で 1 回
基板プリベーク	標準条件	標準条件	標準条件の 6 倍の時間
二面目チップ搭載	標準条件	標準条件	標準条件
リフロー	標準条件	標準条件	標準条件
アンダーフィル塗布	標準条件	標準条件	標準条件
アンダーフィル硬化	標準条件	標準条件	標準条件

#### 4.2.2 はんだ濡れ評価

はんだの濡れ性を下記の手法で評価した。

##### (1) 電気的な導通

二面目を実装した後に、チップと基板間の電気的な導通をテスターを用いて評価した。1 M $\Omega$ 以上の抵抗を示したサンプルを不良と見なした。

##### (2) 断面観察

二面目のアンダーフィル硬化後に断面研磨を行い、はんだがパッド上に良好に濡れているかを光学顕微鏡で確認した。表面処理が無電解スズ以外の場合は、パッド表面の一部領域ではんだも IMC も見つからない箇所があれば、それをはんだの濡れ不良と判断した。表面処理が無電解スズの場合は、チップ側のはんだと基板側の無電解スズの間に黒い筋が観察されれば、それを濡れ不良と判断した。一つの断面の中にある接合部の個数は、80  $\mu\text{m}$  ピッチの評価基板では 82 個、50  $\mu\text{m}$  ピッチの評価基板では 136 個であった。

#### 4.2.3 温度サイクル信頼性評価

信頼性評価は、表 4.2 に示す条件で行った。信頼性評価は、使用環境条件よりも厳しい条件において短時間で評価を行う加速試験を用いた。その項目として、温度サイクルテスト (Temperature cycle, TC) と温湿度バイアステスト (Temperature humidity bias, THB) がある。まず、TC は、電気製品のスイッチを ON/OFF したときにパッケージ温度が上下することを模擬したものである。温度が上下すると、パッケージを構成する材料同士の熱膨張係数差に起因する応力が発生し、配線や接合部のクラックや破断の原因となる。その結果として起こる抵抗上昇の度合いを調べた。

次に、THB では、湿度のある環境下で電気製品を動作させたときにパッケージ内部でエレクトロケミカルマイグレーション[4]に起因する配線間や接合部間の絶縁不良が生じないかを調べた。

また、信頼性試験の前処理として、パッケージを吸湿させた後にリフローを行った。その条件は、JEDEC 規格[5]に従い、民生品用途で一般的な JEDEC Level3 (125  $^{\circ}\text{C}$ ベークを 24 時間行い乾燥させた後、30  $^{\circ}\text{C}/60\%RH$  での吸湿を 192 時間行い、最後に 260  $^{\circ}\text{C}$ ピークのリフローを 3 回実施) 相当を実施した。

表 4.2 信頼性評価条件[1]

項目	条件
信頼性試験前処理	JEDEC Level3 相当
温度サイクルテスト (TC)	-55 °Cから 125 °C、2 サイクル/h
温湿度バイアステスト (THB)	85 °C、85 %RH、3.7 V

#### 4.2.4 ダイレクト金めっき等の表面処理

評価に用いた表面処理を表 4.3 にまとめた。OSP[6]、無電解スズめっき[6]、DIG[7]を評価した。OSP は銅表面を酸化から防止する工程であり、C2 技術で用いられる。ベンゾトリアゾールとイミダゾールの化学式を図 4.3 に示す。それぞれの分子中の N が銅と錯体結合することにより、銅が酸化から保護される。

実験において OSP で濡れ不良が見つかった際に、無電解スズめっき (Electroless Sn, E-less Sn) や DIG を評価した。スズは銅よりもイオン化傾向が大きいので酸化が懸念点ではあるが、リフロー時に溶融して良好なはんだ濡れ性を示すことを期待した。スズのウイスカもスズめっきにおける懸念点である [8, 9]。

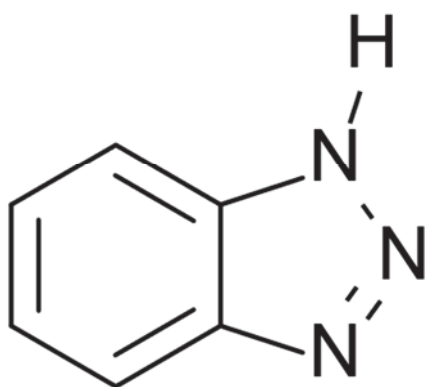
実装前に 40 倍の光学顕微鏡でパッド表面を観察したところ、スズめっきされたパッド上にウイスカは観察されなかった。ウイスカは長さ 0.1 mm 程度と、光学顕微鏡で観察できるサイズにまで成長することが知られており [9]、本研究においてもウイスカの有無を判断するには光学顕微鏡観察で十分と判断した。

DIG は銅のパッドを、銅よりも遙かにイオン化傾向の低い金で覆うことにより酸化を抑制するプロセスである。無電解 Ni/Au めっき [10] は、Ni の厚みが 3  $\mu\text{m}$  あるため微細ピッチには適さないと判断した。DIG は、Ni を用いないため、微細ピッチに用いることができる。

表 4.3 実装評価に用いた表面処理[1]

表面処理	形成される物質	厚み	パッドピッチ
OSP-A	ベンゾトリアゾール	単分子層	80 $\mu\text{m}$
OSP-B	イミダゾール錯体	0.2 $\mu\text{m}$	80 $\mu\text{m}$
OSP-C	イミダゾール錯体	0.2 $\mu\text{m}$	80 $\mu\text{m}$
		0.3 $\mu\text{m}$	80 $\mu\text{m}$
OSP-D	イミダゾール錯体	0.2 $\mu\text{m}$	80 $\mu\text{m}$
無電解スズ	Sn	1.2 $\mu\text{m}$	80 $\mu\text{m}$
DIG	Au	0.03 $\mu\text{m}$	50 $\mu\text{m}$
		0.06 $\mu\text{m}$	50 $\mu\text{m}$

(a)



(b)

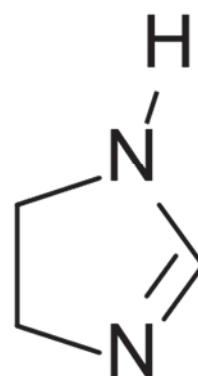


図 4.3 OSP 構成材料の化学式。

(a)ベンゾトリアゾール、(b)イミダゾール。

#### 4.2.5 評価用基板

図 4.4 に TV (Test vehicle) 基板の全体写真を示す。基板サイズは  $20\text{ mm} \times 20\text{ mm} \times t0.31\text{ mm}$ 、チップサイズは  $7.3\text{ mm} \times 7.3\text{ mm} \times t0.725\text{ mm}$  である。ピッチの異なる、 $80\text{ }\mu\text{m}$  ピッチと  $50\text{ }\mu\text{m}$  ピッチの二種類の TV を用いた。フリップチップ用のパッドはチップの周辺部に対応するように並んでいる。パッド数は  $80\text{ }\mu\text{m}$  ピッチの場合は 328 個 (一辺あたり 82 個)、 $50\text{ }\mu\text{m}$  ピッチの場合は 544 個 (一辺あたり 136 個) である。

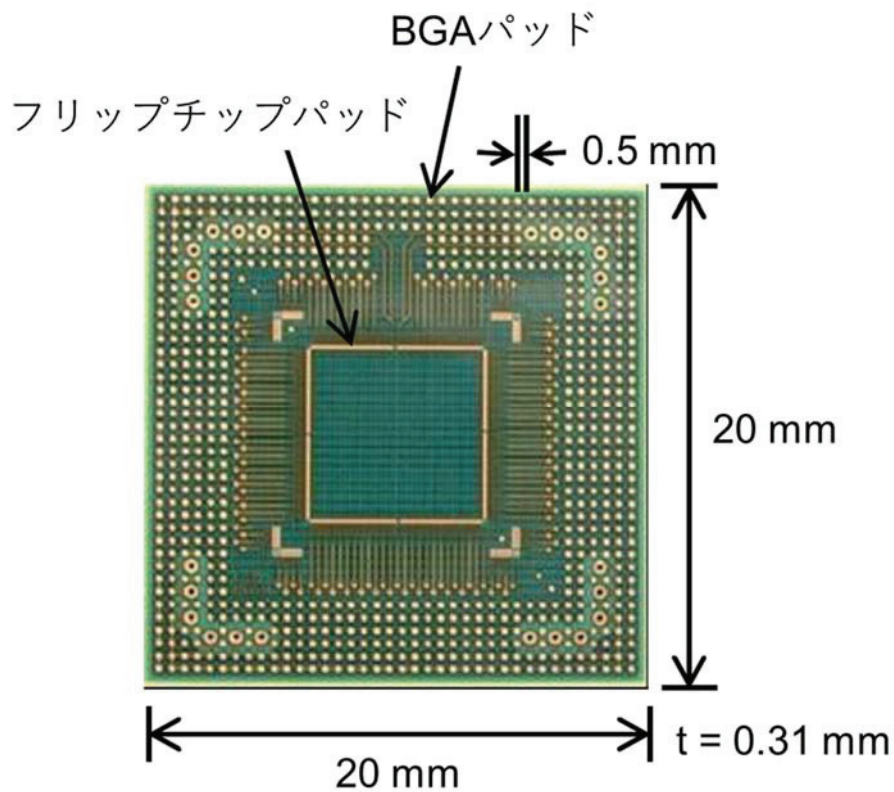


図 4.4 TV 基板の全体写真 ( $80\text{ }\mu\text{m}$  パッドピッチ) [2]



### 4.3 はんだ濡れ性の結果と考察

評価結果を表 4.4 に示す。OSP-A および OSP-B については、過剰熱履歴においても断面観察で濡れ不良が観察されなかった。また、DIG t0.06  $\mu\text{m}$  の場合は、標準熱履歴において、断面観察で濡れ不良は観察されなかった。ここから、Au は Cu へ速く拡散されると言われる[11]ものの、片面実装の熱履歴であれば、表面に金が残ることがわかる。つまり、微細化への障害となるニッケルバリア層を介さずに銅パッド上に金を処理しても、両面実装できるということが確認できた。

なお、OSP-C と OSP-D は、標準熱履歴サンプルの断面観察にて、はんだの濡れ不良が存在した。そのため、過剰熱履歴の評価は必要ないと判断した。また、DIG は、t0.03  $\mu\text{m}$  の水準にて、電気的な導通が確認できなかったため、断面観察は必要ないと判断した。さらに、DIG t0.06  $\mu\text{m}$  であっても、複数回のリフローを行う過剰熱履歴には耐えないと判断し、t0.03  $\mu\text{m}$  だけでなく t0.06  $\mu\text{m}$  の水準についても過剰熱履歴の評価は行わなかった。この点について、今後、DIG 厚みの更なる最適化を行う必要があるが、現在の DIG 技術で形成可能な最大の厚みである 0.2  $\mu\text{m}$  とするのが適切と考えている。

#### 4.3.1 有機防錆被膜での濡れ不良の薬品種・厚みへの依存

##### (1) 電気的な導通

電気的な導通はどの水準でも確認できた。しかし、接合部が局所的に接していれば、残りの部分が濡れ不良があっても電気的な導通は確認できる。そのため、断面観察による濡れ不良の評価も実施した。

##### (2) 断面観察

図 4.5 に示すように、はんだは OSP-A や OSP-B の場合には、はんだはボイド無く濡れていた。標準熱履歴だけでなく過剰熱履歴においても、ボイドは観察されなかった。対照的に、OSP-C や OSP-D でははんだの濡れ不良が見つかった。それは、パッド表面のうちはんだも IMC も見つからない箇所である。

OSP は表面の酸化を抑制する目的で実施される。しかし、耐熱性のある OSP-B, C, D については、OSP の銅パッド表面への結合が一面目の実装時の熱

で錯体結合から共有結合へと変化し、二面目の実装時のフラックスに溶けなくなったと考察している。有機物である OSP がリフローではんだ溶融時にパッド上に残っていると、はんだの濡れを阻害しボイドの原因となる。OSP の中で、OSP-B は無洗浄フラックスに溶けやすかったと考えられる。

一方、一面目の実装時の熱で分解する OSP-A も良好な結果を示したのは、OSP が一面目のリフロー接合熱で分解したとしても二面目を接合する際のフラックスがその酸化膜を還元できるためである。

#### 4.3.2 無電解スズでの濡れ不良の熱履歴への依存

##### (1) 電気的な導通

電気的な導通は標準熱履歴、過剰熱履歴どちらの水準でも確認できた。

##### (2) 断面観察

無電解スズめっきは、標準熱履歴において良好なはんだ濡れ性を示した。しかし、過剰熱履歴においては図 4.5 に示すように濡れ不良が見つかった。

電解スズが過剰熱履歴において濡れ不良を示した原因として、(1) スズが酸化しすぎて無洗浄フラックスの還元効果では酸化膜が除去されなかったこと、(2) IMC が成長しすぎて表面に到達し、その IMC が酸化してフラックスでは還元されなくなったことが考えられる。(2) の理由は、Cu-Sn 化合物の酸化物が、Cu 酸化物や Sn 酸化物よりも電気化学的に安定であるためである[12]。

#### 4.3.3 ダイレクト金めっきでの濡れ不良の膜厚への依存

##### (1) 電気的な導通

電気的なオープン（接続不良）は  $t0.03 \mu\text{m}$  の DIG についてのみ見つかった。これは、一面目の実装時の熱をかけた際に金が銅の中へと拡散し、表面に露出した銅が酸化し、さらに、その酸化銅がフラックスの還元力では還元されなかったためであり、はんだ濡れ性の点で問題がある。一方 DIG  $t0.06 \mu\text{m}$  の場合は、電気的な導通が確認できた。

##### (2) 断面観察

DIG  $t0.03 \mu\text{m}$  は濡れ不良を示した一方で、DIG  $t0.06 \mu\text{m}$  は良好な濡れ性を示した。

DIG t0.03  $\mu\text{m}$  の導通不良の結果は、金が銅の中へと拡散し、銅表面が酸化したためである。この点を以下に考察する。まず、銅表面が一面目の実装時の熱で露出する点は、OSP-A も DIG t0.03  $\mu\text{m}$  のときも同様である。しかし、OSP-A の場合は表面が Cu のみであるのに対し、DIG t0.03  $\mu\text{m}$  の場合は表面に Au と Cu とが共存する。このとき、表面が熱酸化すると、Au-Cu 化合物の酸化物が形成される。この酸化物が、上記 Cu-Sn 酸化物の場合と同様、Cu 酸化物よりも電気化学的に安定であると考えている。

つまり、DIG を使う場合は、熱履歴がかかったとしてもパッド表面に Cu が露出しない、と考えられるが、その際 DIG を十分な厚みにする必要がある。このため、現時点で処理可能な最大の膜厚である t0.2  $\mu\text{m}$  にするのが適切であると考えている。

#### 4.3.4 微細ピッチの両面実装へのダイレクト金めっきの有望性

第二章の図 2.6 に示したように、DIG 表面のパッドは OSP 表面のパッドよりも、はんだの濡れ性が良い。これは、はんだが隣り合う接合部へと広がる可能性が低いことを意味している。そのため、将来的にパッドピッチが、今回評価した 50  $\mu\text{m}$  より更に微細になったとしても、はんだブリッジが生じにくい。つまり、DIG は更なる微細ピッチの両面実装に向けた最有力の技術である。

表 4.4 実装評価結果。[1]を基に改変。

実験条件		結果				
表面処理	評価手法	単位	標準熱履歴		過剰熱履歴	
			不良数	評価数	不良数	評価数
OSP-A 単分子層	電気導通	チップ	0	3	0	2
	断面観察	接合部	0	82	0	82
OSP-B t0.2 μm	電気導通	チップ	0	4	0	1
	断面観察	接合部	0	82	0	82
OSP-C t0.2 μm	電気導通	チップ	0	4	評価せず	
	断面観察	接合部	13	82		
OSP-C t0.3 μm	電気導通	チップ	0	5	評価せず	
	断面観察	接合部	19	82		
OSP-D t0.2 μm	電気導通	チップ	0	5	評価せず	
	断面観察	接合部	11	82		
E-less Sn t1.2 μm	電気導通	チップ	0	5	0	2
	断面観察	接合部	0	82	35	82
DIG t0.03 μm	電気導通	チップ	1	4	評価せず	
	断面観察	接合部	評価せず			
DIG t0.06 μm	電気導通	チップ	0	3	評価せず	
	断面観察	接合部	0	136		

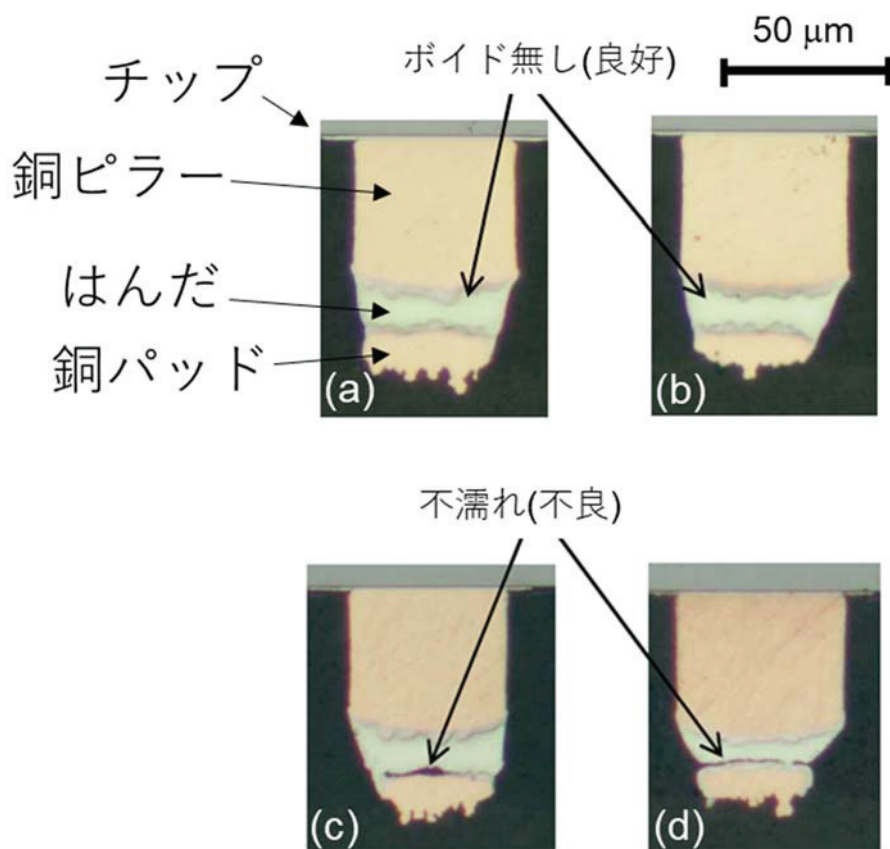


図 4.5 実装後の接合部断面の光学顕微鏡写真。[2]

- (a) OSP-A、単分子層、標準熱履歴。
- (b) OSP-B、 $t0.2 \mu\text{m}$ 、標準熱履歴。
- (c) OSP-C、 $t0.3 \mu\text{m}$ 、標準熱履歴。
- (d) 無電解スズ、 $t1.2 \mu\text{m}$ 、過剰熱履歴。

#### 4.4 濡れ不良の無い両面実装パッケージでの温度サイクル信頼性評価

OSP-A と OSP-B について信頼性試験を実施した結果を表 4.5 に示す。OSP-A と OSP-B はともに、TC 試験、THB 試験において良好な信頼性を示した。

ここで、TC3,250 サイクルは、一般的な評価で行われる 1,000 サイクル[13] の 3 倍を超すサイクル数である。この評価の対象である両面実装パッケージは対称構造であり、パッケージ基板が反りにくいため、はんだ接合部の信頼性は片面実装よりも不利になると予想された。それは、片面実装において、チップが  $150 \mu\text{m}$  と薄い場合の方が、 $775 \mu\text{m}$  の場合よりもパッケージ基板が反りやす

く、結果として TC 試験での電気抵抗上昇率が低いというデータがあったためである[14]。今回の両面実装での TC 信頼性評価結果は、その懸念を取り除くものである。表面処理が DIG の場合も、DIG 厚みが十分で濡れ不良無く試料を作れば、信頼性試験において同様に良好な結果を示すと考えられる。

THB1,000 h は、この試験において一般的に行われる時間である[13]。両面実装と片面実装のいずれもエレクトロケミカルマイグレーション性で不利になる点は予想されなかった。そのため、本試験は一般的な評価時間で行った。

表 4.5 信頼性評価結果[1]

表面処理	信頼性評価結果	
	TC	THB
OSP-A	3,250 サイクル	1,000 h
分子層厚さ	30/30 個パス	16/16 個パス
OSP-B	3,250 サイクル	1,000 h
t0.2 μm	26/26 個パス	15/15 個パス

#### 4.5 結言

両面実装においては、一面目の実装時の熱が二面目にもかかるため、表面の酸化や、表面処理と下地の銅が反応する課題がある。

そこで、両面実装を OSP および金属表面処理をした銅パッドへ行き、はんだ濡れ性を調べた。OSP については、一面目のリフローを行っても残る耐熱性を持つものと、一面目の実装時に分解する種類のものを選択した。また、金属表面処理として、はんだの主成分であるスズと、酸化しにくい金とを用意した。その手段として、無電解スズと DIG に着目し提案した。

OSP については、耐熱性だけでなく、フラックスへの溶解性も重要であることがわかった。それは、リフロー時に OSP が残存していると、有機物である OSP が、はんだの濡れ不良の原因となるためである。さらに、良好なはんだ濡れ性を示した OSP について信頼性評価を行った。両面実装パッケージにおいて、TC、THB 試験ともに良好な信頼性データが得られた。

無電解スズめっきにおいては、表面の酸化や IMC 成長があるため、一面目実装時に熱履歴が過剰にかけると、はんだの濡れ不良が生じることがわかった。

DIG については、 $t0.06\ \mu\text{m}$  であれば、はんだの濡れ不良の無い実装結果を得ることを確認することができた。さらに DIG 膜の厚さを厚く、例えば、 $t0.2\ \mu\text{m}$  にすることにより安定した両面実装技術を確立できると考えている。

以上、提案した表面処理のうち更なる微細ピッチの両面実装には DIG を用いる手法が最有力であることを示した。

#### 4.6 参考文献

- [1] H. Noma et al., "Wettability and Reliability for Double-Sided Assembly with Chip Connection (C2) Flip-Chip Technology," Transactions of the Japan Institute of Electronics Packaging 2, 85 (2009).
- [2] H. Noma et al., "Wettability and Reliability on Double Side Assembly with Metal Post Solder - Chip Connection Flip Chip Technology," Proceedings of International Conference on Electronics Packaging, 568 (2009).
- [3] Y. Orii et al., "Micro Structure Observation and Reliability Behavior of Peripheral. Flip Chip Interconnections with Solder-Capped Cu Pillar



- Bumps,” Transactions of the Japan Institute of Electronics Packaging 4, 73 (2011).
- [4] S. Yang et al., “Failure Model for Silver Electrochemical Migration,” IEEE Transactions on Device and Materials Reliability 7, 188 (2007).
- [5] JEDEC Solid State Technology Association, “Sensitivity Classification for Nonhermetic Surface Mount Devices,” IPC/JEDEC J-STD-020D.1 (2008).
- [6] C. Ryu et al., “Novel Approaches to Current BGA Packaging Challenges,” Proceedings of Electronics Packaging Technology Conference, 1258 (2008).
- [7] S. Hashimoto et al., “Direct immersion gold (DIG) as a final finish,” Circuit World 32, 16 (2006).
- [8] J. Lee, “The Sn Whisker Growth Evolution of IC Packaging on the PC Board Assembly,” Proceedings of Electronic Components and Technology Conference, 1964 (2007).
- [9] K. N. Tu, “Interdiffusion and Reaction in Bimetallic Cu-Sn Thin Films,” Acta Metallurgica 21, 347 (1973).
- [10] K. Yokomine et al., “Development of Electroless Ni/Au Plated Build-up Flip Chip Package with Highly Reliable Solder Joints,” Proceedings of Electronic Components and Technology Conference, 1384 (2001).
- [11] D.B. Butrymowicz et al., “Diffusion in Copper and Copper Alloys, Part II. Copper - Silver and Copper - Gold Systems,” Journal of Physical and Chemical Reference Data 3, 527 (1974).
- [12] H. Takao et al., “Wettability of Cu and Cu-Sn Intermetallic Compound by Sn-Pb Solder Alloy,” Quarterly Journal of the Japan Welding Society 15, 623 (1997) (in Japanese).
- [13] T. Hisada et al., “Fine Pitch Wirebonds on Ultra Low-k Device,” Transactions of the Japan Institute of Electronics Packaging 4, 17 (2011).
- [14] K. Toriyama et al., “Development of fine pitch flip chip interconnection using solder bump,” Proceedings of Microelectronics Symposium, 143 (2007) (in Japanese).



## 第五章 結論と今後の展望

### 5.1 結論

本論文は、超高周波用三次元高密度実装のためのダイレクト金めっきを用いた低応力接合技術について述べた。

第一章では、IoT 社会における三次元実装の課題として、放熱とパッケージ厚みを挙げた。さらに、これらの課題に関する従来技術を纏め、本研究の目的について述べた。

第二章では、銅ピラーを用いたフリップチップにおけるリフロー接合工法でありながら、プロセス中に Low-k 層を保護できる銅ピラー・はんだ接合構造を実現した。具体的には、銅パッドの表面処理を OSP から DIG に変えることにより、Low-k 層への応力が 15%低減することを見いだした。その理由を以下のように考察している。まず、DIG 表面上には、はんだが広く濡れ広がるため、はんだ接合部に残るはんだ量が、DIG の場合は OSP よりも少なくなる。次に、その結果として、OSP の場合は銅ピラーの側面にはんだが濡れ上がるのに対し、DIG の場合は濡れ上がらなくなる。その形状が理由で、リフロー後の冷却時にチップ側にある銅ピラーがはんだによって側面から押される力が低減し、Low-k 層が銅ピラーから受ける応力が減少する。本章の結果により、チップ内の Low-k 層の機械的信頼性が向上し、絶縁層として、より誘電率の低い材料を使えるようになり、チップの発熱を抑制しつつ動作周波数を向上できることを見出した。

第三章では、銅の直接接合にナノメートルレベルの平坦化や真空が必要であるという課題に着目した。そこで、柔らかく、酸化しにくく、かつ、銅へと拡散する金を中間層として用いる工程を提案した。本工程は以下の 3 つの段階に分けることができる。第 1 の段階では、加熱環境下で上下チップの銅上にある金同士が接触し、金が塑性変形により表面粗さを吸収し平らにする。第 2 の段階では、加熱・加圧環境下で金同士が固相拡散接合を起こす。第 3 の段階では、加熱環境下で金が銅の中へと拡散し、擬似的な銅の直接接合が形成される。本工程を実現する手段として DIG を用いた。これは、前述のナノメートルレベルでの平坦化や真空を必要としない接合工程である。その結果、従来のはんだリフロー工法では実現不可能な 3  $\mu\text{m}$  の接合高さを実現した。銅の厚さを薄くする

ことにより、この接合高さをさらに低減できる可能性を見出した。

第四章では、微細ピッチのフリップチップの両面実装について述べた。両面実装では、一面目実装時の熱が二面目にもかかる。そのため、基板側の銅パッドが酸化したり、パッド表面処理が下地の銅と反応したりする課題がある。そこで、OSPに加え、酸化しにくい金を用意した。金の表面処理の手段として、ニッケル金めっきよりも微細ピッチに適したDIGを提案した。その結果、OSPが化学組成や膜厚に依存して濡れ不良を起こす一方で、DIGは厚みが十分に確保されていれば濡れ不良が生じないことが判明し、微細ピッチのフリップチップにおける両面実装を実現した。更なる微細ピッチには、はんだのブリッジが生じにくいDIGの方がOSPより有望である。

以上より、超高周波用三次元高密度実装においてkeyになる要素技術を確立できた。

## 5.2 今後の展望

本論文の成果は三次元実装を必要とする様々な分野へ応用できる。その応用例を本節で述べる。

### 5.2.1 ミリ波通信

自動車通信では77 GHzの超高周波が用いられる[1]。このような超高周波向けの三次元実装では、配線やTSVとともに信号を損失させる要素として、銅ピラーとはんだを組み合わせたフリップチップ接合が電気測定評価されている[1]。はんだよりも電気抵抗が小さい銅をダイレクト接合させることにより、損失をさらに低減できる。

### 5.2.2. チップ間のリフロー接合

三次元チップ積層において、工程時間の短縮を目指すアプリケーションでは、マイクロC4という技術が使われる[2]。マイクロC4は、従来のC4と同様に、リフローを用いたはんだ接合であるものの、リフローの雰囲気として蟻酸を用いる。また、チップを逐次積層するため、両面実装と同様、熱履歴のかかった表面への実装が必要である点も通常のC4と異なる。前述の蟻酸は融点が低い酸

であるため、安全面での懸念がある。そこで、両面実装の技術を応用することにより、蟻酸を用いずに窒素雰囲気中でのリフローが可能となる。

### 5.2.3 高性能サーバー

高性能サーバー向けの三次元実装パッケージにおいて、動作周波数を 3 GHz から 4.5 GHz へ上げるための放熱手法の研究が行われている[3]。その手法では、シリコンの中にマイクロチャネルを作り、その中に脱イオン水を流して冷却する。チップ内部で利用する絶縁材料の誘電率を下げ、消費電力を低減させることにより、更なる動作周波数の向上を見込める。

### 5.2.4 磁界結合メモリ

磁界結合とは、チップを三次元積層させ、下のチップのコイルに電流を流して生じた磁界により上のチップのコイルへと信号を伝達する手法である。いままでの TSV を用いた電氣的なチップ間通信にくらべ、1 ビットあたりの消費電力が 10 分の 1 になるという利点がある[4]。また、磁界結合メモリでは、今までのように面方向だけに集積するのではなく、厚み方向にも集積を行っていく。チップ間の厚みを半分にすれば、必要なエネルギーは 8 分の 1 になる[5]。単位ビット当たりのエネルギー消費を式 5.1 に示す。

$$Energy/bit \propto I V t \quad (5.1)$$

$I$ が電流、 $V$ が電圧、 $t$ が遅延時間である。高さ方向のギャップが半分になると、 $I, V, t$ もそれぞれ半分にできる。結果として、エネルギーが 8 分の 1 になる。

## 5.3 参考文献

- [1] S. Joblot et al., “Copper Pillar Interconnect Capability for mmWave Applications in 3D Integration Technology,” *Microelectronic Engineering* 107, 72 (2013).
- [2] J. Maria et al, “3D Chip Stacking with 50  $\mu\text{m}$  Pitch Lead-Free Micro-C4 Interconnections,” *Proceedings of Electronic Components and Technology*

Conference, 268 (2011).

- [3] B. Dang et al., “Integrated Microfluidic Cooling and Interconnects for 2D and 3D Chips,” IEEE Transactions on Advanced Packaging 33, 79 (2010).
- [4] D. Ditzel et al., “Improved 3D Chip Stacking with ThruChip Wireless Connections,” Hot Chips 26, (2014).
- [5] H. Ishikuro et al., “Wireless Proximity Interfaces with a Pulse-based Inductive Coupling Technique,” IEEE Communication Magazine, 192 (2010).

## 謝辞

博士号取得にあたり、丁寧なご指導を賜りました早稲田大学理工学術院 庄子習一教授、早稲田大学ナノ・ライフ創新研究機構 水野潤教授に心から感謝致します。庄子教授には、時間を割いてくださり、学会発表・ジャーナル投稿の度に私の目の前で一言一句に目を通していただき、その場で、どこをなぜ修正すべきかをご指導いただきました。水野教授には、博士入学の前から、機会を見つけては打ち合わせの場を設けてくださり、どのようなテーマ設定が良いかについてのご指導をいただきました。学位審査において、早稲田大学理工学術院 川原田洋教授、渡邊孝信教授には貴重なコメントを頂きました。深く感謝いたします。本論文を纏めるに当たりご助言くださった、関口哲志教授、尹棟鉉博士に御礼申し上げます。博士課程の入試から公聴会に至るまで、錦織玲子秘書に深くお世話になりました。有り難うございます。

上村工業株式会社には、今回の研究に当たってダイレクト金めつきに快くご協力いただきました。ぶしつけな依頼にも、即座に、かつ、親切にご対応いただいたことには、感謝しても感謝しきれません。

四十歳前後のオジサンが庄子研究室で学生としての生活を送るにあたり、学生の諸氏に温かく受け入れてくださったことを非常にありがたく思っています。第三章について一緒に研究し議論した桑江博之氏と上林拓海氏に深くお礼申し上げます。学生生活をともに送る期間は半年でしたが、日立化成株式会社 岡田愛姫子博士にもお世話になりました。同じ会社の別の事業所で仕事しており、会社生活に満足している様子にほっとしています。IBM Thomas J. Watson Research Center 佐久間克幸博士と、株式会社村田製作所 仁村将次博士には、博士課程への入学前に貴重なアドバイスを頂き、ありがたく思います。

博士号取得の機会を下さり、また、第三章の研究をさせて頂いた日立化成株式会社に感謝します。パッケージングソリューションセンタのセンタ長である羽廣昌信氏、副センタ長の尾田倫一氏、宮崎忠一氏、野中敏央博士、鈴木直也氏、高橋佳弘氏、阿波野康彦氏に御礼申し上げます。現在は異動なさって実装材料クラスを担当されている高野希博士にも、入学の機会を頂くに当たりご尽力賜りました。有り難うございます。



前勤務先である日本アイ・ビー・エム株式会社には、第二章と第四章の研究をさせて頂き感謝しています。同社の諸氏には、実装技術とは何かについて、業務を通して徹底的にたたき込んでいただきました。今では長瀬産業株式会社に勤めている折井靖光博士、京セラ株式会社に勤めている鳥山和重氏には、第二章と第四章の研究にあたり多大なご支援を頂き深く感謝しています。第二章の研究については日本アイ・ビー・エム株式会社 岡本圭司氏、松本圭司博士、大野英司氏、森裕幸氏の、第四章の研究については元日本アイ・ビー・エム株式会社 尾山幸史氏、西脇英俊氏、高見昌秀氏、高谷敏之の協力を得ました。御礼申し上げます。

思い返せば、私の技術者としての基礎は、東京大学 尾嶋正治名誉教授、藤岡洋教授によるものです。ご指導の有り難さが身にしみます。

最後に、終始私を支えて貰いました妻 こずえと息子 泰大に感謝いたします。

## 業績一覧

## 査読付き論文

1. ○H. Noma, T. Kamibayashi, H. Kuwae, N. Suzuki, T. Nonaka, S. Shoji, and J. Mizuno, "Compensation of Surface Roughness Using an Au Intermediate Layer in a Cu Direct Bonding Process," *Journal of Electronic Materials*, published online, 2018. doi: 10.1007/s11664-018-6428-x
2. ○H. Noma, K. Toriyama, K. Okamoto, K. Matsumoto, E. Ohno, H. Mori, and Y. Orii, "Peripheral Flip Chip Interconnection on Au Plated Pads using Solder-Capped Cu Pillar Bumps," *Transactions of The Japan Institute of Electronics Packaging*, Vol. 4, No. 1, pp.95-100, 2011.
3. ○H. Noma, Y. Oyama, H. Nishiwaki, M. Takami, T. Takatani, K. Toriyama, and Y. Orii, "Wettability and Reliability for Double-Sided Assembly with Chip Connection (C2) Flip-Chip Technology," *Transactions of The Japan Institute of Electronics Packaging*, Vol. 2, No. 1, pp.85-90, 2009.
4. H. Noma, K. Okamoto, K. Toriyama, and H. Mori, "HAST Failure Investigation on Ultra-high Density Lines for 2.1D Packages," *Proceedings of International Conference on Electronics Packaging and iMAPS All Asia Conference*, pp. 161-165, 2015.
5. H. Noma and T. Nakanishi, "Etching Process Analysis Based on Etchant Flow for High Density Build-up Substrate." *Proceedings of Electronics Packaging Technology Conference*, pp.289-293, 2004.
6. 乃万裕一, 中西徹, "薄膜ドライフィルムレジストを利用した高密度ビルドアップ基板エッチングプロセス解析," *エレクトロニクス実装学会誌*, Vol.7, No.7, pp.599-606, 2004.
7. H. Noma, H. Takahashi, H. Fujioka, M. Oshima, Y. Baba, K. Hirose, M. Niwa, K. Usuda, and N. Hirashita, "Uniaxial and Biaxial Strain Field Dependence of the Thermal Oxidation Rate of Silicon, " *Journal of Applied Physics*, Vol.90, No.10, pp. 5434-5437, 2001.

8. H. Noma, H. Fujioka, M. Oshima, and Y. Baba, "Stress Field Dependence of the Silicon Oxidation Rate, " Transactions of the Material Research Society of Japan, Vol. 25, pp151-152, 2000.
9. K. Honda, H. Noma, H. Onozeki, S. Fukuzumi, and Y. Ozaki, "High Productive 3D Stacking Process 'Molded Reflow'," Proceedings of the 67th Electronic Components and Technology Conference, pp. 719-724, 2017.
10. K. Honda, N. Suzuki, T. Nonaka, H. Noma, and Y. Ozaki, "Expanding Film and Process for High Efficiency 5 Sides Protection and FO-WLP Fabrication," Proceedings of the 67th Electronic Components and Technology Conference, pp. 331-336, 2017.
11. K. Hamaguchi, H. Noma, H. Takahashi, N. Suzuki, and T. Nonaka, "Warpage Study of FO-WLP Build up by Material Properties and Process," Proceedings of the 2016 6th Electronic System-Integration Technology Conference, 2016.
12. H. Takahashi, H. Noma, N. Suzuki, Y. Nomura, A. Kasahara, N. Takano, and T. Nonaka, "Large Panel Level Fan Out Package Built up Study with Film Type Encapsulation Material," pp.134-139, Proceedings of the 66th Electronic Components and Technology Conference, 2016.

他 20 件

#### 査読付き国際会議

1. ○H. Noma, T. Kamibayashi, H. Kuwae, N. Suzuki, T. Nonaka, S. Shoji, and J. Mizuno, "Cu-Cu Direct Bonding by Introducing Au Intermediate Layer," Proceedings of 2017 5th International Workshop on Low Temperature Bonding for 3D Integration, LTB-3D 2017, p.70, 2017.
2. ○H. Noma, K. Toriyama, K. Okamoto, K. Matsumoto, E. Ohno, H. Mori, and Y. Orii, "C2 (Chip Connection) Assembly on Gold Plated Pads," Proceedings of the International Conference of Electronics Packaging, pp.499-504, 2011.

3. ○H. Noma, Y. Oyama, H. Nishiwaki, M. Takami, T. Takatani, K. Toriyama, and Y. Orii, "Wettability and Reliability on Double Side Assembly with Metal Post Solder - Chip Connection Flip Chip Technology," Proceedings of the International Conference of Electronics Packaging, pp568-573, 2009. (IEEE CPMT Japan Chapter Young Engineers Award)
4. H. Noma, K. Toriyama, S. Kohara, and Y. Orii, "IMC Growth of Solder Capped Cu Pillar Bump Interconnection during Electromigration Test," Proceedings of the International Conference of Electronics Packaging, pp.662-665, 2013.
5. H. Noma, K. Toriyama, and Y. Orii, "Flip Chip Assembly on 50- $\mu$ m-pitch Pads Soldered with Precoat by Powder Sheet," Proceedings of the International Conference of Electronics Packaging, pp386-391, 2009.
6. H. Noma, G. Yamada, and T. Nakanishi, "Directional Effects of Etching Spray on Pattern Fabrication," Proceedings of International Conference on Vortex Flows and Vortex Models, pp.380-383, 2005.
7. H. Noma, H. Fujioka, Y. Baba, and M. Oshima, "Stress Field Dependence of the Silicon Oxidation Rate," Meeting Abstracts of the 189th Society Meeting of the Electrochemical Society, No. 809, 2000.
8. H. Noma, H. Fujioka, Y. Baba, and M. Oshima, "Stress Field Dependence of the Silicon Oxidation Rate," The Materials Research Society of Japan, 2-6-P27-M, 1999.
9. T. Kamimura, S. Kawamoto, D. Hashimoto, Y. Shigeno, H. Yoshii, H. Noma, T. Ookubo, H. Takahashi, and H. Inoue, "Development of Liquid Compression Molding (LCM) Material for Low Warpage, " International Symposium on Microelectronics, pp. 25-28, 2017.

他 12 件

#### 国内会議

1. 乃万裕一, 鳥山和重, 折井靖光, "SiP の反りとアンダーフィル材料が実

- 装性・信頼性に与える影響," 第 18 回マイクロエレクトロニクスシンポジウム, pp199-202, 2008.
2. 乃万裕一, "Digital Image Correlation 法を用いた熱変形計測装置," JIEP2007 ワークショップ, No.3, 2007.
  3. 乃万裕一, 中西徹, "薄膜ドライフィルムレジストを利用した低価格と高密度を両立させるビルドアップ基板の開発," 第 13 回マイクロエレクトロニクスシンポジウム, pp80-83, 2003.
  4. 乃万裕一, 藤岡洋, 尾嶋正治, 馬場祐治, "Si 熱酸化の歪場依存," 第 48 回応用物理学会連合講演会, 2001.
  5. 乃万裕一, 藤岡洋, 尾嶋正治, 馬場祐治, "Si ケミカル酸化の歪場依存," 第 47 回応用物理学会連合講演会, 29p-P9-19, 2000.
  6. 濱口宏治, 乃万裕一, 鈴木直也, 野中敏央, "ファンアウト型ウエハレベルパッケージの製造プロセス中の反りを低減する封止材の検討," 第 23 回「エレクトロニクスにおけるマイクロ接合・実装技術」シンポジウム, B-2-38, 2017.
  7. 高橋宏, 乃万裕一, 竹越正明, 鈴木直也, 高野希, 野中敏央, "フィルム材料を用いた大判パネル Fan-out パッケージ作製," 第 26 回マイクロエレクトロニクスシンポジウム, pp.315-318, 2016.
- 他 11 件

#### 総説

1. 乃万裕一, 折井靖光, "エレクトロマイグレーション," 電子情報通信学会誌, Vol. 95, No. 4, pp.357-359, 2012.
2. 折井靖光, 乃万裕一, 松本圭司, "2.5D/3D 積層デバイスの業界動向と技術課題," エレクトロニクス実装学会誌, Vol. 15, No. 1, pp. 34-37, 2012.

#### 特許

1. 特許 6015969 号(特開 2016-042543),回路基板の形成方法, 乃万裕一, 岡本圭司, 森裕幸.
2. 特開 2014-090066, 光導波路と半導体チップとの間の高さを制御するは

- んだ接合, 徳成正雄, 鳥山和重, 乃万裕一, 中川茂, 塚田裕.
3. 特開 2014-041980, はんだ接合部のエレクトロマイグレーション (EM) 耐性を向上させる界面合金層, 乃万裕一, 折井靖光, 鳥山和重.
  4. 特許 4183199 号(特開 2007-180384), 半導体パッケージ及びその製造方法, 山路祥之, 乃万裕一, 森裕幸.