

# 博士論文概要

## 論文題目

レイテンシ削減を目的とした  
フロアプラン指向 FPGA 向け高位合成手法  
に関する研究

Floorplan-driven High-level Synthesis  
Algorithms for Latency Reduction  
Targeting FPGA Designs

申請者

藤原	晃一
Koichi	FUJIWARA

情報理工・情報通信専攻 情報システム設計研究

2018年12月

近年のシステム LSI 開発では，生産性の向上と LSI の処理性能向上という両立の難しい 2 つの課題が存在し，生産性の向上への対策として，「FPGA (Field Programmable Gate Array)」と「高位合成」が注目されている．FPGA は LSI 基盤の 1 つであり，チップ製造後に構成を設定・変更できる集積回路である．FPGA を LSI 基盤として採用することで，ハードウェアによる高速なデータ処理を実現すると同時に，回路の製造後の仕様変更の容易性を確保できる．FPGA は大量のデータを高速処理する場面や，アルゴリズムの変更が求められる場面で急速に利用が拡大している．

一方，高位合成は LSI 自動設計技術の 1 つであり，C 言語など抽象度の高い言語の動作レベル記述から，ハードウェア記述言語を用いて回路のネットリストを表現した RT レベル記述を自動的に合成する技術である．LSI 設計に高位合成を用いることで，従来の RT レベル記述による設計に比べて，記述量の削減・設計誤りの削減に伴う設計の高速化を実現できる．また，LSI 設計に高位合成を利用することでハードウェア特有の知識を抽象化でき，ソフトウェア開発者によるハードウェア設計が可能になる．

FPGA 設計に高位合成を利用することで，生産性の向上には有効にアプローチできるが，合成される回路の性能面に課題が残る．このため，近年では盛んに FPGA を対象とした高位合成手法の研究が行われている．回路の処理性能を示す指標にレイテンシ（遅延）があり，FPGA を対象とした高位合成では，低レイテンシな回路を生成する上で，①配線遅延の影響の増大，②マルチプレクサ (MUX) のボトルネック，という 2 つの問題点がある．

近年の FPGA は LSI プロセスの微細化が進み，入出力バッファや配線バッファが入っていてもロジック遅延に対する配線遅延の割合が増加している．FPGA 設計において配線遅延が回路の遅延に与える大きな影響として「モジュール間の配線遅延」と「クロックスキュー」がある．高位合成段階でモジュール配置（フロアプラン）を扱い，これらの影響を正確に見積り，削減された回路を生成することが低レイテンシな回路を得る上で重要である．一方で，FPGA では他の LSI 基盤に比べて，MUX の遅延・面積コストが大きい．このため，FPGA を対象とした高位合成手法では，MUX のコストが少ないデータパスを生成することが重要である．

既存研究では，上記の①，②それぞれの問題点の解決を図る手法が存在するが，私の知る限り①，②を同時に解決する手法は未だ提案されていない．従って本論文では，レイテンシを削減するために，「配線遅延・クロックスキューの考慮と MUX コストの削減を同時に達成する FPGA 向け高位合成手法」の提案を目指す．

高位合成段階でフロアプランを扱う既存技術の 1 つに，「HDR アーキテクチャ」がある．これは，回路全体をハドルと呼ぶ区画で分割し，ハドル毎にフロアプランを行い，配線遅延を見積ることができる．近年では，矩形の論理セルの集合で構成される FPGA が主流であり，任意の矩形を取るハドル単位でのフロアプランは

FPGA 設計と親和性が高い。また、HDR アーキテクチャはレジスタ分散型アーキテクチャの 1 つであり、演算器 (FU)・レジスタ間の配線遅延が比較的小さくなるため、低レイテンシな回路の設計に向いている。しかし、既存手法は他の LSI 基盤を対象としており、HDR アーキテクチャを対象とした FPGA 向けの高位合成手法は提案されていない。

本論文では、対象アーキテクチャに HDR アーキテクチャを採用し、高位合成段階でフロアプランを扱うと同時に、データパス生成で MUX のコストを削減することで①,②の問題の同時の解決を図る FPGA 向け高位合成手法を提案する。そして、フロアプラン指向 FPGA 高位合成において配線遅延・クロックスキューをより高精度に見積るため、それぞれの見積りモデルを構築する。最終的に、それらのモデルを上記のフロアプラン指向 FPGA 高位合成手法に統合し、高位合成段階で配線遅延・クロックスキューの影響と MUX のコストを総合的に判断し、クリティカルパス遅延を最適化するフロアプラン指向 FPGA 高位合成手法を新たに提案する。

本論文は 7 章で構成される。

第 1 章では、本論文の研究背景および目的、概要を説明する。

第 2 章では、関連研究を紹介する。最初に、既存のフロアプランを扱う FPGA 向け高位合成手法のうち、個別のモジュール配置を扱う手法として Xu らの手法、Zheng らの手法を紹介する。次に、抽象化したモジュールの配置を扱うフロアプラン指向高位合成手法として Cong らの手法や Huang らの手法、RDR アーキテクチャを紹介する。これらは抽象化したモジュール単位でフロアプランを実施するため、高位合成問題が複雑になりすぎるのを抑制できる。その後、既存の MUX コスト削減を図る FPGA 向け高位合成手法として、Chen らの手法、Hara らの手法を紹介する。最後に、既存の高位合成段階でフロアプランを扱う技術の 1 つである HDR アーキテクチャを紹介する。

第 3 章では、HDR アーキテクチャを対象とした MUX 削減 FPGA 高位合成手法を提案する。まず、FPGA 上の回路構成要素を実装・分析し、MUX が遅延・面積においてボトルネックであることを明らかにすると共に、入力数に応じた MUX のコストの増加傾向を分析し、提案手法のアプローチを導く。その後、HDR アーキテクチャを対象とした MUX 削減 FPGA 高位合成手法を提案する。提案手法は、配線遅延と MUX のボトルネックを同時に考慮した新しい FPGA 向け高位合成手法である。提案手法は、HDR アーキテクチャを採用することで、高位合成段階でフロアプランを扱い、配線遅延の影響を見積る。また、高位合成段階で MUX のコストを削減するため、各 FU・レジスタ間のデータ転送を考慮した 2 つのバインディング手法、「パス考慮スケジューリング/FU バインディング」、「パス考慮レジスタバインディング」を提案する。計算機実験の結果、提案手法は従来のレジスタ集中型アーキテクチャを対象とした手法 (SR) と比較して、回路のレイテンシを最大 22%、平均 4%削減し、従来の Abe らの HDR アーキテクチャを対象とした高位合成手法と比較

して，回路のレイテンシを最大 18%，平均 6%削減できた．

第 4 章では，フロアプラン指向 FPGA 高位合成のための配線遅延・クロックスキュー見積りモデルを構築する．まず，様々なパターンで FPGA の配線遅延を測定し，FPGA の配線遅延特性を明らかにし，FPGA の配線遅延見積りモデル「**IDEF**」を提案する．その後，FPGA 上でのクロックスキューの影響を示した上で，様々なパターンで FPGA のクロックスキューを測定し，FPGA のクロックスキュー特性を明らかにする．そして，クロックスキュー見積りモデル「**CSEF**」を提案する．Xilinx 社の FPGA 設計ツール Vivado のタイミングモデルと比較して，IDEF は最大誤差 0.20ns，平均誤差 0.10ns，CSEF は最大誤差 0.062ns，平均誤差 0.021ns という見積り精度を達成した．最後に，第 3 章で提案したフロアプラン指向 FPGA 高位合成手法に IDEF・CSEF を適用した手法は，SR と比較して回路のレイテンシを最大 22%，平均 10%削減し，第 3 章の手法と比較して最大 11%，平均 6%削減できることを確認した．

第 5 章では，第 3 章で提案したフロアプラン指向 FPGA 高位合成手法に IDEF・CSEF を適用し，配線遅延とクロックスキューを考慮したクリティカルパス最適化 FPGA 高位合成手法を提案する．提案手法は，第 4 章で提案した IDEF・CSEF をフロアプラン指向高位合成全体で利用し，高位合成段階で配線遅延・クロックスキューの影響を含めたデータパスの遅延を見積り，全データパスのうちクリティカルパスおよびその候補となるパスを特定する．そして，データパス生成とフロアプラン両方において，これらを集中的に最適化し回路のレイテンシの向上を図る．データパス生成とフロアプランでクリティカルパス遅延を削減するために，新たなバインディング手法「**クリティカルパス指向スケジューリング/FU バインディング**」と新たなフロアプラン手法「**クリティカルパス指向ハドル合成/フロアプラン**」を提案する．計算機実験の結果，提案手法は SR と比較して，回路のレイテンシを最大 24%，平均 15%削減し，Abe らの手法と比較して最大 38%，平均 15%削減し，第 3 章の手法と比較して最大 10%，平均 6%削減した．さらに，追加の大規模アプリケーション 3 つでも評価を行い，大規模アプリケーションでより効果的にレイテンシ削減できることを確認した．

第 6 章では，レジスタ分散型アーキテクチャを対象としたフロアプラン指向 FPGA 高位合成を用いた実装方法の確立と実装された回路の評価を行う．まず，実装環境およびその際に必要となる周辺回路を解説する．次に，フロアプラン指向高位合成手法を用いた際の FPGA 実装フローを提案する．そして，第 5 章で提案した手法を用いて，DCT アプリケーションを例に取り，Xilinx Virtex-7 上に FPGA 実装を行う．Virtex-7 上で実装した HDR アーキテクチャ回路が，正常に動作することを確認した上で，SR アーキテクチャ回路と比べてレイテンシを，Vivado の合成レポート結果と同等の約 21%削減することを確認した．

第 7 章では，本論文の内容を総括し，今後の課題を検討する．

## 早稲田大学 博士（工学） 学位申請 研究業績書

氏名 藤原 晃一 印

(2019年 2月 現在)

種 類 別	題名、 発表・発行掲載誌名、 発表・発行年月、 連名者（申請者含む）
a. 論文 学術誌 原著論文	<p>① ○ <b>K. Fujiwara</b>, K. Kawamura, M. Yanagisawa, and N. Togawa, “An FPGA implementation method based on distributed-register architectures,” <i>IPSS Transactions on System LSI Design Methodology</i>, vol. 12, Feb. 2019. (掲載決定)</p> <p>② ○ <b>K. Fujiwara</b>, K. Kawamura, M. Yanagisawa, and N. Togawa, “Interconnection-delay and clock-skew estimate modelings for floorplan-driven high-level synthesis targeting FPGA designs,” <i>IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences</i>, vol. E99-A, No.07, pp.1294–1310, Jul. 2016.</p> <p>③ ○ <b>K. Fujiwara</b>, K. Kawamura, S. Abe, M. Yanagisawa, and N. Togawa, “A floorplan-driven high-level synthesis algorithm for multiplexer reduction targeting FPGA designs,” <i>IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences</i>, vol. E98-A, No.07, pp.1392–1405, Jul. 2015.</p>
c. 講演 国際会議	<p>④ ○ <b>K. Fujiwara</b>, K. Kawamura, M. Yanagisawa, and N. Togawa, “A high-level synthesis algorithm for FPGA designs optimizing critical path with interconnection-delay and clock-skew consideration,” in <i>Proceedings of 2016 IEEE International Symposium on VLSI Design, Automation and Test</i>, Hsinchu, Taiwan, Apr. 2016.</p> <p>⑤ ○ <b>K. Fujiwara</b>, K. Kawamura, M. Yanagisawa, and N. Togawa, “Clock skew estimate modeling for FPGA high-level synthesis and its application,” in <i>Proceedings of The IEEE 11th International Conference on ASIC</i>, Chengdu, China, Nov. 2015.</p> <p>⑥ ○ <b>K. Fujiwara</b>, M. Yanagisawa, and N. Togawa, “A floorplan-driven high-level synthesis algorithm utilizing interconnection delay characteristics in FPGA designs,” in <i>Proceedings of The 19th Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI 2015)</i>, pp. 224–225, Yilan, Taiwan, Mar. 2015.</p> <p>⑦ ○ <b>K. Fujiwara</b>, S. Abe, K. Kawamura, M. Yanagisawa, and N. Togawa, “A floorplan-aware high-level synthesis algorithm for multiplexer reduction targeting FPGA designs,” in <i>Proceedings of 2014 IEEE Asia Pacific Conference on Circuits and Systems</i>, pp. 244–247, Ishigaki, Japan, Nov. 2014.</p>
国内学会 (査読付)	<p>⑧ <b>藤原晃一</b>, 阿部晋矢, 川村一志, 柳澤政生, 戸川望, “フロアプランを考慮したマルチプレクサ削減 FPGA 高位合成手法,” 情報処理学会 DA シンポジウム 2014 論文集, vol. 2014, pp. 109- 114, 下呂市, Aug. 2014.</p>
国内学会 (査読無)	<p>⑨ <b>藤原晃一</b>, 川村一志, 柳澤政生, 戸川望, “クリティカルパス最適化フロアプラン指向 FPGA 高位合成手法のアプリケーション適用評価,” 電子情報通信学会 2016 年総合大会基礎・境界講演論文集, p. 79, 福岡市, Mar. 2016.</p>

## 早稲田大学 博士（工学） 学位申請 研究業績書

種 類 別	題名、 発表・発行掲載誌名、 発表・発行年月、 連名者（申請者含む）
e. その他 (賞)	<p>⑩ <u>藤原晃一</u>, 川村一志, 五十嵐啓太, 柳澤政生, 戸川望, “フロアプラン指向高位合成を用いたレジスタ分散型アーキテクチャ回路の FPGA 実装,” 信学技報 VLD2015-127, pp. 93- 98, 那覇市, Mar. 2016.</p> <p>⑪ <u>藤原晃一</u>, 川村一志, 柳澤政生, 戸川望, “配線遅延とクロックスキューを利用したフロアプラン指向 FPGA 高位合成手法,” 信学技報 VLD2015-54, pp. 99- 104, 長崎市, Dec. 2015.</p> <p>⑫ <u>藤原晃一</u>, 柳澤政生, 戸川望, “FPGA 向けフロアプラン指向高位合成手法のための配線遅延モデリング,” 電子情報通信学会 2015 年総合大会基礎・境界講演論文集, p. 80, 草津市, Mar. 2015.</p> <p>⑬ <u>藤原晃一</u>, 柳澤政生, 戸川望, “FPGA の配線遅延特性を利用したフロアプラン指向高位合成手法,” 信学技報 VLD2014-85, pp. 99- 104, 別府市, Nov. 2014.</p> <p>⑭ <u>藤原晃一</u>, 阿部晋矢, 川村一志, 柳澤政生, 戸川望, “フロアプランを考慮したマルチプレクサ入力数制限 FPGA 向け高位合成手法,” 信学技報 VLD2014-41, pp. 219- 224, 札幌市, Jul. 2014.</p> <p>2016 年 8 月, 情報処理学会 SLDM 研究会 2015 年度優秀発表学生賞.</p> <p>2016 年 3 月, 早稲田大学大学院基幹理工学研究科情報理工・情報通信専攻 専攻賞</p> <p>2015 年 12 月, デザインガイア・ポスター賞, デザインガイア 2015.</p> <p>2015 年 8 月, 情報処理学会 DA シンポジウム 2015 アルゴリズムデザインコンテスト優秀賞 (学生部門).</p> <p>2015 年 8 月, 情報処理学会 SLDM 研究会 2014 年度優秀発表学生賞.</p>